



ISSN 1004-3365
CN 50-1090/TN
CODEN:WEIDFK

微电子学

MICROELECTRONICS

全国中文核心期刊

ISSN 1004-3365



9 771004 336211



2021
第51卷 2

四川固体电路研究所 主办

Sichuan Institute of Solid-State Circuits

期刊网址: www.microelec.cn

微 电 子 学

Weidianzixue

第 51 卷 第 2 期 2021 年 4 月

目 次

• 电路与系统设计 •

采用可调谐有源电感的多频段低噪声放大器	张 正, 张延华, 黄 鑫, 那伟聪(151)
一种新型低功耗加固 SRAM 存储单元	黄正峰, 李雪筠, 杨 潇, 戚昊琛, 鲁迎春, 王健安, 倪天明, 徐 奇(157)
一种高性能的亚阈值 CMOS 电压基准	王远飞, 罗 萍, 杨 健, 唐天缘, 杨秉中(163)
一种采用低阈值技术实现的高速采样保持电路	郭 亮, 曾 涛, 黄飞淋, 雷郎成, 苏 晨, 刘 凡, 刘伦才(168)
一种具有噪声抵消结构的无电感 VHF 宽带 LNA	王子健, 黄继伟(173)
一种采用 LC 谐振电路的高频差分有源电感	万禾湛, 张万荣, 谢红云, 金冬月, 那伟聪, 张思佳, 张 昭(179)
一种宽频应用的自适应计时电路	赵 忠, 罗 萍, 刘 雷, 刘俊宏, 杨秉中(183)
一种动态调节前沿消隐电路	邓成达, 罗 萍, 唐天缘, 王 强(188)
一种基于分布式放大器的 MASK 调制电路	黄常华, 张 瑛, 刘 凯, 马 乾(194)
一种分段输出 PWM Buck DC-DC 转换器设计	袁 军, 周 怡, 毛鼎昌, 赵汝法, 王 巍(198)
一种低功耗低延迟的容忍 DNU 锁存器设计	国欣祯, 杨 潇, 郭 阳(203)
一种系统级封装的 ESD 保护技术	李 搏, 李健壮, 于旭春, 黄晓宗(211)
一种低插损高隔离度毫米波 SPDT 开关	彭 雄, 刘 韬, 陈 昆, 乔 哲(216)
一种易烧写高可靠的硅化物多晶熔丝修调电路	张 琳, 李 静, 付东兵, 万贤杰, 丁 一(221)

• 模型与算法 •

一种多数据同步互斥管理机制的实现	林 康, 张 玲, 于宗光, 陈振娇, 薛海卫(225)
耦合式 MEMS 微波功率传感器集总参数模型的优化	左 文, 张聪淳, 谢嘉诚, 王德波(230)

• 动态与综述 •

斩波放大器输出纹波抑制方法综述	张三锋, 周 雄, 李 强(235)
-----------------------	--------------------

• 半导体器件与工艺 •

表面贴装元件粘接加固工艺质量优化	廖希异, 邓 丽, 高振奎(240)
一种具有部分高介电常数介质调制效应的 IGBT	陈为真, 程骏骥(246)
90 nm PDSOI MOSFET 热阻研究	李垌帅, 王 芳, 王可为, 卜建辉, 韩邦生, 罗家俊(251)
悬臂梁压电式能量收集器频带扩展研究	刘琪才, 何 渊, 王德波(255)
用于 3.3 V 电源的高维持电压 ESD 防护器件	王军超, 李浩亮, 陈 磊, 杨 波(260)
基于双面盲孔电镀的硅通孔工艺研究	李明浩, 王俊强, 李孟委(265)
2.5D 硅转接板关键电参数测试技术研究	刘玉奎, 崔 伟, 毛儒焱, 孙 士, 殷万军(270)
MEMS 光栅陀螺制造与测试	郝飞帆, 李孟委, 王俊强, 金 丽(276)
一种 3D 垂直结构的光电探测器研制	戴永红, 唐政维, 刘 新, 李雨欣(281)

• 产品与可靠性 •

总剂量辐射下双极型运放效应统计特性分析	李 顺, 宋 宇, 周 航, 代 刚, 张 健(285)
新型 GaAs HEMT 器件寄生电容的优化提取方法	化 宁, 王 佳, 尚会锋, 章泉源, 高 翔(290)

Microelectronics

Vol. 51, No. 2 Apr. 2021

Contents

• Circuit and System Design •

A Multiband Low Noise Amplifier Based on Tunable Active Inductor	ZHANG Zheng, ZHANG Yanhua, HUANG Xin, et al (151)
A Novel Low Power Radiation Hardened SRAM Memory Cell	HUANG Zhengfeng, LI Xueyun, YANG Xiao, et al (157)
A High Performance Sub-Threshold CMOS Voltage Reference	WANG Yuanfei, LUO Ping, YANG Jian, et al (163)
A High Speed Sample and Hold Circuit Using Low Threshold Technology ...	GUO Liang, ZENG Tao, HUANG Feilin, et al (168)
An Inductorless VHF Wideband LNA with Noise Cancellation Structure	WANG Zijian, HUANG Jiwei (173)
A High Frequency Differential Active Inductor Using LC Resonance Circuit	WAN Hezhan, ZHANG Wanrong, XIE Hongyun, et al (179)
An Adaptive Timing Circuit for Wide-Band Application	ZHAO Zhong, LUO Ping, LIU Lei, et al (183)
A Dynamic Regulation Leading Edge Blanking Circuit	DENG Chengda, LUO Ping, TANG Tianyuan, et al (188)
A MASK Modulation Circuit Based on Distributed Amplifier	HUANG Changhua, ZHANG Ying, LIU Kai, et al (194)
Design of a PWM Buck DC-DC Converter with Segmented Output	YUAN Jun, ZHOU Yi, MAO Dingchang, et al (198)
Design of a Low Power and Low Delay DNU-Tolerant Latch	GUO Xinzheng, YANG Xiao, GUO Yang (203)
A Kind of ESD Protection Technology Using System in Package	LI Bo, LI Jianzhuang, GAN Xuchun, et al (211)
A Low Loss High Isolation Millimeter Wave SPDT Switch	PENG Xiong, LIU Tao, CHEN Kun, et al (216)
An Easily Blowing and Highly Reliable Silicided Polysilicon Fuse Trimming Circuit	ZHANG Lin, LI Jing, FU Dongbing, et al (221)

• Modeling and Algorithms •

Implementation of a Multi-Data Synchronization and Mutual Exclusion Management Mechanism	LIN Kang, ZHANG Ling, YU Zongguang, et al (225)
Optimization of Lumped Parameter Model for Coupled MEMS Microwave Power Sensors	ZUO Wen, ZHANG Congchun, XIE Jiacheng, et al (230)

• Features and Review •

Review of Output Ripple Suppression Methods for Chopper Amplifiers	ZHANG Sanfeng, ZHOU Xiong, LI Qiang (235)
--	---

• Semiconductor Device and Technology •

Optimization of Reinforced Component with Glue Process for Surface Mount Components	LIAO Xiyi, DENG Li, GAO Zhenkui (240)
An IGBT with Partial High Permittivity Dielectric Modulation	CHEN Weizhen, CHENG Junji (246)
Study on Thermal Resistance of 90 nm PDSOI MOSFETs	LI Tongshuai, WANG Fang, WANG Kewei, et al (251)
Research on Frequency Band Extension of Cantilever Beam Piezoelectric Energy Harvester	LIU Qicai, HE Yuan, WANG Debo (255)
A High Maintenance Voltage ESD Protection Device for 3.3 V Power Supply	WANG Junchao, LI Haoliang, CHEN Lei, et al (260)
Research on Through Silicon Via Process Based on Double-Sided Blind Via Plating	LI Minghao, WANG Junqiang, LI Mengwei (265)
Research on Key Electrical Parameters' Testing Technology of 2.5D Silicon Interposer	LIU Yukui, CUI Wei, MAO Ruyan, et al (270)
Manufacture and Test of MEMS Grating Gyroscope	HAO Feifan, LI Mengwei, WANG Junqiang, et al (276)
Research and Manufacture of a 3D Vertical Structure Photodetector	DAI Yonghong, TANG Zhengwei, LIU Xin, et al (281)

• Product and Reliability •

Statistical Analysis of Bipolar Operational Amplifier Under Total Dose Radiation ...	LI Shun, SONG Yu, ZHOU Hang, et al (285)
An Optimized Parameter-Extraction Method for Parasitic Capacitance of GaAs HEMT Device	HUA Ning, WANG Jia, SHANG Hui Feng, et al (290)

· 电路与系统设计 ·

采用可调谐有源电感的多频段低噪声放大器

张 正, 张延华, 黄 鑫, 那伟聪

(北京工业大学 信息学部, 北京 100124)

摘 要: 设计了一种采用可调谐有源电感(TAI)的多频段低噪声放大器(MBLNA)。在放大级中,由电感值及 Q 值可多重调谐的TAI与电容值可调谐的变容二极管构成选频网络,并结合共射-共基放大电路,实现对不同频段信号进行选择放大。输入级采用带有输入串联电感与发射极电感负反馈的共射放大电路,实现了MBLNA输入阻抗的宽带匹配。输出级采用共射放大电路,在满足输出匹配的同时,再次对信号进行放大,保证了MBLNA的高增益,同时输出级与放大级构成电流复用结构,降低了整体电路功耗。基于WIN 0.2 μm GaAs HBT工艺库,利用ADS对MBLNA的主要性能参数进行验证。结果表明,该MBLNA可以在1.9 GHz、2.4 GHz、3.4 GHz、5.2 GHz等多个频段下工作;电压增益 S_{21} 分别为27.2 dB、25.5 dB、21.6 dB、17.4 dB;噪声系数 NF 在1.3 dB~5.2 dB之间;输入和输出匹配良好;电路总功耗仅为17.5 mW。

关键词: 低噪声放大器; 可调谐有源电感; 多频段

中图分类号:TN722.3

文献标志码:A

文章编号:1004-3365(2021)02-0151-06

DOI:10.13911/j.cnki.1004-3365.200067

A Multiband Low Noise Amplifier Based on Tunable Active Inductor

ZHANG Zheng, ZHANG Yanhua, HUANG Xin, NA Weicong

(Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China)

Abstract: A multiband low noise amplifier (MBLNA) based on high performance tunable active inductor (TAI) was studied. At amplifier stage, the frequency selection network was constructed by the TAIs with tunable inductance and Q value, and by the variodes with tunable capacitance. It could selectively amplify the signals in different frequency bands in conjunction with common-emitter common-base amplifier circuit. At input stage, the common-emitter amplifier circuit with input inductor in series and emitter inductor negative feedback was employed to realize the broadband input matching. At output stage, the common-emitter amplifier circuit was used to meet output matching and high gain of MBLNA. Furthermore, the current reuse of output stage and amplifier stage reduced power consumption of LNA. Based on WIN 0.2 μm GaAs HBT process library, the performance of MBLNA was verified by ADS. The results indicated that the MBLNA could operate at 1.9 GHz, 2.4 GHz, 3.4 GHz and 5.2 GHz, the voltage gain S_{21} at above bands reached 27.2 dB, 25.5 dB, 21.6 dB and 17.4 dB respectively, the noise figures (NF) were in the range of 1.3 dB~5.2 dB, the good input and output matching was achieved, and the power consumption was only 17.5 mW.

Key words: LNA; tunable active inductor; multiband

收稿日期:2020-02-20;定稿日期:2020-03-27

基金项目:国家自然科学基金资助项目(61774012,61574010);北京市自然科学基金资助项目(4142007,4143059,4192014);北京市未来芯片技术高精尖创新中心科研基金资助项目(KYJJ2016008);中国博士后科学基金资助项目(2019M650404)

作者简介:张 正(1993—),男(汉族),江苏宜兴市人,博士研究生,研究方向为射频集成电路。

张延华(1960—),男(汉族),陕西蓝田人,教授,博士生导师,研究方向为无线通讯系统。

0 引 言

随着移动通信技术的不断发展,无线市场出现了多个无线标准(协议)和工作模式共存的局面,为了应对上述局面,需要无线射频接收机的组成单元模块(低噪声放大器(LNA))能够在多个频带下工作^[1],因此对多频段 LNA(MBLNA)的研究引起了国内外学者的广泛关注。目前研究者主要从开关电容-电感^[2-3]、可变电容-电感^[4-5]、选频滤波器^[6]、输出端切换^[7]等选频技术层面来实现 MBLNA。对于所采用的开关电容-无源螺旋电感选频技术,由于元件值(电感值、电容值)固定,往往无法实现 LNA 的连续选频;对于所采用的可变电容-电感选频技术,由于元件值变化范围较小,LNA 选频范围一般较窄。以上两种技术均消耗了大量的芯片面积。而对于采用输出端切换、选频滤波器等选频技术实现的 MBLNA,其噪声性能不高。

本文研究设计了一种采用高性能可调谐有源电感(TAI)的 MBLNA。在输入级,采用带有输入串联电感与发射极电感负反馈的共射放大电路,实现了 MBLNA 输入阻抗的宽带匹配;在放大级,利用 TAI 的电感值和 Q 值可多重调谐性以及变容二极管电容值可调谐性,并结合共射-共基放大电路,实现对不同频段信号进行选择放大;在输出级,采用共射放大电路,在满足输出匹配的同时,再次对信号进行放大,保证了 MBLNA 的高增益,同时,输出级与放大级构成电流复用结构,降低了整体电路功耗。

1 MBLNA 电路

采用 TAI 的 MBLNA 电路拓扑如图 1 所示,主要包括输入级、放大级和输出级。下面对它的各级电路的设计进行简要分析。

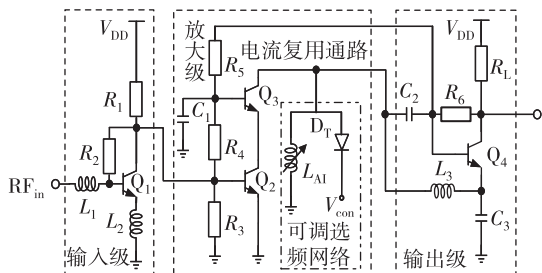


图 1 采用 TAI 的 MBLNA 电路拓扑

1.1 输入级的设计

在图 1 所示 MBLNA 的输入级,在输入端与晶

体管 Q_1 的基极之间引入输入串联电感 L_1 ,结合位于晶体管 Q_1 发射极的负反馈电感 L_2 ,共同实现 MBLNA 的宽带输入阻抗匹配。下面对其进行详细分析。

图 2 所示为输入级的小信号等效电路,等效输入阻抗 Z_{in} 可以表示为:

$$Z_{in} = \frac{v_{in}}{i_{in}} \approx (1 + r_{be1} g_{m1} + j\omega L_1 - j\omega c_{be1} r_{be1}^2) \times (r_{o1} \parallel j\omega L_2) + r_{be1} + j\omega L_1 - j\omega c_{be1} r_{be1}^2 \quad (1)$$

为实现输入阻抗的宽带匹配,需要 Z_{in} 在较宽的频率范围内保持为 50Ω ,即:

$$j\omega L_1 - j\omega c_{be1} r_{be1}^2 = 0 \quad (2)$$

$$(1 + r_{be1} g_{m1})(r_{o1} \parallel j\omega L_2) + r_{be1} = 50 \Omega \quad (3)$$

可以看出,只要使 $L_1 = c_{be1} r_{be1}^2$,即可利用电感 L_1 来抵消晶体管 Q_1 的基极-发射极电容,从而满足式(2)。而对于式(3),由于 r_{o1} 往往达到 $k\Omega$ 数量级,因此可以选择较小的 L_2 ,同时合理设计晶体管 Q_1 偏置,使 Z_{in} 基本保持为 50Ω ,从而使 MBLNA 的输入阻抗在宽带下实现匹配。

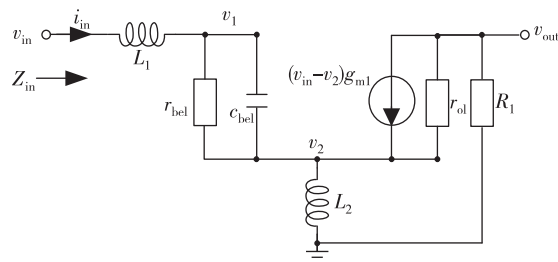


图 2 输入级小信号等效电路

1.2 放大级和输出级的设计

在图 1 所示 MBLNA 的放大级中,晶体管 Q_2 、晶体管 Q_3 构成共射-共基组态放大电路, L_{A1} 与变容二极管作为可调选频网络,通过调节 TAI 的电感值、 Q 值,以及变容二极管的电容值,可以实现对不同频段信号的选择放大作用。电阻 $R_3 \sim R_5$ 为放大级的自偏置电阻。

晶体管 Q_4 为共射组态输出级,电阻 R_L 作为输出级负载电阻, R_6 作为输出级的自偏置电阻,通过电感 L_3 、电容 C_2 、 C_3 与放大级进行耦合,构成电流复用结构,从而降低了功耗。

下面分别对可调选频、输出匹配和降低功耗的实现进行说明。

理想 LC 选频网络如图 3 所示。

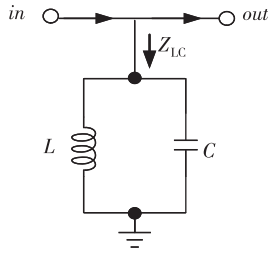


图3 理想LC选频网络的结构示意图

其等效阻抗 Z_{LC} 可以表示为:

$$Z_{LC} = j\omega L \parallel \frac{1}{j\omega C} = \frac{1}{j} \times \frac{1}{\omega C - 1/(\omega L)} \quad (4)$$

可以看出,对于所需频率为 ω_0 的信号,当 $\omega = \omega_0 = 1/\sqrt{LC}$ 时,LC 选频网络的等效阻抗将变为无穷大。当信号 ω_0 被共射-共基组态电路放大之后,从选频网络的输入端传入时,该选频网络将会阻碍信号 ω_0 的进入,此时,信号 ω_0 将会完全直接输出至下一级电路,从而实现对信号 ω_0 的无损传输;而对于 ω_0 频率以外的信号 ω_1 ,此时 LC 选频网络的等效阻抗将会从无穷大快速衰减,对于信号 ω_1 ,相当于提供了一个很小的等效阻抗,使得大部分信号 ω_1 从选频网络输出至地,从而抑制了对信号 ω_1 的放大作用。

本文采用 TAI 与变容二极管作为可调选频网络的元件,TAI 和可变电容对选频网络的调节作用如下。

1.2.1 TAI 对选频网络的调节作用

本文提出的新型 TAI 拓扑如图 4 所示。

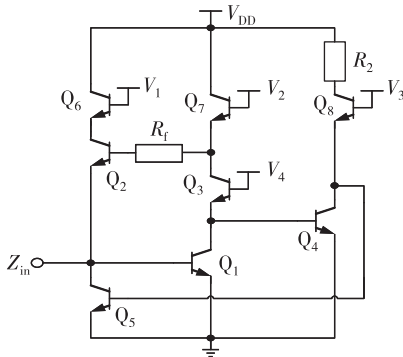


图4 新型TAI拓扑

采用晶体管 Q_1 与晶体管 Q_3 构成共射-共基组态的负跨导器,与传统共射组态的负跨导器相比,提高了负跨导器的输出电阻,进而提高了有源电感的 Q 值;在正负跨导器之间引入反馈电阻 R_f ,与未引入反馈电阻相比,提高了有源电感的等效电感值;采用共射组态的晶体管 Q_4 、晶体管 Q_5 以及晶体管 Q_1

构成共射-共射-共射负反馈结构,一方面,扩展了有源电感的工作带宽,另一方面,晶体管 Q_5 为正跨导器提供了偏置电流。

通过以下方式可实现对 TAI 电感值、 Q 值的多重调节。调节偏置电压 V_1 ,可以改变正跨导器晶体管 Q_2 的偏置及跨导,进而对 TAI 的电感值进行小范围调节,同时还可以对高频下的 Q 值进行大范围调节。调节偏置电压 V_2 ,可以同时改变负跨导器晶体管 Q_1 、 Q_3 的偏置及跨导,进而对 TAI 在不同频率下的电感值进行小范围或者大范围调节。调节偏置电压 V_3 ,可以改变负反馈结构中晶体管 Q_4 的偏置,进而改变负跨导器中晶体管 Q_3 的偏置及跨导,实现对 TAI 在高频下 Q 值的大范围调节。

TAI 可以等效为如图 5 所示的 RLC 网络。其中, L_s 为等效理想电感, R_s 为寄生串联电阻, R_p 为并联电阻, C_p 为并联电容。这样就可以把图 3 所示的理想 LC 选频网络等效为如图 6 所示的小信号等效电路,其中 C_T 为变容二极管的等效电容。

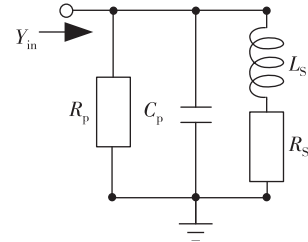


图5 有源电感的等效RLC网络

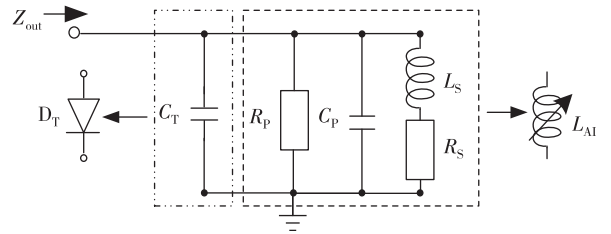


图6 采用TAI与可变电容构成的可调选频网络的小信号等效电路

对可调选频网络进行小信号分析,等效阻抗 Z_{out} 可以表示为:

$$Z_{out} = \frac{1}{j\omega(C_T + C_p - \frac{L_s}{R_s^2 + \omega^2 L_s^2}) + \frac{R_s^2 + \omega^2 L_s^2 + R_p R_s}{R_p(R_s^2 + \omega^2 L_s^2)}} \quad (5)$$

由于 TAI 的电感值与 Q 值存在 $Q \propto \omega L_s / R_s$ 的关系,因此上式(5)可以简化为:

$$Z_{\text{out}} = \frac{1}{j\omega(C_T + C_p - \frac{1}{\omega^2 L_S(\frac{1}{Q^2} + 1)}) + \frac{1}{R_p} + \frac{1}{\omega L_S(\frac{1}{Q} + Q)}} \quad (6)$$

当信号频率为 ω_0 时,为了使可调选频网络的等效阻抗接近无穷大,需要满足以下条件:

$$C_T + C_p - \frac{1}{\omega_0^2 L_S(\frac{1}{Q^2} + 1)} = 0 \quad (7)$$

$$\frac{1}{R_p} + \frac{1}{\omega_0 L_S(\frac{1}{Q} + Q)} \approx 0 \quad (8)$$

可以看出,为实现在不同频率放大信号的选择作用,可以通过调节 TAI 的电感值以及 Q 值来同时满足上述条件。

另一方面,为了保证放大级能在不同工作频段下对一定频率范围内的信号进行放大,从而覆盖所需频率范围,需要具备适当的工作带宽,图 6 所示的可调选频网络的 3 dB 带宽可以表示为:

$$BW_{3\text{dB}} \approx \sqrt{\frac{(1 + \frac{1}{\omega_0^2 Q^2}) / (C_T + C_p)}{\omega_0 L_S(Q + \frac{1}{Q})}} \quad (9)$$

可以看出,通过调节 TAI 的电感值以及 Q 值,可以保证放大级具有适当的工作带宽,从而对不同工作频段下一定频率范围内的信号进行放大。

1.2.2 变容二极管对选频网络的调节作用

为了进一步扩展对放大信号的频段选择范围,可以通过调节变容二极管的反向偏置电压,进而调谐其等效电容值来实现。

综上所述,采用 TAI 与变容二极管构成的可调选频网络,利用 TAI 的电感值、 Q 值的可调谐性以及电容值的可调谐性,结合共射-共基组态放大电路,共同实现了对不同频段信号的选择放大作用。

另一方面,对于图 1 所示 MBLNA 的输出级与放大级,在直流通路情况下,晶体管 Q_2 、 Q_3 以及 Q_4 复用同一条电流支路,没有额外的电流支路,降低了电路功耗;在交流通路情况下,该结构实现了共射-共基组态放大级以及共射组态输出级的级联放大,保证了 MBLNA 的高增益。

图 7 所示为输出级的小信号等效电路。可以得到输出级的等效输出阻 Z_{out} 抗:

$$Z_{\text{out}} = r_{\text{od}} \parallel R_L \quad (10)$$

可知,由于晶体管 Q_4 的集电极-发射极电阻 r_4 往往可以达到 $\text{k}\Omega$ 数量级,因此,输出级的等效输出

阻抗约等于负载电阻 R_L ,通过设计负载电阻 $R_L = 50 \Omega$,易实现 MBLNA 在宽频段范围内的阻抗匹配。

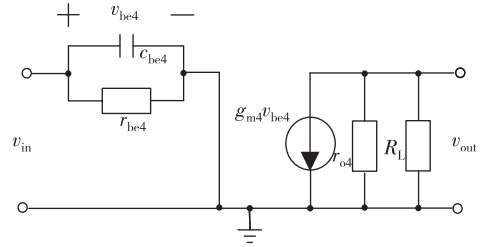


图 7 输出级的等效小信号电路

2 MBLNA 的性能验证和结果分析

采用 WIN 0.2 μm GaAs HBT 工艺库,利用安捷伦射频集成电路设计工具 ADS 对采用有源电感的 MBLNA 的主要性能进行验证,参数包括在多个频段下的电压增益及 3 dB 带宽、噪声系数、输入输出反射系数、系统稳定性等。

2.1 多频段下的电压增益及 3 dB 带宽

图 8 以 1.9 GHz (3G 频段)、2.4 GHz (4G/WLAN 频段)、3.4 GHz (FSS 频段)、5.2 GHz (WiFi 频段)等不同工作频段为例,给出了 MBLNA 在多个工作频段下的电压增益 S_{21} 以及其 3 dB 带宽,其中有源电感与变容二极管的电压偏置如表 1 所示。

可以看出,通过改变 TAI 以及变容二极管的偏置,MBLNA 可以工作在多个频段下。在 1.9 GHz、2.4 GHz、3.4 GHz 和 5.2 GHz 等不同频段下的 S_{21} 可分别达到 27.2 dB、25.5 dB、21.6 dB 和 17.4 dB,实现了对不同频段信号的良好放大特性。

另一方面,在 1.9 GHz、2.4 GHz、3.4 GHz 和 5.2 GHz 等不同频段下, S_{21} 的 3 dB 带宽分别为 1.2 GHz~2.4 GHz、1.9 GHz~3 GHz、2.6 GHz~4 GHz 和 4.4 GHz~5.8 GHz,在不同频段下均基本覆盖了所需频率范围。

上述结果表明,在 MBLNA 的共射-共基放大级采用 TAI 与变容二极管电容构成的可调选频网络,结合 TAI 的电感值、 Q 值可多重调谐性以及变容二极管的电容值可调谐性,共同实现了 MBLNA 可以工作在多个频段的性能;另外,由于输出级与放大级构成了电流复用结构,电路总功耗得到了优化,仅为 17.5 mW。

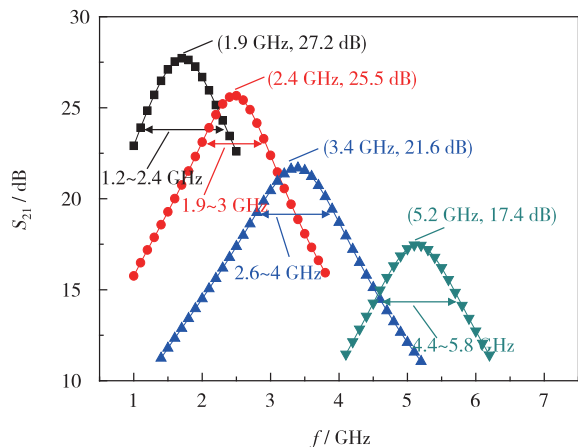
图8 MBLNA在不同工作频段下的 S_{21} 及3 dB带宽

表1 工作在多个频段下的MBLNA与TAI、变容二极管偏置电压的对应关系

工作频段/GHz	V_1/V	V_2/V	V_3/V	V_{con}/V
1.9	4.9	3.71	2.55	1.8
2.4	4.5	3.82	2.52	2.5
3.4	4.4	3.87	2.54	5.1
5.2	3.5	3.92	2.56	6.2

2.2 噪声系数

图9所示为MBLNA在不同工作频段下的噪声系数NF。

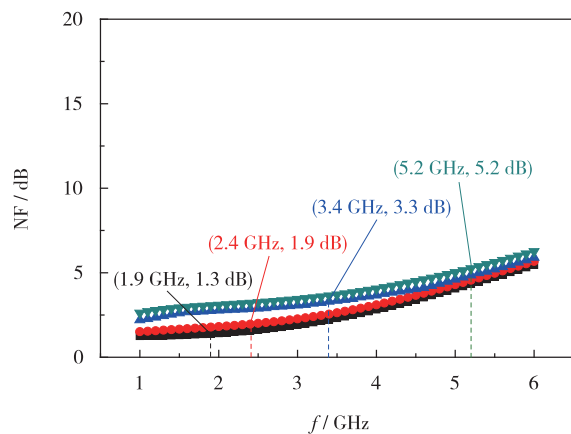
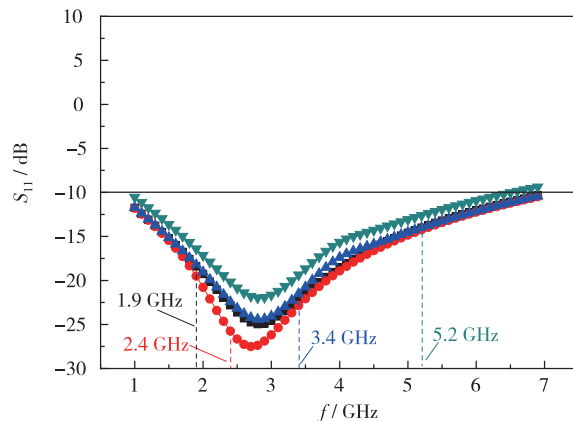


图9 MBLNA在不同工作频段下的NF

可以看出, MBLNA在1.9 GHz、2.4 GHz、3.4 GHz和5.2 GHz等不同频段下的噪声系数分别为1.3 dB、1.9 dB、3.3 dB和5.2 dB,以上结果表明,该MBLNA在各个工作频段下均具有良好的噪声特性。

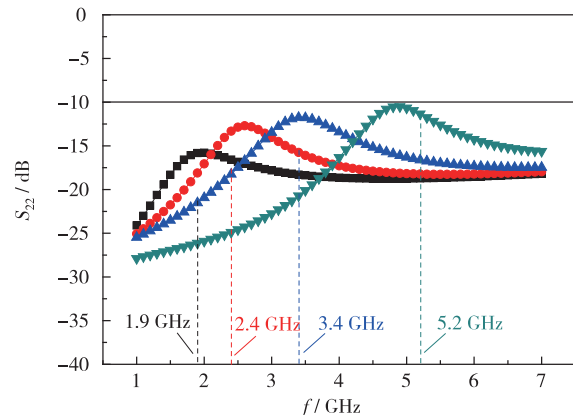
2.3 输入反射系数

MBLNA在不同工作频段下的输入反射系数 S_{11} 如图10所示。可以看出, MBLNA在不同工作频段下的 S_{11} 均小于-10 dB,实现了良好的输入阻抗匹配。

图10 MBLNA在不同工作频段下的 S_{11}

2.4 输出反射系数

MBLNA在不同工作频段下的输出反射系数 S_{22} 如图11所示。可以看出, MBLNA在各个工作频段下的 S_{22} 均小于-10 dB,实现了良好的输出阻抗匹配。

图11 MBLNA在不同工作频段下的 S_{22}

另外, MBLNA在不同工作频段下的稳定因子 Mu_s 均大于1,保证了MBLNA工作在不同频段时拥有良好的稳定性。

2.5 与已报道LNA的性能比较

本文设计的采用有源电感的MBLNA与近年文献的LNA主要性能参数对比如表2所示。

可以看出, 本文MBLNA在1.9 GHz/3.4 GHz/2.4 GHz/5.2 GHz频段下的电路增益 S_{21} 分别为27.2 dB/25.5 dB/21.6 dB/17.4 dB, S_{11} 以及 S_{22} 均小于-10 dB,在不同工作频段内, NF为1.3 dB~5.2 dB,直流功耗仅为17.5 mW,增益与最小噪声系数均优于文献[8]、[9]和[10],工作频段与功耗均优于文献[7],输入输出反射系数优于文献[8]和文献[9],电路优值^[11](Figure of Merit, FOM)远高于文献[8]和文献[9],且与文献[10]相当。另外,

本文 MBLNA 由于采用了 TAI,大幅度减少了无源电感的使用率,提高了电路的集成度(本文 MBLNA 仅采用 3 个无源电感,而文献[10]采用了 6 个无源电感)。本文 MBLNA 取得的以上性能,得益于采用 TAI 与可变电容作为放大级的可调选频网络,实

现对不同频段信号的选择放大作用;采用带有输入串联电感与发射极电感负反馈的输入级以及共射输出级,保证了良好的输入输出阻抗匹配;输出级与放大级构成的电流复用结构,在保证电路高增益的同时降低了电路整体功耗。

表 2 采用 TAI 的 MBLNA 与近年来的其他 MBLNA 的主要性能参数对比

文献	文献[8]	文献[9]	文献[10]	本文
年份	2015	2016	2010	2017
频段/GHz	0.9/1.9/2.1	1.8/2.4/3.5/5.2	1.9/2.4/3.5/5.2	1.9/2.4/3.4/5.2
S_{21} /dB	20/22/21	11/14.4/13/10	17/16/12.5/15.5	27.2/25.5/21.6/17.4
S_{11} /dB	<-8	<-9	<-12	<-10
S_{22} /dB	<-8	-	<-15	<-10
NF/dB	4.35/2.8/2.9	2.8~4.3	1.6~3.1	1.3~5.2
无源电感	3 个	2 个	6 个	3 个
有源电感	未采用	未采用	未采用	采用
P_{DC} /mW	20.7	7.2	5.3	17.5
FOM*	0.12~0.74	0.42~0.44	0.73~5.67	0.33~6.22

$$\text{注: } * FOM = \frac{S_{21} \cdot BW_{3dB}}{(NF-1) \cdot P_{DC}}$$

3 结 论

本文采用高性能 TAI 实现了一种 MBLNA。在放大级,利用 TAI 的电感值、Q 值的可多重调谐性以及变容二极管电容值的可调谐性,并结合共射-共基放大电路,实现对不同频段信号的选择放大作用;在输入级,采用带有输入串联电感与发射极电感负反馈的共射放大电路,实现了输入阻抗的宽带匹配;在输出级,采用共射放大电路,在满足输出匹配的同时,再次对信号进行放大,保证了 MBLNA 的高增益,同时输出级与放大级构成电流复用结构,降低了整体电路功耗。基于 WIN 0.2 μm GaAs HBT 工艺库,对 MBLNA 的主要性能参数进行验证,结果表明,它可以工作在 1.9 GHz、2.4 GHz、3.4 GHz、5.2 GHz 等多个频段下,在上述工作频段下的电压增益 S_{21} 较高;输入和输出匹配较好;噪声系数 NF 在 1.3 dB~5.2 dB 之间;电路总功耗仅为 17.5 mW。

参 考 文 献:

- [1] 唐彦,封志宏,王忠俊,等。一种增益可调节的 MB-LPC-LNA [J]. 微电子学, 2018, 49(2): 188-192.
- [2] WANG R L, CHEN S C, HUANG C L, et al. A switchable single-band/multiband CMOS low noise amplifier [C] // APMC. Singapore. 2009: 1128-1131.
- [3] HUANG Z Y, HUNG C C. CMOS dual-band low-noise amplifier for world-wide WiMedia ultra-wideband

wireless personal area network system [C] // APMC.

Yokohama, Japan. 2010: 334-337.

- [4] KUMAR A R, SINGH S G, DUTTA A. Low power reconfigurable multi-mode LNA utilizing subthreshold bias and low-Q inductors [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 650-653.
- [5] FATHIMA A, SUSHMA P S, GAONKAR S. Design of high gain, low power CMOS multi-standard LNA [C] // IEEE RTEICT. Bangalore, India. 2016: 663-666.
- [6] CHIOU H K, LIN J Y, TAI C F. Band selection filter for ultra-wideband/Ku dual-band low-noise amplifier in the CMOS process [J]. IET Microw Antennas & Propag, 2011, 5(7): 823-830.
- [7] 陈元盈. 用于无线局域网的双频段 RF CMOS-LNA 设计研究 [D]. 上海: 华东师范大学, 2008.
- [8] KAMSANI N A, THANGASAMY V, BUKHORI M F, et al. A multiband 130 nm CMOS low noise amplifier for LTE bands [C] // IEEE ICSyS. Langkawi, Malaysia. 2015: 106-110.
- [9] ADOM-BAMFI G, ENTESARI K. A multiband low noise amplifier with a switchable Gm active shunt feedback for SDRs [C] // IEEE RWS. Austin, TX, USA. 2016: 179-182.
- [10] PHAN A T, FARRELL R. Reconfigurable multiband multimode LNA for LTE/GSM, WiMAX, and IEEE 802.11 a/b/g/n [C] // 17th IEEE ICECS. Athens, Greece. 2010: 78-81.
- [11] CHEN I C, YANG J R. 3 ~ 10 GHz CMOS distributed amplifier low-power and low-noise and high-gain low noise amplifier for UWB systems [C] // IEEE Region 10 Conf TENCON. Fukuoka, Japan. 2010: 2045-2047.

一种新型低功耗加固 SRAM 存储单元

黄正峰¹, 李雪筠¹, 杨 潇¹, 戚昊琛¹, 鲁迎春¹, 王健安², 倪天明³, 徐 奇¹

(1. 合肥工业大学 电子科学与应用物理学院, 合肥 230601; 2. 重庆吉芯科技有限公司, 重庆 400030;
3. 安徽工程大学 电气工程学院, 安徽 芜湖 241000)

摘 要: 提出了一种抗辐射加固 12T SRAM 存储单元。采用 NMOS 管组成的堆栈结构降低功耗, 利用单粒子翻转特性来减少敏感节点, 获得了良好的可靠性和低功耗。Hspice 仿真结果表明, 该加固 SRAM 存储单元能够完全容忍单点翻转, 容忍双点翻转比例为 33.33%。与其他 10 种存储单元相比, 该存储单元的面积开销平均增加了 3.90%, 功耗、读时间和写时间分别平均减小了 34.54%、6.99%、26.32%。电路静态噪声容限大且稳定性好。

关键词: 抗辐射加固设计; 存储单元; 单粒子翻转; 软错误; 低功耗

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0157-06

DOI: 10.13911/j.cnki.1004-3365.200196

A Novel Low Power Radiation Hardened SRAM Memory Cell

HUANG Zhengfeng¹, LI Xueyun¹, YANG Xiao¹, QI Haochen¹, LU Yingchun¹, WANG Jian'an²,
NI Tianming³, XU Qi¹

(1. School of Elec. Sci. and Applied Phys., Hefei Univ. of Technol., Hefei 230601, P. R. China; 2. Chongqing Jixin Technol. Co., Ltd.,
Chongqing 400030, P. R. China; 3. College of Electrical Engineering, Anhui Polytechnic Univ., Wuhu, Anhui 241000, P. R. China)

Abstract: A radiation hardened 12T SRAM memory cell was presented. The stack structure composed of NMOS tubes was adopted to reduce power consumption, and the single event upset characteristic was used to reduce sensitive nodes, thus achieving good reliability and low power consumption. Hspice simulation results showed that the proposed memory cell could fully tolerate single node upset, and partially tolerate double node upset with a ratio of 33.33%. Compared with other ten memory cells, the area overhead of the proposed memory cell was increased by 3.90% on average, and the power consumption, read time and write time were reduced by 34.54%, 6.99% and 26.32% on average. The circuit had a large static noise margin with good stability.

Key words: radiation hardness design; memory cell; single event effect; soft error; low power

0 引 言

空间辐射环境中存在的高能粒子(如质子、中子、 α 粒子或其他重离子)撞击 CMOS IC 的敏感区域时,会引起单粒子翻转(SEU),导致电路瞬时中断、逻辑状态变化,对 IC 或电子系统造成永久性的损坏^[1]。静态随机存储器(SRAM)因速度快、易使

用、密度较高而被广泛用于嵌入式 CPU 芯片、SoC 芯片中。随着 CMOS 器件尺寸不断缩小,SRAM 存储单元越来越易受单粒子翻转的影响,导致存储数据翻转。SRAM 的敏感区域面积较大、节点电容较低,易受辐射粒子的影响而产生软错误。因此,SRAM 存储单元的抗辐射加固技术成为影响 SRAM 可靠性的重要因素,设计抗 SEU 能力强、可靠性好的 SRAM 存储单元具有重要的现实意义。

收稿日期:2020-05-05;定稿日期:2020-05-26

基金项目:国家自然科学基金项目(61874156,61904001,61904047);模拟集成电路国家重点实验室基金项目(6142802200506)

作者简介:黄正峰(1978—),男(汉族),安徽无为,人,博士,教授,硕士生导师,研究方向为数字集成电路的硬件容错。

徐 奇(1991—),男(汉族),安徽阜阳,人,博士,讲师,研究方向为三维集成电路的可靠性设计。通信作者。

SRAM 的抗辐射加固技术包括工艺级、版图级、电路级和系统级等技术。工艺级加固技术在提高可靠性的同时增加了制造成本^[2];版图级加固技术不能适应器件尺寸的不断缩小;系统级加固技术中常用的三模冗余^[3]、检错纠错码^[4-6]等技术,会增加面积和功耗;电路级加固技术通过改变电路的反馈来加固,该技术方法简单,抗单粒子翻转能力不易受工艺波动影响,电路性能较好^[7]。

在标准 6T 存储单元的基础上,提出了很多 SRAM 存储单元的加固方法^[8-15]。文献[8]提出了基于堆栈结构的存储单元 PS-10T、NS-10T,但只能提供部分单点翻转(SNU)保护能力。文献[9]提出了一种 12 个晶体管构成的双模互锁结构存储单元 DICE,利用正反馈将受 SEU 影响的值恢复到初始值。文献[10]提出了一种 4 个反相器构成的互锁结构 Quatro 存储单元,不能完全容忍 SNU。文献[11]提出了一种 RHM-12T 存储单元,可完全容忍 SUN、部分容忍双点翻转(DNU),但稳定性差。文献[12]提出了一种 RHM 存储单元,但读写速度慢。文献[13]提出了一种 RSP-14T 存储单元,在 RHD12^[14]的基础上增加了 2 个冗余 PMOS 管,写入速度提高,功耗降低,但稳定性差。文献[15]提出了一种 10T 存储单元,只能容忍 SNU,但稳定性较差。

文章第 1 节叙述了 NS-12T SRAM 存储单元的结构及工作原理,进行了 SEU 自恢复分析;第 2 节对 NS-12T SRAM 的抗 SEU 性及电路性能进行了仿真分析,并进行了对比分析;第 3 节得出结论。

1 NS-12T 加固 SRAM 存储单元设计

本节叙述了本文提出的 NS-12T 加固 SRAM 存储单元的电路结构及工作原理,给出了 SEU 自恢复分析,利用 Hspice 仿真进行仿真验证。

1.1 电路结构及读写工作原理

NS-12T 加固 SRAM 存储单元由 12 个晶体管组成,包括 4 个 PMOS 管 P1~P4、8 个 NMOS 管 N1~N8,如图 1 所示。N1、N5 和 N2、N6 分别组成堆栈结构,用于降低功耗。存取管 N3、N4 由字线(WL)控制,位线 BL、BLB 与存储节点 Q、QB 通过存取管 N3、N4 连接。当字线 WL 为高电平(WL=1)时,2 个存取管打开,写/读操作开始。存储节点是 Q、QB、A、B。读取操作期间,为了快速将存储单

元的值传输到输出端,需将灵敏放大器与两条位线 BL、BLB 连接。

假设存储的值为 0,则节点 Q、QB、A、B 处的逻辑值分别为 0、1、0、1(如图 1 所示)。NS-12T SRAM 存储单元在 HSPICE 仿真下,完整的写 1、读 1、写 0、读 0 的功能操作时序图如图 2 所示。

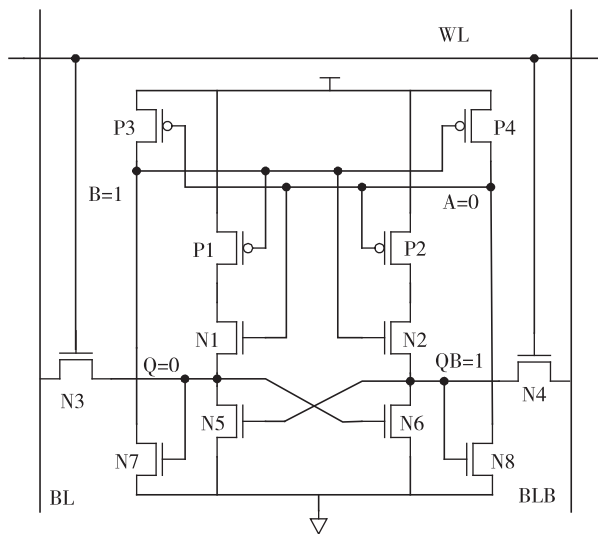


图 1 提出的 NS-12T SRAM 存储单元

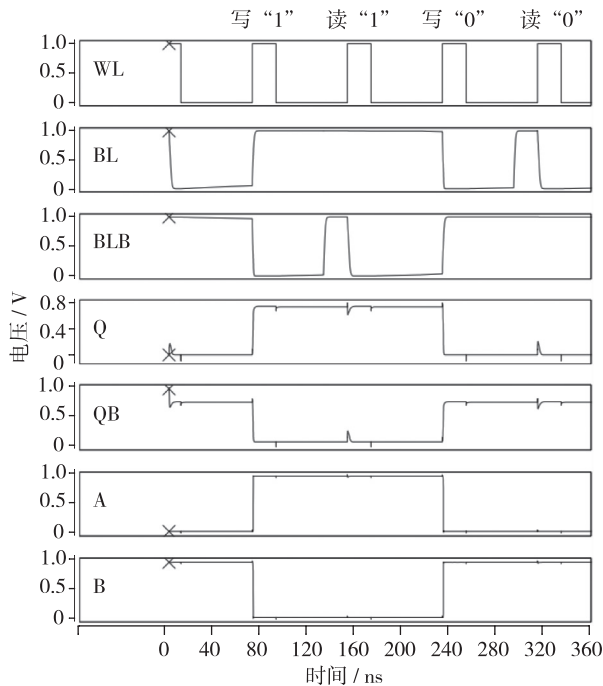


图 2 NS-12T SRAM 存储单元的读写时序图

NS-12T SRAM 存储单元的分阶段原理如下。

1)保持阶段。字线 WL 为逻辑低电平(WL=0)时,N3、N4 管处于关断状态,将存储节点与位线 BLs 隔开。P2、P3、N2、N5、N8 管处于导通状态,P1、P4、N1、N6、N7 管处于截止状态。此时,存储单

元保持初始状态。

2) 读取阶段。位线 BL、BLB 先预充电至逻辑高电平($BL=BLB=1$)并浮空,字线 WL 上升为逻辑高电平($WL=1$)时,N3、N4 管导通,读操作开始, $Q=0, QB=1$ 。位线 BL 通过 N3、N5 管放电,电平下降,而 BLB 保持高电平。位线 BL 与 BLB 产生电压差,当差值达到 50 mV 时,被与其相连的灵敏放大器检测并放大为 SRAM 存储单元正确的逻辑电平,送至输出端,完成读操作。

3) 写入阶段。写操作时,写入的值与存储单元原存储的逻辑值相反。在对节点 Q 进行写 1 操作之前,位线 BL 需置于逻辑高电平($BL=1$),位线 BLB 需置于逻辑低电平($BLB=0$),字线 WL 升至逻辑高电平($WL=1$),此时 N3、N4 管导通,写操作开始。由于 $BL=1$,节点 Q 电平上升到逻辑高电平,N7、N6、P1、P4、N1 管导通,P2、P3、N2 管关闭;节点 QB 下拉至逻辑低电平,N5、N8 管关闭。完成写 1 操作后,字线 WL 恢复至保持状态的逻辑低电平。此时,存储单元的存储节点 Q 保持 1 状态。

1.2 SEU 自恢复分析

不同 MOS 管的充电收集机制不同^[16]。对于反相器,若输出为逻辑低电平,高能辐射粒子轰击 PMOS 管的漏极,收集正电荷,输出电压增大;若输出为逻辑高电平,输出的逻辑状态值因收集的是正电荷而不改变。所以,轰击 PMOS 管的漏极产生的是 0→1 或 1→1 的瞬态脉冲,只有输出端为逻辑低电平时,才会使逻辑状态翻转。同样地,高能粒子轰击 NMOS 管的漏极产生的是 1→0 或 0→0 的瞬态脉冲,只有输出端为逻辑高电平时,才会使逻辑状态翻转。

敏感节点是指受辐射粒子轰击而致逻辑状态翻转的存储单元内部节点。NS-12T SRAM 存储单元中,4 个节点的逻辑状态值分别为: $Q=0, QB=1, A=0, B=1$,此时,节点 QB、A、B 是敏感节点,Q 不是敏感节点。因为 $Q=0$,节点 Q(N1 与 N5 管的漏极)不会因高能粒子轰击而致逻辑状态翻转。同样地,若 4 个节点的逻辑状态值分别为: $Q=1, QB=0, A=1, B=0$,节点 QB 不是敏感节点。因此,NS-12T SRAM 存储单元有 3 个敏感节点。若 4 个节点的逻辑状态值分别为: $Q=0, QB=1, A=0, B=1$,则对其进行 SEU 自恢复分析。

1.2.1 单点翻转

若因 SEU 而使节点 QB 发生从 1→0 的翻转,则 N5、N8 管关断。此时,节点 A、Q 处于高阻态,均浮空在低电平;P3 管导通,节点 B 保持高电平;P2、

N2 管导通,N6 管关断,节点 QB 因上拉作用恢复到高电平。

若因 SEU 而使节点 A 发生从 0→1 的翻转,则 P2、P3 管关断。此时,N1 管、N5 管导通,节点 Q 保持低电平;节点 B、QB 处于高阻态,浮空在高电平;N8 管导通,P4 管关断,节点 A 因下拉作用恢复到低电平。

若因 SEU 而使节点 B 发生从 1→0 的翻转,则 P1、P4 管导通,N2 管关断。此时,节点 A 因 P4 管上拉作用发生从 0→1 的翻转,N1 管导通,P2、P3 管关断。N5 管的下拉能力要强于 P1、N1 管的上拉能力,节点 Q 则保持低电平。节点 QB 处于高阻态,浮空于高电平。N8、P4 管均导通,N 管的驱动能力强于 P 管,节点 A 因下拉作用而恢复到低电平;P3 管导通,N7 管关断,节点 B 因上拉作用恢复到高电平。

1.2.2 双点翻转

若因 SEU 而使节点 A、B 同时发生翻转,即节点 A 发生从 0→1 的翻转、节点 B 发生从 1→0 的翻转。此时,P1、P4、N1 管导通,P2、P3、N2 管关断。这种情况与节点 B 发生从 1→0 翻转的情况类似,节点 A、B 同时发生翻转后,可恢复到初始状态。

若因 SEU 而使节点对 B、QB 的状态同时发生翻转,P4 管导通,N8 管关断,节点 A 发生从 0→1 的翻转;P1、N1 管导通,N5 管关断,节点 Q 发生从 0→1 的翻转。整个 SRAM 存储单元的状态发生翻转。

若因 SEU 而使节点对 A、QB 的状态同时发生翻转,P3、N1 管导通,P2、N5、N8 管关断,节点 Q、B 处于高阻态,分别保持初始的低电平、高电平。SRAM 存储单元节点 A、QB 的状态发生翻转,无法恢复初始状态。

综上所述,NS-12T SRAM 存储单元能够容忍节点 Q、A、B 以及节点对 A、B 的翻转,即能完全容忍 SNU 和部分容忍 DNU,容忍 DNU 的比例为 33.33%。

1.3 SEU 自恢复仿真验证

利用故障注入工具进行 Hspice 仿真验证。采用双指数电流源,模拟高能辐射粒子轰击 SRAM 存储单元引起的 SEU^[17],得到各存储节点不同的翻转情况。

模拟了节点 QB、A、B 和节点对 A、B 发生的 SEU 结果,NS-12T SRAM 存储单元内部存储节点故障注入的波形如图 3 所示。可以看出,NS-12T SRAM 存储单元不仅能恢复任意单个敏感节点的单点翻转,还可恢复节点对 A、B 的双点翻转。这表

明,该 NS-12T SRAM 存储单元具有良好的抗单粒子翻转性能。

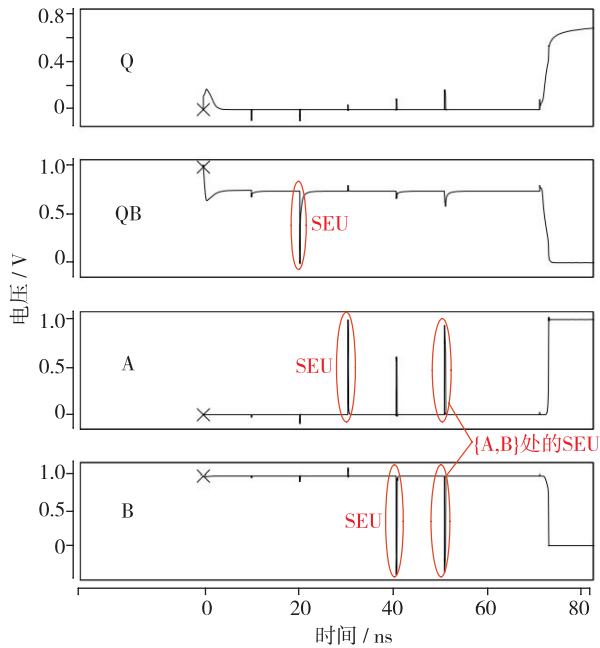


图3 NS-12T SRAM 存储单元故障注入的波形图

2 仿真与分析

利用 Hspice 仿真对 NS-12T SRAM 存储单元与其他存储单元的性能进行仿真,给出了各参数的比较、综合评估。仿真模型采用 PTM 65 nm 工艺^[18],供电电压为 1.0 V,温度为 25 ℃。

2.1 可靠性比较

各存储单元的可靠性比较如表 1 所示。可以看出,NS-12T SRAM 存储单元有 3 个敏感节点,能完全容忍 SNU,部分容忍 DNU,容忍 DNU 的比例为 33.33%。

表 1 各存储单元的可靠性比较

存储单元	敏感节点数	容忍 SNU	部分容忍 DNU	DNU 容忍率
NS-12T	3	是	是	33.33%
RHD12	4	否	是	25.00%
RSP-14T	4	否	是	25.00%
RHM	3	是	是	33.33%
RHM-12T	3	是	是	33.33%
DICE	4	是	是	33.33%
PS-10T	4	否	否	0
NS-10T	4	否	否	0
Quatro	4	否	否	0
10T	4	是	否	0
6T	2	否	否	0

NS-12T SRAM、RHM、RHM-12T、RHBD、DICE 都能容忍 SNU。但是,NS-12T SRAM、RHM、RHM-12T、RHBD 的敏感节点比 DICE 更少,受辐射粒子攻击产生 SEU 的几率更小。

2.2 面积开销和功耗的比较

面积开销 UST 为:

$$UST = \sum_{i=1}^n (W/L)_i \quad (1)$$

可知, UST 为全部晶体管的宽长比之和。

各存储单元的面积开销比较如图 4 所示。可以看出,NS-12T SRAM 的面积开销小于 RHD12、RSP-14T、RHM 和 RHM-12T,大于其余存储单元。这表明,NS-12T SRAM 的面积开销优势不大,但是,可靠性较高。

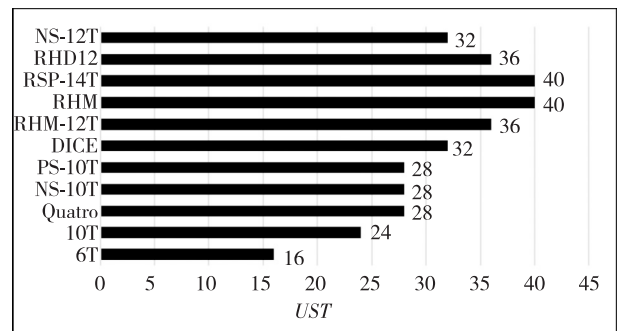


图4 各存储单元的面积开销比较

各存储单元的功耗比较如图 5 所示。可以看出,NS-12T SRAM 通过 NMOS 管堆栈结构减少了功耗,其功耗比其余存储单元小,仅大于 6T。

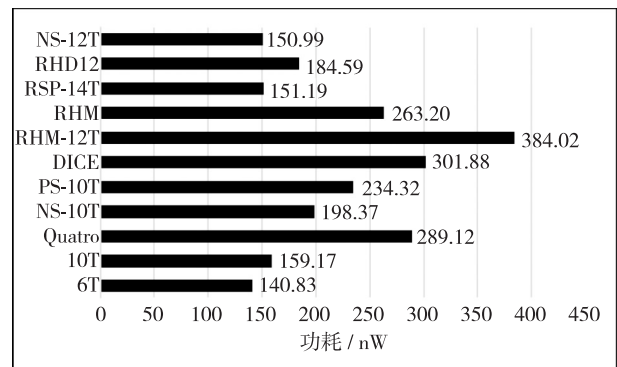


图5 各存储单元的功耗比较

2.3 读写时间的比较

读写时间用于表征存储单元的速度快慢,即存储器完成读或写操作的时间。各存储单元的读时间、写时间比较分别如图 6、图 7 所示。

NS-12T SRAM 中的 N5、N6 管避免了因高能辐射粒子轰击引起的正向脉冲,提高了抗单粒子翻转的能力,但延长了读操作路径,使读取速度变慢。

从图 6 可知, NS-12T SRAM 的读时间小于 RHD12、RSP-14T、RHM、RHM-12T 和 NS-10T, 大于其余存储单元。从图 7 可知, NS-12T SRAM 的写时间略大 6T 单元, 小于其余存储单元。综上所述可知, NS-12T SRAM 不仅具有良好的容忍 SEU 能力, 而且读写速度快, 适用于高速存储器。

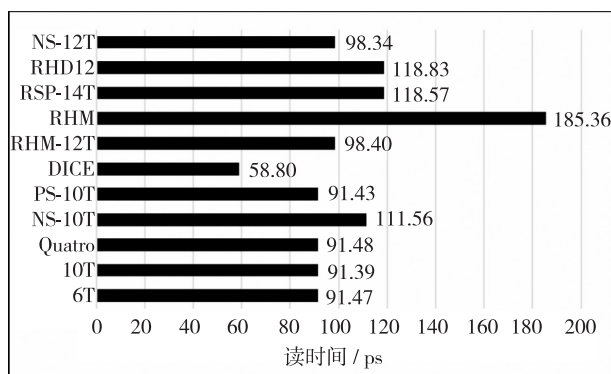


图 6 存储单元的读时间比较

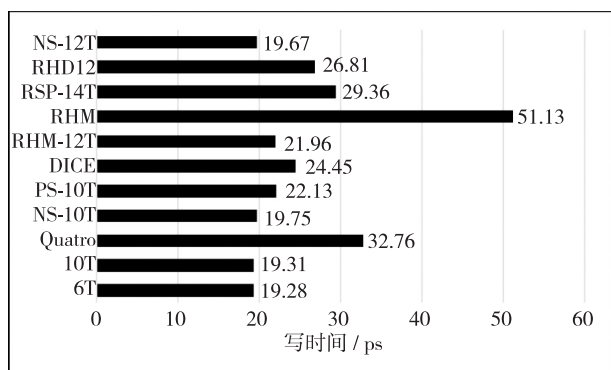


图 7 存储单元的写时间比较

2.4 稳定性的比较

存储单元的稳定性使用静态噪声容限来表征。存储单元有三种不同的工作状态, 即为保持静态噪声容限(HSNM)、读静态噪声容限(RSNM)、写静态噪声容限(WSNM)。

各存储单元的静态噪声容限比较如图 8 所示。NS-12T SRAM 的 HSNM、RSNM 和 WSNM 与其他存储单元相比, 没有明显优势, 但静态噪声容限较高, 三个参数相差不大。因此, NS-12T SRAM 在读/写状态或保持状态时出现错误的可能性更低, 稳定性更好。

稳定性要求 HSNM、RSNM 和 WSNM 的值大, 在三种工作状态下都能保持良好的稳定性。因此, 本文使用最小噪声容限 MSNM 来衡量存储单元的稳定性。

各存储单元的 MSNM 比较如图 9 所示。NS-12T SRAM 的 MSNM 比 DICE、RHM 小, 大于其

余存储单元。这表明 NS-12T SRAM 在保持状态、读/写状态时, 均保持良好稳定性。

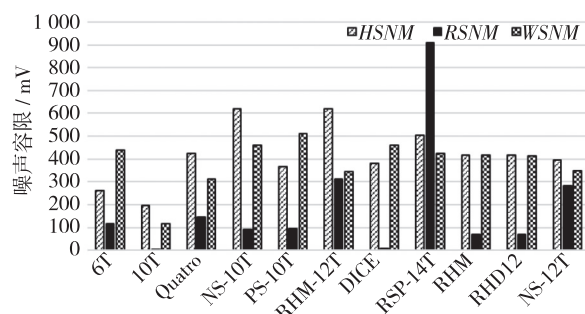


图 8 各存储单元的静态噪声容限比较

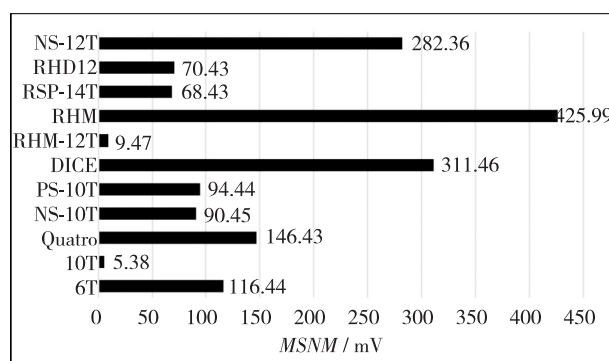


图 9 各存储单元的 MSNM 比较

2.5 综合比较

各存储单元面积开销、功耗、读写时间、MSNM 的比较如表 2 所示。表中, AVG 为存储单元 UST、功耗、读写时间、MSNM 的平均值, Δ 为本文 NS-12T SRAM 单元较其他单元的平均值而增加的百分比。

表 2 各存储单元的 UST、功耗、读写时间、MSNM 的比较

存储单元	UST/ 个	功耗/ nW	读时间/ ps	写时间/ ps	MSNM/ mV
6T	16	140.83	91.47	19.28	116.44
10T	24	159.17	91.39	19.31	5.38
Quatro	28	289.12	91.48	32.76	146.43
NS-10T	28	198.37	111.56	19.75	90.45
PS-10T	28	234.32	91.43	22.13	94.44
DICE	32	301.88	58.80	24.45	311.46
RHM-12T	36	384.02	98.40	21.96	9.47
RHM	40	263.20	185.36	51.13	425.99
RSP-14T	40	151.19	118.57	29.36	68.43
RHD12	36	184.59	118.83	26.81	70.43
AVG	30.80	230.67	105.73	26.69	182.25
NS-12T	32	150.99	98.34	19.67	282.36
Δ	3.90%	-34.54%	-6.99%	-26.32%	54.93%

可以看出,与其他存储单元的平均值相比,本文 NS-12T SRAM 的面积开销增加了 3.90%,功耗、读时间和写时间分别降低了 34.54%, 6.99%, 26.32%, MSNM 增加了 54.93%。本文 NS-12T SRAM 的 HSNM、RSNM 和 WSNM 的值较大,稳定性好。

3 结 论

本文提出了一种低功耗加固 NS-12T SRAM 存储单元,具有良好的容忍 SEU 的能力,完全容忍单点翻转,容忍双点翻转的比例为 33.33%。与其他存储单元相比,本文 NS-12T SRAM 存储单元的面积开销仅增加了 3.90%,功耗减小了 34.54%,读时间、写时间分别减小了 6.99%, 26.32%; MSNM 增加了 54.93%, HSNM、RSNM 和 WSNM 三者之间相差不大,稳定性好。本文 NS-12T SRAM 存储单元在面积开销、功耗、读/写时间、稳定性方面获得较好的折中,综合性能良好。

参 考 文 献:

- [1] BAUMAN R C. Radiation-induced soft errors in advanced semiconductor technologies [J]. IEEE Trans Dev & Mater Reliab, 2005, 5(3): 305-316.
- [2] 韩郑生, 赵元富. 抗辐射集成电路概论 [M]. 北京: 清华大学出版社, 2011: 1-152.
- [3] 桂江华, 徐睿, 卓琳. 基于三模冗余架构的集成电路加固设计 [J]. 中国电子科学研究院学报, 2013, 8(6): 643-646.
- [4] LI J Q, XIAO L Y, REVIRIEGO P, et al. Efficient implementations of 4-bit burst error correction for memories [J]. IEEE Trans Circ & Syst II: Expr Bri, 2018, 65(12): 2037-2041.
- [5] SHANSHAN L, LI Y X. Fault secure encoder and decoder designs for matrix codes [C] // 14th Int Conf Comput Aid Des & Comput Graph. Xi'an, China, 2015: 181-185.
- [6] SANCHEZ A, REVIRIEGO P, TABERO J, et al. SEFI protection for nanosat 16-bit chip onboard computer memories [J]. IEEE Trans Dev & Mater Reliab, 2017, 17(4): 698-707.
- [7] HUGHES H L, BENEDETTO J M. Radiation effects and hardening of MOS technology: devices and circuits [J]. IEEE Trans Nucl Sci, 2003, 50(3): 500-521.
- [8] JUNG I S, KIM Y B, LOMBARDI F. A novel sort error hardened 10T SRAM cells for low voltage operation [C] // IEEE 55th Int MWSCAS. Boise, ID, USA, 2012: 714-717.
- [9] CALIN T, NICOLAIDIS M, VELAZCO R. Upset hardened memory design for submicron CMOS technology [J]. IEEE Trans Nucl Sci, 1996, 43(6): 2874-2878.
- [10] JAHINUZZAMAN S, RENNIE D, SACHDEV M. A soft error tolerant 10T SRAM bit-cell with differential read capability [J]. IEEE Trans Nucl Sci, 2009, 56(6): 3768-3773.
- [11] GUO J, XIAO L Y, MAO Z G. Novel low-power and highly reliable radiation hardened memory cell for 65 nm CMOS technology [J]. IEEE Trans Circ & Syst I: Regu Pap, 2014, 61(7): 1994-2001.
- [12] GUO J, XIAO L Y, WANG T Q, et al. Soft error hardened memory design for nanoscale complementary metal oxide semiconductor technology [J]. IEEE Trans Reliab, 2015, 64(2): 596-602.
- [13] PENG C Y, HUANG J T, LIU C Y, et al. Radiation-hardened 14T SRAM bitcell with speed and power optimized for space application [J]. IEEE Trans VLSI Syst, 2019, 27(2): 407-415.
- [14] QI C H, XIAO L Y, WANG T Q, et al. A highly reliable memory cell design combined with layout-level approach to tolerant single-event upsets [J]. IEEE Trans Dev & Mater Reliab, 2016, 16(3): 388-395.
- [15] KUMAR C I, ANAND B. Design of highly reliable energy-efficient SEU tolerant 10T SRAM cell [J]. Elec Lett, 2018, 54(25): 1423-1424.
- [16] DODD P E, MASSENGILL L. Basic mechanisms and modeling of single-event upset in digital microelectronics [J]. IEEE Trans Nucl Sci, 2003, 50(3): 583-602.
- [17] SHESHADRI V B, BHUVA B L, REED R A, et al. Effects of multi-node charge collection in flip-flop designs at advanced technology nodes [C] // Proceed IEEE Int Reliab Phys Symp. Anaheim, CA, USA, 2010: 1026-1030.
- [18] Predictive technology model (PTM) for Spice [EB/OL]. <http://ptm.asu.edu>, 2019-01-25.

一种高性能的亚阈值 CMOS 电压基准

王远飞, 罗 萍, 杨 健, 唐天缘, 杨秉中
(电子科技大学 电子科学与工程学院, 成都 610053)

摘 要: 基于 $0.18\ \mu\text{m}$ CMOS 工艺设计了一种高性能的亚阈值 CMOS 电压基准。提出了一个电压减法电路, 将两个具有不同阈值电压且工作在亚阈值区晶体管的栅源电压差作为电压基准输出。所提出的电压减法电路还可以很好地消除电源电压变化对输出基准的影响。后仿真结果表明, 所设计的电压基准在 $0.55\sim 1.8\ \text{V}$ 电源电压范围内, 线性灵敏度为 $0.053\%/V\sim 0.121\%/V$; 在 $-20\ ^\circ\text{C}\sim 80\ ^\circ\text{C}$ 范围内, 温度系数为 $9.5\times 10^{-6}/^\circ\text{C}\sim 3.49\times 10^{-5}/^\circ\text{C}$; 在 t_t 工艺角、 $0.55\ \text{V}$ 电源电压下, 电源抑制比为 $-65\ \text{dB}@100\ \text{Hz}$, 功耗为 $3.7\ \text{nW}$ 。芯片面积为 $0.0082\ \text{mm}^2$ 。该电路适用于能量采集、无线传感器等低功耗应用。

关键词: CMOS 电压基准; 电压减法电路; 亚阈值区; 低功耗应用

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0163-05

DOI: 10.13911/j.cnki.1004-3365.200289

A High Performance Sub-Threshold CMOS Voltage Reference

WANG Yuanfei, LUO Ping, YANG Jian, TANG Tianyuan, YANG Bingzhong

(School of Elec. Sci. and Engineer., Univ. of Elec. Sci. and Technol. of China, Chengdu 610053, P. R. China)

Abstract: A high performance sub-threshold CMOS voltage reference was designed in a $0.18\ \mu\text{m}$ CMOS process. A voltage subtraction circuit working in the sub-threshold region was proposed, which adopted the gate-source voltage difference of two transistors with different threshold voltages as the voltage reference output. At the same time, the proposed voltage subtraction circuit could well eliminate the influence of the power supply voltage change on the output reference. The post-simulation results showed that the voltage reference designed in this paper had a linear sensitivity of $0.053\%/V\sim 0.121\%/V$ in the supply voltage range of $0.55\sim 1.8\ \text{V}$, the temperature coefficient was $9.5\times 10^{-6}/^\circ\text{C}\sim 3.49\times 10^{-5}/^\circ\text{C}$ in the temperature range of $-20\ ^\circ\text{C}\sim 80\ ^\circ\text{C}$, the power supply rejection ratio was $-65\ \text{dB}@100\ \text{Hz}$, and the power consumption was $3.7\ \text{nW}@t_t, 0.55\ \text{V}$. The chip area was $0.0082\ \text{mm}^2$. The circuit was suitable for low power applications such as energy harvesting and wireless sensors.

Key words: CMOS voltage reference; voltage subtraction circuit; sub-threshold region; low power application

0 引 言

超低功耗高性能电压基准是能量收集以及无线传感器系统等超低功耗应用的关键部分之一。根据是否采用双极型晶体管(BJT), 电压基准可分为带

隙基准^[1~4]和亚阈值 CMOS 基准^[5~8]。带隙基准由于电源电压需要大于 BJT 导通电压($0.7\ \text{V}$), 在需要低电源电压的太阳能和温差能等采集系统中不再适用。为了解决低供电电压的问题, 文献[2-4]采用电荷泵电路, 将供电电压升压后再对后级电路供电, 此方法增加了电路复杂度和功耗。在应用需求下,

收稿日期: 2020-06-21; 定稿日期: 2020-08-18

基金项目: 预研基金资助项目(1126190601A)

作者简介: 王远飞(1992—), 男(汉族), 江西赣州人, 博士研究生, 从事模拟集成电路设计和电源管理研究工作。

罗 萍(1968—), 女(汉族), 四川成都人, 教授, 博士生导师, 从事智能功率集成电路与系统方面研究。通信作者, E-mail: pingl@uestc.edu.cn。

基于工作在亚阈值晶体管栅源电压的特殊温度特性,亚阈值 CMOS 基准被广泛使用。

传统的带隙基准利用 BJT 的负温度系数 (CTAT) 电压 V_{BE} 与正温度系数 (PTAT) 电压 ΔV_{BE} 叠加生成与温度无关的电压基准。亚阈值 CMOS 基准则通过特殊设计晶体管的尺寸来补偿阈值电压的温度系数,使其输出一个与温度无关的电压基准,但输出受工艺和电源电压偏差影响较大^[5-6]。为了减小电源电压对基准电压的影响,文献[7]提出了补偿电流的方法,该方法虽然可以大大改善亚阈值基准对电源电压偏差的灵敏度,但同时引入了额外的功耗,增大了版图面积。为了获得综合性能优异的电压基准源,本文基于 $0.18 \mu\text{m}$ CMOS 工艺设计了一种高性能的亚阈值 CMOS 电压基准,提出了一个电压减法电路,将两个具有不同阈值电压且工作在亚阈值区晶体管的栅源电压差作为电压基准输出,从而提高了线性灵敏度和温度系数的性能。

1 CMOS 电压基准的基本原理

本文介绍的 CMOS 电压基准电路如图 1 所示。该电压基准电路由启动电路、电流产生电路和基准输出电路组成。表 1 为电流产生电路和基准输出电路中晶体管的尺寸参数。

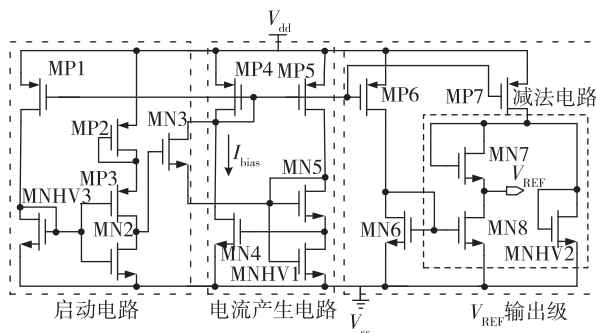


图 1 提出的 CMOS 电压基准源电路

表 1 晶体管的尺寸参数

晶体管名称	尺寸/ μm	晶体管名称	尺寸/ μm
MP4	20/20	MN6	12/20
MP5	20/20	MN7	8.5/20
MP6	5/20	MN8	12/20
MP7	10/20	MNHV1	3/20
MN4	4/20	MNHV2	10/20
MN5	3/3	-	-

本文设计的电压基准电路中未采用电阻和 BJT 元件,且为了获得低的功耗,所有晶体管均工作在亚阈值区,除了 MNHV1、MNHV2、MNHV3 为高阈值电压晶体管外,其余 MOS 管均为正常阈值晶体管。

1.1 与电源电压无关的电流产生电路原理

电流产生电路为电压基准输出级提供电流偏置,为了得到低线性灵敏度的基准电压,所产生的电流需要尽可能与电源电压无关。

在亚阈值区,电流公式可表示为:

$$I_D = \mu C_{ox} V_T^2 (W/L) \exp\left(\frac{V_{GS} - V_{TH}}{m V_T}\right) \times \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (1)$$

式中, μ 为载流子迁移率, C_{ox} 为单位栅氧化层电容, V_{TH} 是 MOS 管的阈值电压, m 是亚阈值斜率, $V_T = KT/q$ 是热电压, K 是玻尔兹曼常数, q 是元电荷, W/L 是 MOS 管的宽长比。当 $V_{DS} \geq 4V_T$ 时,式(1)可以转换为:

$$V_{GS} = V_{TH} + m V_T \ln\left[\frac{I_D}{I_S (W/L)}\right] \quad (2)$$

式中, $I_S = \mu C_{ox} V_T^2$ 。同时,在电流产生电路中的三个 NMOS 管 MNHV1、MN4 和 MN5 存在关系:

$$V_{GS1} = V_{GS4} + V_{GS5} \quad (3)$$

流经 MP4 的偏置电流为 I_{bias} ,联立式(2)和式(3),可得:

$$I_{bias} = \frac{I_{S4} I_{S5}}{I_{S1}} \times \frac{(W/L)_4 (W/L)_5}{(W/L)_1} \times \exp\left(-\frac{V_{TH4} + V_{TH5} - V_{TH1}}{\eta V_T}\right) \quad (4)$$

由式(4)可知,该偏置电流基本与电源电压无关,满足电压基准对电流产生电路的要求。

1.2 电压基准输出级的基本原理

MP6 和 MP7 按 k_1 和 k_2 的比例复制电流产生电路产生的偏置电流 I_{bias} ,通过两个管的电流满足关系 $I_{D,MP6} = k_1 I_{bias}$, $I_{D,MP7} = k_2 I_{bias}$ 。MN8 和 MN6 同样构成电流镜结构,并且 MN8 的宽长比是 MN6 的 k_3 倍,得到 $I_{D,MN7} = I_{D,MN8} = k_3 I_{D,MN6} = k_1 k_3 I_{bias}$ 。因此,通过 MNHV2 的电流可表示为:

$$I_{D,MNHV2} = I_{D,MP7} - I_{D,MN8} = (k_2 - k_1 k_3) I_{bias} \quad (5)$$

将式(5)代入式(2), $V_{GS,MNHV2}$ 和 $V_{GS,MN7}$ 可分别表示为:

$$V_{GS,MNHV2} = V_{TH,MNHV2} + m V_T \times \ln\left[\frac{(k_2 - k_1 k_3) I_{bias}}{\mu C_{ox} V_T^2 (W/L)_{MNHV2}}\right] \quad (6)$$

$$V_{GS,MN7} = V_{TH,MN7} + m V_T \times \ln \left[\frac{k_1 k_3 I_{bias}}{\mu C_{ox} V_T^2 (W/L)_{MN7}} \right] \quad (7)$$

由 MN7、MN8 和 MNHV2 组成的减法电路有以下关系：

$$V_{REF} = V_{GS,MNHV2} - V_{GS,MN7} \quad (8)$$

将式(6)、(7)代入式(8)，基准电压 V_{REF} 可表示为：

$$V_{REF} = \Delta V_{TH} + \alpha V_T \quad (9)$$

式中， $\Delta V_{TH} = V_{TH,MNHV2} - V_{TH,MN7}$ ， α 是一个与电路参数有关的常数，可表示为：

$$\alpha = m \ln \left[\frac{k_2 - k_1 k_3}{k_1 k_3} \times \frac{(W/L)_{MN7}}{(W/L)_{MNHV2}} \right] \quad (10)$$

考虑 MN7 的体效应，阈值电压和温度间的关系可以表示成^[3]：

$$V_{TH}(T) = V_{TH}(T_0) + K_{TH}(T - T_0) \quad (11)$$

式中， K_{TH} 是 1 阶负温度系数， V_{REF} 可进一步表示为：

$$V_{REF} = \Delta V_{TH0} - (m-1)V_{SB,MN7} + \Delta K_{TH0}(T - T_0) + \alpha V_T \quad (12)$$

式中， $\Delta V_{TH0} = V_{TH,MNHV2}(T_0) - V_{TH,MN7}(T_0)$ ， $\Delta K_{TH0} = K_{TH,MNHV2} - K_{TH,MN7}$ 。将 $V_{SB,MN7} = V_{REF}$ 代入式(12)， V_{REF} 可表示为：

$$V_{REF} = \frac{1}{m} (\Delta V_{TH0} + \Delta K_{TH0}(T - T_0) + \alpha V_T) \quad (13)$$

基准电压的温度系数(TC)和线性灵敏度(LS)是衡量其性能高低的重要指标。将式(13)对温度微分，可得：

$$\frac{\partial V_{REF}}{\partial T} = \frac{1}{m} (\Delta K_{TH0} + \alpha \frac{K}{q}) \quad (14)$$

只要合理设置晶体管 MN7 和 MNHV2 的宽长比，就能获得 $\partial V_{REF} / \partial T \approx 0$ 的温度系数，从而获得一个与温度无关的电压。

线性灵敏度定义为 $LS = (\Delta V_{REF} / \Delta V_{dd}) / V_{REF}$ 。如文献[5]所述，当电源电压 V_{dd} 从 V_{ddMIN} 变化至 V_{ddMAX} 时，对应的响应电流从 I_{DMIN} 变化至 I_{DMAX} ，因 V_{dd} 变化而产生的 ΔV_{GS} 和 ΔV_{REF} 可以表示为：

$$\Delta V_{GS} = m V_T \ln \left(\frac{I_{DMAX}}{I_{DMIN}} \right) \quad (15)$$

$$\Delta V_{REF} = m V_T \ln \left(\frac{I_{D,MNHV2MAX}}{I_{D,MNHV2MIN}} \times \frac{I_{D,MN7MIN}}{I_{D,MN7MAX}} \right) \quad (16)$$

由于 $I_{D,MN7}$ 和 $I_{D,MNHV2}$ 都与 I_{bias} 成正比，显然可以得到 $\Delta V_{REF} = 0$ 、 $LS = 0$ ，表明所设计的减法电路可消除输入电压变化对输出电压的影响，从而获得对

电源电压具有低线性灵敏度的基准电压。

由式(8)表征的减法电路也可应用于高阶温度补偿的基准电路中，将两个同为 PTAT 或 CTAT 的电压进行相减，进一步优化高阶温度特性。

2 电压基准电路后仿结果

本文设计的电压基准在 0.18 μm CMOS 工艺下的版图如图 2 所示，该电路由于未采用电阻和 BJT，版图面积仅为 0.008 2 mm²。室温下基准电压和供电电压之间的关系曲线如图 3 所示。当电源电压在 0.55 V 至 1.8 V 之间变化时，输出基准电压能稳定在 112 mV。在此电源电压变化范围内，其最大偏差在 tt 工艺角仿真下仅为 0.087 mV，LS 为 0.062%/V。

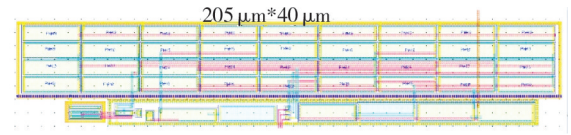


图2 本文提出的电压基准版图

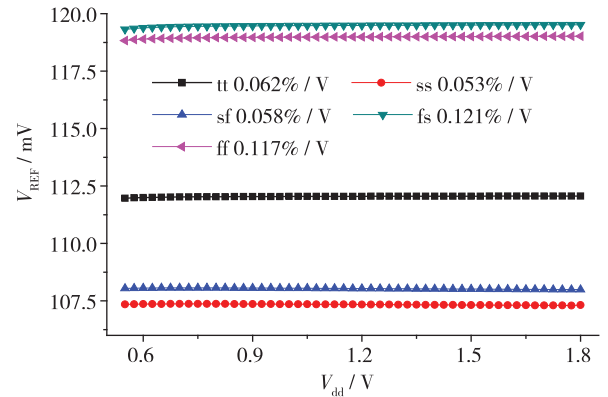


图3 不同电源电压下基准电压-供电电压曲线

基准电压在 0.55~1.8 V 电源电压下随温度的变化关系如图 4 所示，图中展示了一 20 $^{\circ}\text{C}$ 到 80 $^{\circ}\text{C}$ 下的基准电压-温度关系曲线。可以看出，基准电压维持在 112 mV，同时 TC 值仅由 $9.5 \times 10^{-6} / ^{\circ}\text{C}$ 变化到 $1.47 \times 10^{-5} / ^{\circ}\text{C}$ 。

基准电压在电源电压为 0.55 V、不同工艺角下随温度变化的关系曲线如图 5 所示。输出基准电压在不同工艺角下的平均值为 112 mV，在 tt 工艺角下有最佳 TC 值，为 $9.5 \times 10^{-6} / ^{\circ}\text{C}$ ，在 fs 工艺角下有最差 TC 值，为 $3.49 \times 10^{-5} / ^{\circ}\text{C}$ 。在不同电源电压下功耗和温度的关系曲线如图 6 所示，功耗在电源电压为 0.55 V、室温下仅为 3.7 nW。

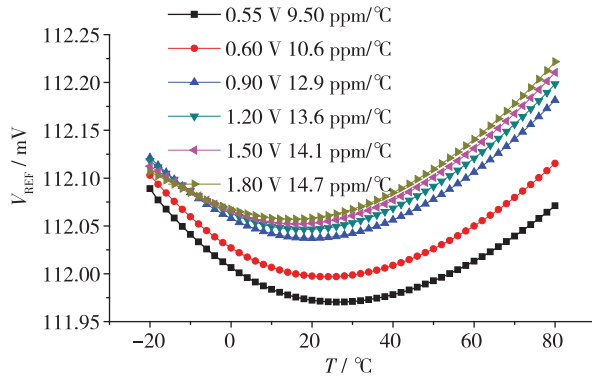
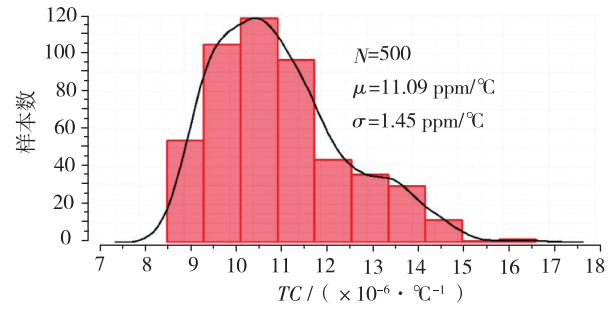


图 4 不同电源电压下基准电压-温度曲线



(b) 温度系数

图 7 蒙特卡洛仿真结果

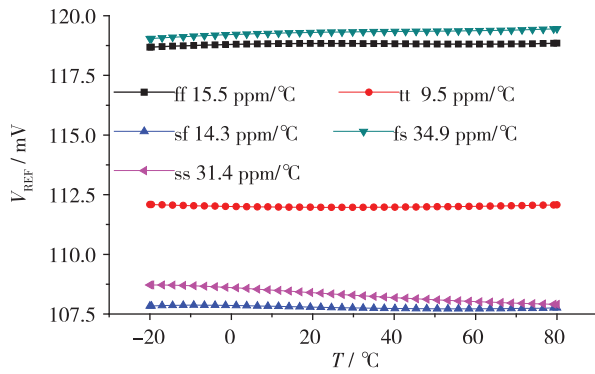


图 5 不同工艺角下基准电压-温度曲线

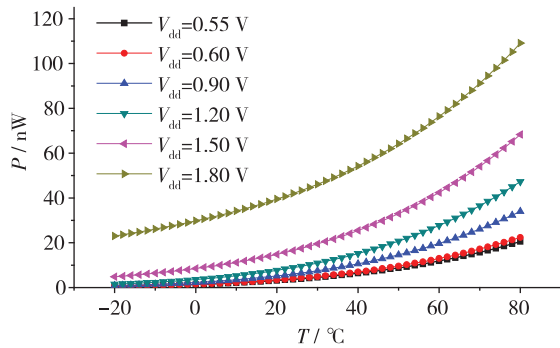
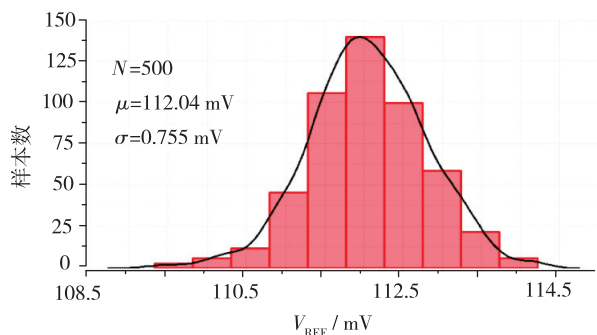


图 6 不同电源电压下功耗-温度曲线

为测试工艺偏差对性能的影响,进行了 tt 工艺下的蒙特卡洛仿真,后仿真结果如图 7 所示。一共仿真了 500 个样本,以获得基准电压和 TC 的平均值,分别为 112.04 mV 和 $1.109 \times 10^{-5} / ^\circ\text{C}$ 。



(a) 基准电压

图 8 展示了 PSRR 随频率的变化关系,在 100 Hz 和 1 MHz 下仿真结果分别为 -65 dB 和 -32 dB。

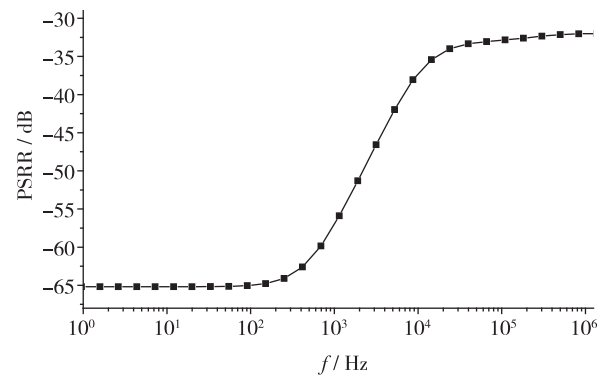


图 8 室温及 0.55V 电源电压下电源抑制比曲线

本文电压基准与其它文献对比结果如表 2 所示。与文献[5]对比,由于采用了电压减法电路来消除输入电压变化对基准输出的影响,本文提出的电压基准有更低的线性灵敏度和更好的 PSRR 性能;与文献[6]、[7]对比,本文在电流消耗、温度系数方面有更优异的性能。

表 2 本文电压基准与其它文献对比

参数	本文	文献[5]	文献[6]	文献[7]
工艺尺寸/nm	180	180	180	180
温度范围/°C	-20/80	-20/80	-20/80	-20/80
TC/ ($\times 10^{-6} \cdot ^\circ\text{C}^{-1}$)	9.5	2.7	21.9	59.4
最小供电 电压/V	0.55	0.6	0.55	0.45
电流消耗/nA @0.55 V @1 V @0.55 V @0.45 V	6.72	1.12	13.6	34.7
V_{REF}/mV	112	202.7	225.5	118.4
LS/($\% \cdot \text{V}^{-1}$)	0.062	0.57	0.22	0.033

续表

参数	本文	文献[5]	文献[6]	文献[7]
PSRR/dB @100 Hz	−65	−56	-	−50.3
面积/mm ²	0.008 2	-	-	0.013 2

3 结 论

本文提出了一种基于 0.18 μm CMOS 工艺的超低线性灵敏度、超低功耗以及高 PSRR 的电压基准源。该电压基准源通过一个电压减法电路,消除了输入电压变化对输出基准的影响,以得到超低的线性灵敏度。后仿结果表明,本文提出的电压基准具有更高的精度以及稳定性,在低功耗应用中更具吸引力。

参 考 文 献:

[1] 李连辉,段吉海,张喜. 一种低温漂超低功耗带隙基准电压源 [J]. 微电子学, 2016, 46(4): 458-462.

[2] LIU L X, MU J C, ZHU Z M. A 0.55-V, 28-ppm/ $^{\circ}\text{C}$, 83-nW CMOS sub-BGR with ultra-low power curvature compensation[J]. IEEE Trans Circ Syst I;

Reg Pap, 2018, 65(1): 95-106.

[3] MU J C, LIU L X, ZHU Z M, et al. A 58-ppm/ $^{\circ}\text{C}$ 40-nW BGR at supply from 0.5 V for energy harvesting IoT devices [J]. IEEE Trans Circ Syst II: Expr Bri, 2017, 64(7): 752-756.

[4] SHRIVASTAVA A, CRAIG K, ROBERTS N E, et al. A 32 nW bandgap reference voltage operational from 0.5 V supply for ultra-low power systems [C] // IEEE ISSCC Dig. Tech. Papers. San Francisco, CA, USA. 2015: 94-95.

[5] 曾衍瀚,黄毅荣,李毓鳌,等. 超低功耗亚阈值 CMOS 电压基准电路 [J]. 微电子学, 2014, 44(3): 301-304.

[6] DUAN Q Z, WANG X, HUANG S M, et al. 0.55 - 1.8 V, 7.5 nW, 225.5 mV, CMOS-only subthreshold voltage reference [J]. Elec Lett, 2019, 55(6): 306-308.

[7] ZHU Z M, HU J, WANG Y T. A 0.45V, nano-watt 0.033% line sensitivity MOSFET-only sub-threshold voltage reference with no amplifiers [J]. IEEE Trans Circ Syst I: Regul Pap, 2016, 63(9): 1370-1380.

[8] MAGNELLI L, CRUPI F, CORSONELLO P, et al. A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference [J]. IEEE J Sol Sta Circ, 2011, 46(2): 465-474.

一种采用低阈值技术实现的高速采样保持电路

郭 亮, 曾 涛, 黄飞淋, 雷郎成, 苏 晨, 刘 凡, 刘伦才
(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 提出了一种采用低阈值技术实现的高速采样保持电路。采样保持电路采用电容翻转式架构, 利用栅压自举开关技术提高了采样开关的线性度, 通过下极板采样技术减小了电荷注入效应。提出的放大器与传统的套筒式共源共栅极放大器在电路结构上相同。不同点在于, 该放大器采用了低阈值设计技术。优势在于, 在特定工艺下通过低阈值器件补偿可实现高增益带宽放大器, 提高了采样保持电路的采样速率。该电路采用 $0.18\ \mu\text{m}$ CMOS 工艺设计并流片, 采样时钟频率达到了 125 MHz。仿真结果表明, SINAD 为 90.91 dB, SFDR 为 91.45 dBc, 芯片尺寸为 $0.8\ \text{mm} \times 0.5\ \text{mm}$ 。

关键词: 采样保持电路; 放大器; 低阈值技术

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0168-05

DOI: 10.13911/j.cnki.1004-3365.200293

A High Speed Sample and Hold Circuit Using Low Threshold Technology

GUO Liang, ZENG Tao, HUANG Feilin, LEI Langcheng, SU Chen, LIU Fan, LIU Luncai
(The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: A high speed sample and hold (S/H) circuit using low threshold technology was presented. Capacitor flip-around architecture was used for S/H circuit. Gate-bootstrapped switch technique was used to improve linearity. Bottom-plate sampling technique was adopted to reduce charge injection effect. The proposed amplifier and the traditional telescopic common-source common-gate amplifier had the same circuit structure. What's the difference was that the proposed amplifier used a low threshold technology with the advantages of high gain and bandwidth by adopting low threshold device compensation based on a specific process, and it improved the sampling rate of the sample-and-hold circuit. The circuit was designed and fabricated in a $0.18\ \mu\text{m}$ CMOS technology, and the sampling clock frequency was more than 125 MHz. The simulation results showed that SINAD was 90.91 dB, SFDR was 91.45 dBc, and the chip area was $0.8\ \text{mm} \times 0.5\ \text{mm}$.

Key words: S/H circuit; amplifier; low threshold technology

0 引 言

高速 A/D 转换器广泛应用于雷达、电子对抗、医疗成像和基站等领域, 研制高速 A/D 转换器需要综合考虑速度和精度等技术指标。在速度提升方面, 业界主流技术包括采用 28 nm 等先进工艺技术^[1-3]、多通道时间交织技术^[4-5]、折叠内插技术^[6];

在精度提高方面, 元件不匹配、运放的增益和带宽有限等是限制高速 A/D 转换器精度的主要因素, 通常采用 Dither 等数字后台校准技术提高精度^[7]。流水线 A/D 转换器结构兼有速度快和精度高的特点, 被大量运用在高速 A/D 转换器中^[8-10]。

采样保持电路作为流水线 A/D 转换器的关键单元, 实现对输入模拟信号采样和保持的功能, 其性能的主要制约因素包括开关的非线性误差、电荷注

收稿日期: 2020-06-26; 定稿日期: 2020-08-12

基金项目: 模拟集成电路国家重点实验室基金资助项目(6142802010702)

作者简介: 郭 亮(1988—), 男(汉族), 重庆荣昌人, 硕士, 工程师, 研究方向为混合集成电路设计。

入效应、时钟馈通效应、运算放大器的有限增益和带宽、偏置电流随温度变化的偏差以及时钟信号的抖动和干扰等。常用的架构分为电容翻转式架构和电荷重分配式架构,与电荷重分配式架构相比,电容翻转式采样保持电路具有噪声低、功耗低、面积小等特点,因此广泛应用于高速 A/D 转换器。

受限于先进工艺的流片成本,研究者在深亚微米工艺下,通过优化电路来提高采样保持电路的性能^[11-13]。本文基于传统的套筒式共源共栅极放大器结构,提出了一种低阈值设计技术,利用低阈值器件实现补偿,解决了特定工艺下放大器速度慢的问题,有效提高了增益和带宽,实现了采样保持电路对速度的要求;利用该技术设计的采样保持电路还具有可编程的特点,满足不同输入范围的应用需求。

1 总体设计

本文设计的采样保持电路结构如图 1 所示。

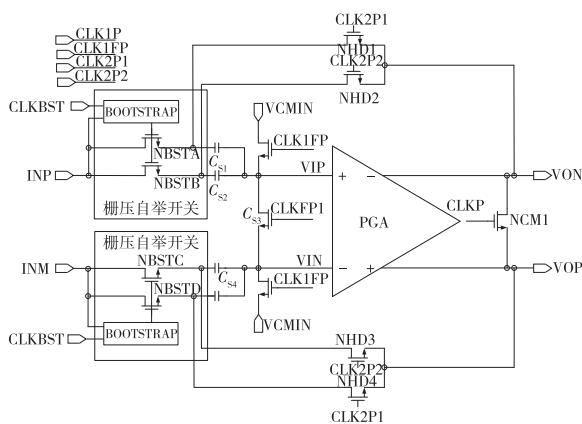


图 1 采样保持电路结构

采用电容翻转式结构,关键设计指标包括信噪比、无杂散动态范围、输入范围、速度、功耗和面积等。为提高信噪比等动态指标,需要增大采样保持电容来降低 kT/C 热噪声,确保其小于量化噪声,采样电容的最小值有:

$$C_s > \frac{12kT}{LSB^2} \quad (1)$$

式中, C_s 为总的采样电容值,采样电容不能过大,否则会增加面积,影响速度和降低驱动能力。放大器的单位增益带宽为:

$$f_u = \frac{g_m}{2\pi C_L} \quad (2)$$

式中, g_m 为放大器跨导, C_L 为等效的负载电容,采样电容和负载电容成正相关,因此采样保持电容需

要折中设计。

本文设计了栅压自举开关,有效降低了采样开关的非线性误差,采用了下极板采样技术来减小电荷注入效应。所设计的可编程增益放大器(PGA)满足 $1V_{pp}$ 和 $2V_{pp}$ 差分输入范围要求。当处于采样状态时,电容 C_{S1} 和 C_{S2} 并联连接,其采样保持开关时序保持一致;当处于保持状态时,对于 $1V_{pp}$ 差分输入范围模式,反馈电容只有电容 C_{S1} ,反馈系数为 $1/2$,而对于 $2V_{pp}$ 差分输入范围模式,电容 C_{S1} 和电容 C_{S2} 以并联的方式作为反馈电容,反馈系数为 1 ,整个采样保持电路功耗主要来自 PGA,同时 PGA 有限的增益和带宽直接制约了整个 A/D 转换器的速度。

2 关键电路模块设计

2.1 栅压自举开关

由于采样开关并非理想开关,存在导通电阻,会产生 kT/C 等热噪声并引入非线性误差。为了提高采样的线性度,设计了栅压自举开关,其电路如图 2 所示。当开关控制信号 CLKBST 为低电平时,电容 C_{BST3} 从电源 V_{DD} 到地 GND 进行充电;当开关控制信号 CLKBST 为高电平时,电容 C_{BST3} 两端电压作用于开关 NBST9 和 NBST10,实现栅压自举,从而提高线性度。

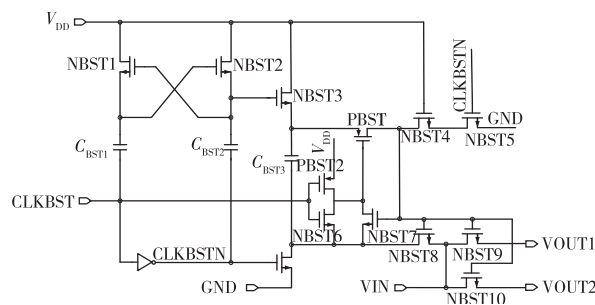


图 2 栅压自举开关

2.2 可编程增益放大器

采样保持电路的可编程增益放大器如图 3 所示。基于套筒式共源共栅结构设计,内部电路采用低阈值技术,即通过选择低阈值器件提高整个放大器的增益和带宽。该结构无需补偿,单位增益带宽可调,满足采样保持电路对不同输入范围、速度和精度的要求。当控制信号 SP1 置为高电平时,差分输入范围选择 $1V_{pp}$ 模式,可编程增益放大器的第一级和第二级组成放大级;当控制信号 SP1 置为低电平时,差分输入范围选择 $2V_{pp}$ 模式,可编程增益放大

图 8 采样保持电路的面积

4 仿真和测试结果

4.1 仿真结果

为确保 kT/C 噪声小于量化噪声,同时保证采样速度,结合式(1)和式(2),在差分输入范围为 $1V_{pp}$ 模式下,采样保持电容取值 2.4 pF ;在差分输入范围为 $2V_{pp}$ 模式下,采样保持电容取值 4 pF 。

当时钟频率为 $f_s=125\text{ MHz}$, $T=25\text{ }^{\circ}\text{C}$, $1V_{pp}$ 或 $2V_{pp}$ 正弦输入信号 V_{in} 频率 f_{in} 分别为 10 MHz 和 70 MHz 时,采样保持电路参数仿真结果如表 1 所示,可编程增益放大器的频率-增益仿真波形如图 9 所示,仿真参数如表 2 所示。

表 1 采样保持电路参数仿真结果

参数	条件	仿真结果
SNR	$V_{in}=1V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	104.87 dB
	$V_{in}=1V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	102.24 dB
	$V_{in}=2V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	97.79 dB
	$V_{in}=2V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	93.28 dB
SINAD	$V_{in}=1V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	91.39 dB
	$V_{in}=1V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	90.91 dB
	$V_{in}=2V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	93.14 dB
	$V_{in}=2V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	90.28 dB
SFDR	$V_{in}=1V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	91.72 dBc
	$V_{in}=1V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	91.45 dBc
	$V_{in}=2V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	96.54 dBc
	$V_{in}=2V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	95.29 dBc
功耗	$V_{in}=1V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	30.30 mW
	$V_{in}=1V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	30.30 mW
	$V_{in}=2V_{pp}, f_{in}=10\text{ MHz}, f_s=125\text{ MHz}$	25.40 mW
	$V_{in}=2V_{pp}, f_{in}=70\text{ MHz}, f_s=125\text{ MHz}$	25.40 mW

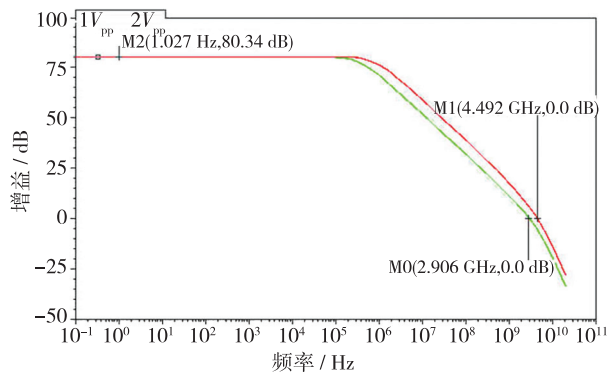


图 9 可编程增益放大器的增益 - 频率仿真波形

表 2 放大器参数仿真结果

参数	条件	仿真结果
增益	$V_{in}=1V_{pp}@1\text{ Hz}$	80.34 dB
	$V_{in}=2V_{pp}@1\text{ Hz}$	80.34 dB
单位增益带宽	$V_{in}=1V_{pp}$	4.492 GHz
	$V_{in}=2V_{pp}$	2.906 GHz

4.2 测试结果

对集成采样保持电路的流水线 A/D 转换器进行测试。在差分输入范围 $1V_{pp}$ 模式下,当时钟频率为 125 MHz ,正弦输入信号频率为 70 MHz 时,动态参数测试波形如图 10 所示。在差分输入范围 $2V_{pp}$ 模式下,其他条件不变,动态参数测试波形如图 11 所示,表 3 给出了本文测试结果以及与其他参考文献的性能对比。

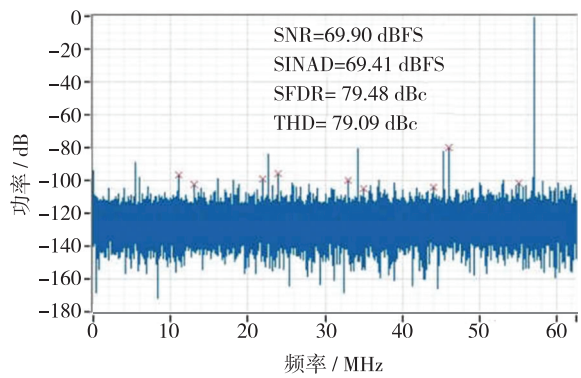


图 10 $1V_{pp}$ 模式下 A/D 转换器动态参数测试波形

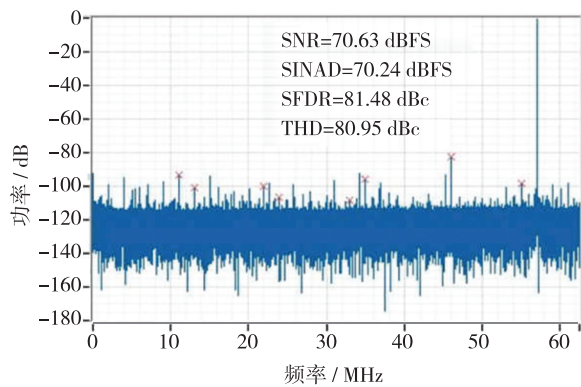


图 11 $2V_{pp}$ 模式下 A/D 转换器动态参数测试波形

由表 3 可见,在相同工艺下,本文提出的低阈值技术提高了 A/D 转换器采样速率,满足了采样保持电路对速度提升的要求,具有一定的先进性。

表 3 本文与其他参考文献的性能对比

参数	本文	文献 [11]	文献 [12]	文献 [13]
分辨率/bit	14	14	14	14
时钟频率/MHz	125	100	60	100
输入范围(V_{pp})	1/2	2	2	2
SNR/dBFS	69.90/70.63	-	-	72.4
SINAD/dBFS	69.41/70.24	65.7	73.3	-
SFDR/dBc	79.48/81.48	84.1	84.0	88.5
THD/dBc	79.09/80.95	-	-	84.9
工艺尺寸/ μm	0.18	0.18	0.18	0.18
电源电压/V	3.3	1.8	1.6	3.0

5 结 论

本文基于 $0.18\ \mu\text{m}$ CMOS 工艺设计了一种适用于流水线 A/D 转换器的高速采样保持电路,通过栅压自举开关技术降低了采样开关的非线性误差,利用下极板采样技术减小了电荷注入效应,采用低阈值技术极大地提高了可编程增益放大器增益和带宽,同时提出了一种过驱动电压调节方法,有效地保证器件正常工作,设计的可编程增益放大器具有宽输入范围、增益高、单位增益带宽可调的特点,在差分输入范围 $1V_{pp}$ 模式下的低频增益为 $80.34\ \text{dB}$,单位增益带宽为 $4.492\ \text{GHz}$,在差分输入范围 $2V_{pp}$ 模式下的低频增益为 $80.34\ \text{dB}$,单位增益带宽为 $2.906\ \text{GHz}$ 。在时钟频率 $125\ \text{MHz}$ 下,采样保持电路仿真结果 SINAD 达到 $90.91\ \text{dB}$,SFDR 为 $91.45\ \text{dBc}$,尺寸为 $0.8\ \text{mm} \times 0.5\ \text{mm}$ 。采用该采样保持电路的流水线 A/D 转换器测试结果为: $\text{SNR} \geq 69.90\ \text{dBFS}$, $\text{SFDR} \geq 79.48\ \text{dBc}$ 。

参 考 文 献:

- [1] LAGOS J, HERSHBERG B, MARTENS E, et al. A 1-GS/s, 12-b, single-channel pipelined ADC with dead-zone- degenerated ring amplifiers [J]. IEEE J Sol Sta Circ, 2019, 54(3): 646-658.
- [2] ALI A M A, DINC H, BHORASKAR P, et al. A 14-bit 2.5 GS/s and 5 GS/s RF sampling ADC with background calibration and dither [C] // VLSI-Circuits. Honolulu, HI, USA. 2016: 1-2.
- [3] SEHGAL R, FRANK V D G, BULT K. A 13-mW 64-dB SNDR 280-MS/s pipelined ADC using linearized integrating amplifiers [J]. IEEE J Sol Sta Circ, 2018, 53(7): 1878-1888.
- [4] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE J Sol Sta Circ, 2017, 52(12): 3204-3218.
- [5] EL-CHAMMAS M, LI X, KIMURA S, et al. A 12 bit 1.6 GS/s BiCMOS 22 hierarchical time-interleaved pipeline ADC [J]. IEEE J Sol Sta Circ, 2014, 49(9): 1876-1885.
- [6] NAKAJIMA Y, SAKAGUCHI A, OHKIDO T, et al. A background self-calibrated 6 b 2.7 GS/s ADC with cascade-calibrated folding-interpolating architecture [J]. IEEE J Sol Sta Circ, 2010, 45(4): 707-718.
- [7] ALI A M A, DINC H, BHORASKAR P, et al. A 14-bit 1 GS/s RF sampling pipelined ADC with background calibration [J]. IEEE J Sol Sta Circ, 2014, 49(12): 2857- 2867.
- [8] PELGROM M J M. Analog-to-digital conversion [M]. Dordrecht, The Netherlands: Springer, 2013: 325-417.
- [9] MALOBERTI F. Data converters [M]. Dordrecht, The Netherlands: Springer, 2010: 141-207.
- [10] ALI A M A. High speed data converters [M]. London, United Kingdom: The Institution of Engineering and Technology, 2016: 83-144.
- [11] LUO L, LIN K, CHENG L, et al. A digitally calibrated 14-bit linear 100-MS/s pipelined ADC with wideband sampling frontend [C] // IEEE ESSCIRC. Athens, Greece. 2009: 472-475.
- [12] MIYAHARA Y, SANO M, KOYAMA K, et al. A 14 b 60 MS/s pipelined ADC adaptively cancelling opamp gain and nonlinearity [J]. IEEE J Sol Sta Circ, 2014, 49(2): 416-425.
- [13] LEE B, MIN B, MANGANARO G, et al. A 14 b 100 MS/s pipelined ADC with a merged active S/H and first MDAC [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2008: 248-254.

一种具有噪声抵消结构的无电感 VHF 宽带 LNA

王子健, 黄继伟

(福州大学 物理与信息工程学院, 福州 350108)

摘 要: 基于 $0.18\ \mu\text{m}$ CMOS 工艺, 设计了一种应用于 VHF 频段直接射频采样接收机的低噪声放大器。为解决在 VHF 频段使用电感而造成的面积大、难集成等问题, 采用无电感结构设计, 使电路具备单端输入、双端输出的功能; 为减少噪声, 采用共源共栅负反馈噪声抵消结构。后仿真结果表明, 在 $30\sim 300\ \text{MHz}$ 频带内, 整体电路的输入匹配参数 S_{11} 小于 $-15\ \text{dB}$, 输出匹配参数 S_{22} 小于 $-12.6\ \text{dB}$, 增益范围为 $25.22\sim 25.39\ \text{dB}$, 噪声系数小于 $1.927\ \text{dB}$ 。版图尺寸为 $204\ \mu\text{m}\times 365\ \mu\text{m}$ 。

关键词: 甚高频; 无电感结构; 噪声抵消; 宽带低噪声放大器

中图分类号: TN722.3

文献标志码: A

文章编号: 1004-3365(2021)02-0173-06

DOI: 10.13911/j.cnki.1004-3365.200232

An Inductorless VHF Wideband LNA with Noise Cancellation Structure

WANG Zijian, HUANG Jiwei

(School of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, P. R. China)

Abstract: Based on a $0.18\ \mu\text{m}$ CMOS process, a wideband low noise amplifier (LNA) applied in direct RF sampling (DRFS) receivers at VHF was designed. In order to solve the problems of large area and difficult integration caused by using inductor at VHF, an inductorless structure was adopted, so the circuit had the function of single input and double output. In order to reduce noise, a noise cancellation structure based on cascode negative feedback was adopted. The post-simulation results showed that the whole circuit's input matching parameter S_{11} was less than $-15\ \text{dB}$, the output matching parameter S_{22} was less than $-12.6\ \text{dB}$, the gain was $25.22\sim 25.39\ \text{dB}$, and the noise factor was less than $1.927\ \text{dB}$ within $30\sim 300\ \text{MHz}$. The Layout size was $204\ \mu\text{m}\times 365\ \mu\text{m}$.

Key words: VHF; inductorless structure; noise cancellation; wideband LNA

0 引 言

CMOS 工艺具备高截止频率、高集成度、低成本的优势, 是射频 IC 的主流工艺, 基于 CMOS 工艺的宽带低噪声放大器 (LNA) 成为研究热点。作为接收机的第一级电路, LNA 需满足输入匹配的设计要求^[1]。为了实现宽带匹配, 需要使用多个电感器来补偿, 而 CMOS 工艺制作的电感器的尺寸较大, 使得面积大、损耗大, 不满足 LNA 的低成本、低噪

声要求。

宽带无电感结构 LNA 不使用电感器, 电路仅包含晶体管、无源电阻和少量电容, 大幅减小了芯片面积^[2], 但噪声性能受电阻热噪声的影响较大, 目前采用噪声抵消结构来解决这一问题。为了避免电容对匹配性能的影响, 采用共栅结构、共源极电阻负反馈结构。因此, 在较低频领域, 具有噪声抵消结构的宽带 LNA 是研究热点^[3-4]。晶体管的闪烁噪声、宽带匹配与噪声的性能折中等问题, 使该类 LNA 难以实现高增益。

收稿日期: 2020-05-27; 定稿日期: 2020-09-10

基金项目: 国家自然科学基金资助项目 (61774035)

作者简介: 王子健 (1998—), 男 (汉族), 福建泉州人, 本科生, 研究方向为集成电路设计。

本文采用无电感结构设计了一种工作于 30~300 MHz、高增益、低噪声的宽带 LNA。文章第 1 节介绍了 LNA 的基本原理,分析了几种常用电路结构,设计出了一种宽带、低噪声 LNA;第 2 节对本文的宽带 LNA 进行了理论分析;第 3 节给出版图和电路仿真结果;第 4 节给出结论。

1 LNA 基本原理

1.1 基本结构

常见 LNA 电路的基本结构如图 1 所示,分为带源极退化电感的共源极 LNA、共栅极 LNA、电压并联负反馈的共源极 LNA 等。

共源极 LNA(如图 1(a)、图 1(c)所示)具有优异的噪声性能和增益^[5]。利用带源端退化电感 L_s 和栅端电感 L_g 实现输入匹配,但宽带的匹配较困难;利用反馈电阻 R_f 提供良好的输入阻抗,但噪声性能较差。

共栅极 LNA(如图 1(b)所示)利用晶体管本身的跨导 g_m 提供了实数阻抗,具有较优的宽带特性,但相比共源极 LNA,噪声性能更差、增益更低。

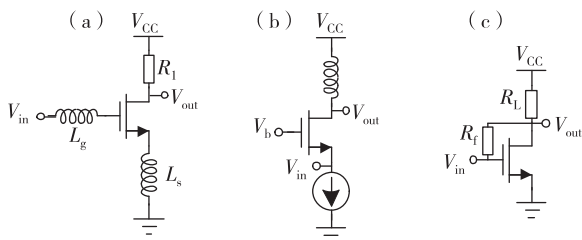
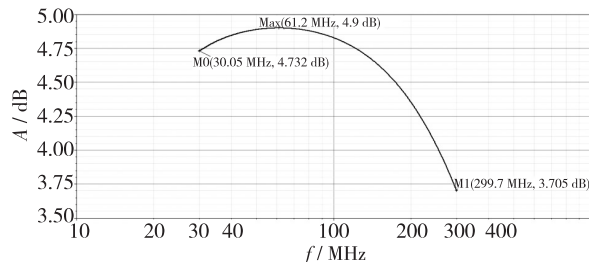


图 1 常见 LNA 的基本结构

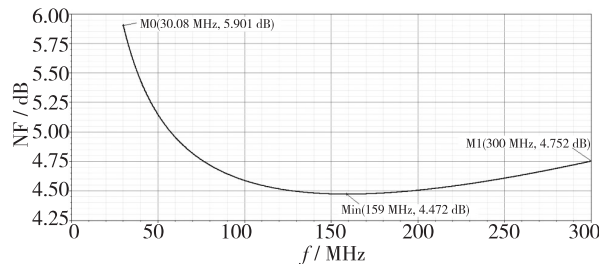
为了选择合适的结构,对如图 1(b)、图 1(c)的电路进行简单仿真,仿真在 VHF 频段内增益、噪声系数、输入匹配大致能达到的程度。共栅极 LNA、共源极 LNA 的仿真结果分别如图 2、图 3 所示。

可以看出,在工作频带内,共栅极 LNA 的增益最大值为 5 dB,噪声系数为 4.47~5.9 dB,输入匹配参数 S_{11} 能满足工作要求。在工作频带内,共源极 LNA 的增益最大值为 17.61 dB,噪声系数为 2.202~3.643 dB,与共栅极 LNA 相比,噪声性能相当,输入匹配 S_{11} 略差。

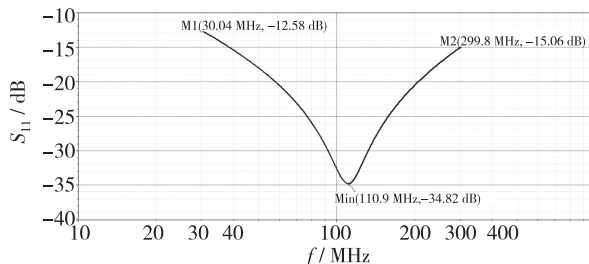
综上可知,共栅极 LNA 的宽带匹配性能最好,但增益性能远达不到本文的要求,因此选择使用电压并联负反馈共源极 LNA。



(a) 增益 S_{21}

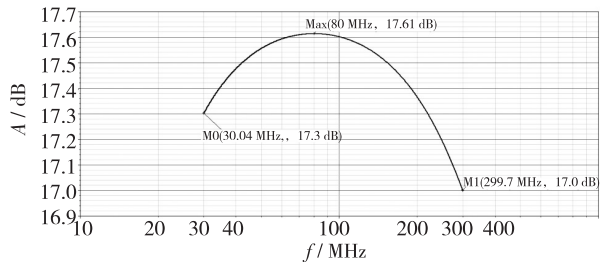


(b) 噪声系数

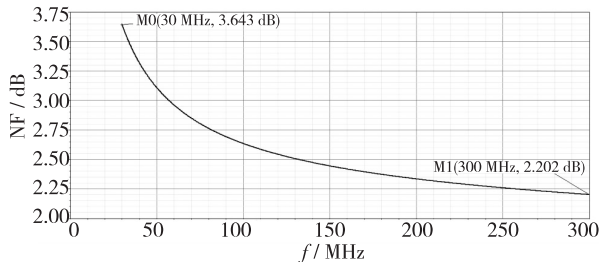


(c) 输入匹配参数 S_{11}

图 2 共栅极 LNA 的仿真结果



(a) 增益 S_{21}



(b) 噪声系数

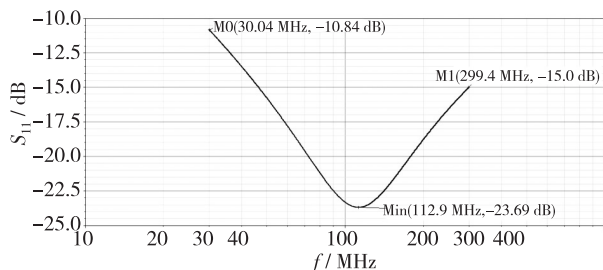
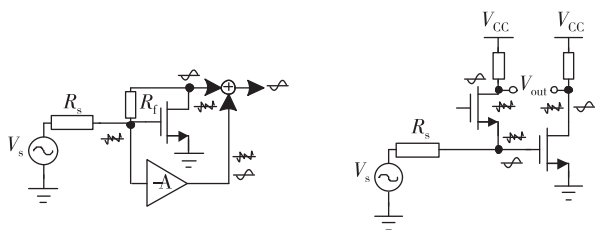
(c) 输入匹配参数 S_{11}

图3 共源极 LNA 的仿真结果

1.2 噪声抵消结构

宽带 LNA 需要通过多个电感抵消晶体管的电容效应,以实现宽带匹配的要求。但在 VHF 频带内,CMOS 工艺难以实现较大的电感值。无电感结构通过负载的电阻、少量电容来实现宽带匹配的要求,符合本文设计要求。但电阻引入了热噪声,宽带匹配与噪声之间存在矛盾,使电路在噪声方面不具有优势。

文献[6-7]采用一定的电路结构,抵消或降低了电路噪声,分别如图 4(a)、(b)所示。图 4(a)中,MOS 管的栅极噪声一方面经过 R_f 到达输出端,另一方面经过反相电路到达输出端,使输出端噪声的极性相反,达到衰减噪声的目的;经过两条支路的信号极性相同,并在输出端相加,从而增强了输出信号。图 4(b)中,MOS 管的栅噪声在漏端与源端的极性相反,源端噪声在经过共源极反相放大后,输出两端的噪声的极性相同,最终以差分形式,输出两端的噪声相减,从而将噪声抵消。



(a) 共源极电压并联负反馈

(b) 共栅-共源结构

图4 噪声抵消结构

2 电路设计

2.1 基于噪声抵消结构的宽带 LNA 设计

本文基于图 4(a)所示的共源极电压并联负反馈 LNA(具有宽带匹配、增益低等特点),同时结合图 4(b)所示的共栅-共源极噪声抵消结构(具有噪声低、单端输入/双端输出、隔离度高、增益高等特点),提出了一种新型噪声抵消结构的宽带 LNA,结

构如图 5 所示。

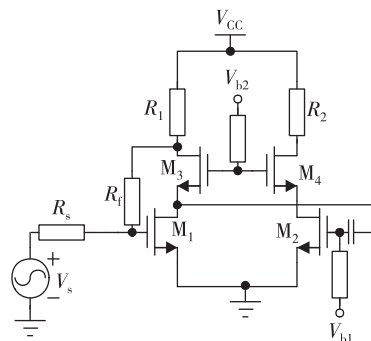
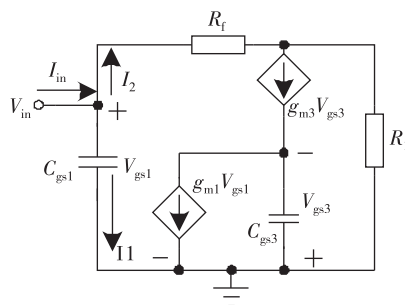


图5 基于噪声抵消结构的宽带 LNA

M_1 管的栅极噪声一方面通过 R_f 到达 V_{outn} , 另一方面通过两次反向放大、一次同相放大而到达 V_{outp} , 因此在输出端减小了噪声产生的影响。该结构具有以下优点:1)实现单端输入、差分输出的结构,增强了抗环境噪声能力;2)采用共源共栅结构,提高了增益和隔离度;3)利用共源极结构的低噪声,使整个电路的噪声最小化;4)利用 R_f 实现宽带输入匹配,且能为 M_1 管提供偏置电压。

2.1.1 输入匹配技术

MOS 管的栅极电阻可近似为无穷大,假定 M_2 管的栅极断开,即 M_2 、 M_4 支路对输入电阻没有影响,只对 M_1 、 M_3 支路进行分析。忽略 MOS 管的二级效应,只考虑寄生电容 C_{gs} 的影响。图 6 所示为 M_1 、 M_3 支路的小信号等效电路。

图6 M_1 、 M_3 支路的小信号等效电路图

经过计算,输入阻抗 Z_{in} 为:

$$Z_{in} = (R_1 + R_f)(g_{m3} + j\omega C_{gs3}) / (g_{m3} + g_{m1}g_{m3}R_1 - \omega^2(R_1 + R_f)C_{gs1}C_{gs3} + j\omega(g_{m3}C_{gs1}(R_1 + R_f) + C_{gs3}))^{-1} \quad (1)$$

若忽略寄生电容的影响,式(1)可变为:

$$Z_{in} = \frac{R_1 + R_f}{1 + g_{m1}R_1} \quad (2)$$

式中, g_{m1} 为 M_1 管的跨导。

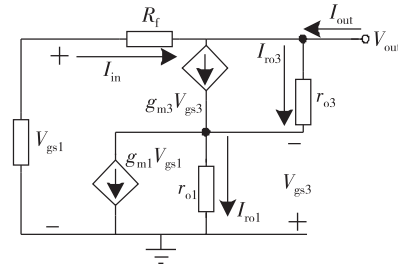
2.1.2 增益分析

为了方便计算,利用 $A_v = -G_m R_{out}$ 进行增益的

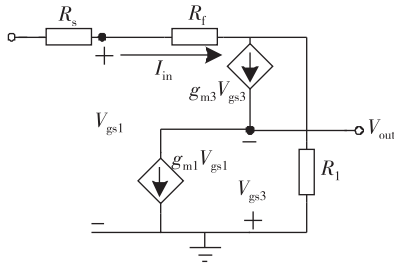
推导,将整个电路分成 M_1 、 M_3 支路和 M_2 、 M_4 支路。对于 M_1 、 M_3 支路,将输出端短路,考虑沟道调制效应,此状态时,等效小信号电路如图 7(a)所示。等效跨导 G_{m1} 为:

$$G_{m1} = \frac{g_{m1} R_f r_{o1} (1 + g_{m3} r_{o3})}{(r_{o1} + r_{o3} + g_{m3} r_{o1} r_{o3}) (R_s + R_f)} - \frac{1}{R_s + R_f} \quad (3)$$

接着,将 M_1 、 M_3 支路输入端短路接地,此状态时,等效小信号模型如图 7(b)所示。



(a) 计算 G_m 等效模型



(b) 计算 R_{out} 等效模型

图 7 M_1 、 M_3 支路的小信号等效电路

输出阻抗 R_{out} 为:

$$R_{out} = \frac{(R_s + R_f)(g_{m3} r_{o1} r_{o3} + r_{o1} + r_{o3})}{(g_{m1} R_s - 1)(g_{m3} r_{o1} r_{o3} + r_{o1}) + R_s + R_f - r_{o3}} \quad (4)$$

将输入匹配条件,即式(2),代入式(4),可得 M_1 、 M_3 支路的增益:

$$A_{v1} = -g_{m1} r_{o1} (1 + g_{m3} r_{o3}) R_1 + \frac{R_1}{R_f} (g_{m3} r_{o1} r_{o3} + r_{o1} + r_{o3}) / (2(g_{m3} r_{o1} r_{o3} + r_{o1} + r_{o3}) + R_1 (1 + (1 + \frac{R_1}{R_f}) \frac{1 - g_{m1} r_{o3}}{1 + g_{m1} R_1}))^{-1} \quad (5)$$

M_2 、 M_4 支路为 Cascode 结构,其增益为:

$$A_{v2} = \frac{-g_{m2} r_{o2} (1 + g_{m4} r_{o4}) R_2}{g_{m4} r_{o2} r_{o4} + r_{o2} + r_{o4} + R_2} \quad (6)$$

实际上,输入信号先通过 M_1 管后才到达 M_2 、 M_4 支路,进行放大。因此,还需考虑信号从 M_1 管到 M_2 管的增益 A_{v1to2} ,其计算示意图如图 8 所示。

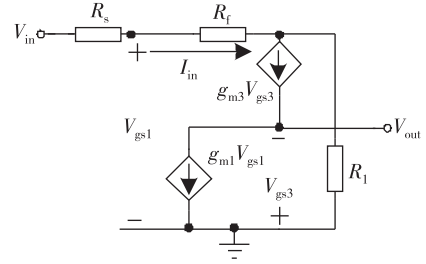


图 8 M_1 到 M_2 计算示意图

为了方便计算,忽略 MOS 管的二级效应,将式(2)代入最终的结果,得到 A_{v1to2} :

$$A_{v1to2} = -\frac{g_{m1}}{2g_{m3}} \quad (7)$$

结合式(5)和式(6),得到 M_2 、 M_4 支路的最终增益:

$$A_{v2} = \frac{g_{m1}}{2g_{m3}} \frac{g_{m2} r_{o2} (1 + g_{m4} r_{o4}) R_2}{2g_{m3} g_{m4} r_{o2} r_{o4} + r_{o2} + r_{o4} + R_2} \quad (8)$$

若要抵消共源极输入管 M_1 的噪声,需要两条支路增益的绝对值相同。这可通过式(5)和式(8)来平衡两端的增益。为了使输出端的静态电压平衡、版图匹配,令 $R_1 = R_2$ 。若忽略沟道调制效应,即 r_{o1} 趋近于无穷大,令 $|A_{v1}| = |A_{v2}|$,则有:

$$(R_1 + R_f) g_{m1} g_{m2} = g_{m3} (1 - g_{m1} R_f) \quad (9)$$

因此,该电路的总增益 A_v 为:

$$A_v = \frac{g_{m1} g_{m2} R_1}{g_{m3}} \quad (10)$$

2.1.3 噪声分析

该电路的噪声源包含了 M_1 、 M_2 、 M_3 、 M_4 、 R_f 、 R_1 、 R_2 。对于电阻,考虑热噪声;对于 MOS 管,考虑沟道热噪声和闪烁噪声。 M_1 、 M_3 支路的含噪声源等效电路如图 9(a)所示。

因各噪声源互不相关,可得:

$$\overline{v_{n,out1}^2} = (\overline{i_{nd,M1}^2} + \overline{i_{n,R1}^2} + \overline{i_{n,Rf}^2}) (R_f // R_1)^2 \quad (11)$$

式(5)给出了 M_1 、 M_3 支路的增益 A_{v1} 。为了简便计算,忽略 r_{o1} 、 r_{o3} 影响, R_s 短路,可得单位带宽内, M_1 、 M_3 支路上的噪声等效到输入端为:

$$\overline{v_{n,in1}^2} = \frac{\overline{v_{n,out1}^2}}{A_{v1}^2} = \left(\frac{4kT}{R_1} + \frac{4kT}{R_f} + 4kT\gamma g_{m1} + \frac{K}{f} \frac{g_{m1}^2}{W_1 L_1 C_{ox}} \right) \left(\frac{1}{R_f} - g_{m1} \right)^{-2} \quad (12)$$

M_2 、 M_4 支路的含噪声源等效电路如图 9(b)所示。可得:

$$\overline{v_{n,out2}^2} = (\overline{i_{nd,M2}^2} + \overline{i_{n,R2}^2}) R_2^2 \quad (13)$$

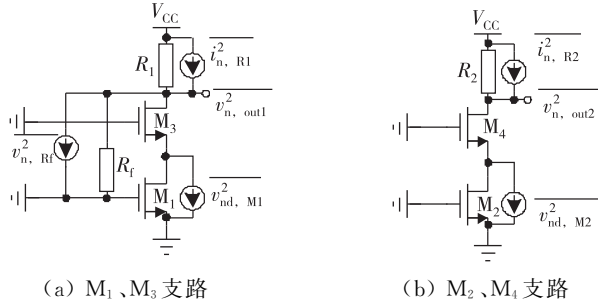


图 9 带噪声源电路

式(8)给出了 M_2 、 M_4 支路增益的表达式。为了简便计算,忽略 r_{o1} 、 r_{o3} 影响, R_s 短路,可得单位带宽内, M_2 、 M_4 支路上的噪声等效到输入端为:

$$\frac{\overline{v_{n, in2}^2}}{A_v^2} = \frac{\overline{v_{n, out2}^2}}{A_v^2} = \frac{\left(\frac{4kT}{R_2 g_{m2}^2} + \frac{4kT\gamma}{g_{m2}} + \frac{K}{f} \frac{1}{W_2 L_2 C_{ox}} \right) g_{m3}^2}{g_{m1}^2} \quad (14)$$

假设两条支路对输入端噪声的贡献不相关,则输入端总噪声为式(12)与式(14)的相加结果。

2.2 宽带 LNA 设计

本文的宽带 LNA 整体电路如图 10 所示。

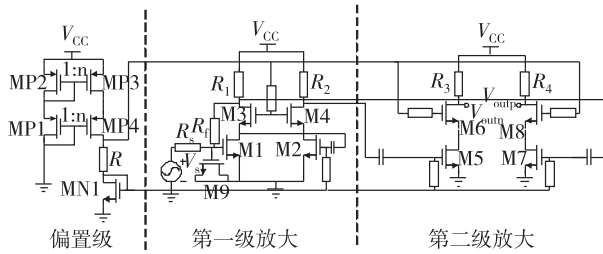


图 10 本文的宽带 LNA 整体电路

$M_1 \sim M_4$ 管为共源共栅电流镜,其与 R_1 、 M_5 共同组成偏置级, $M_5 \sim M_6$ 管、 R_2 、 R_3 、 R_4 为基于噪声抵消结构的第一级放大电路, $M_9 \sim M_{12}$ 管、 R_5 、 R_6 为第二级放大电路。

第二级放大电路采用 Cascode 结构,进一步提升噪声的同时,实现了输出匹配。该电路的输出阻抗和第二级放大电路的半边 (M_9 、 M_{11}) 增益分别为:

$$R_{out} = \frac{V_{out}}{I_{out}} = \left[\frac{r_{o9} (1 + g_{m11} r_{o11})}{1 + \omega^2 C_{gs11}^2 r_{o9}^2} + r_{o11} - j \frac{r_{o9} (1 + g_{m11} r_{o11})}{\omega C_{gs11} r_{o9}} \right] \parallel R_4 \quad (15)$$

$$A_v = - \frac{g_{m9} g_{m11} R_9}{g_{m9} + \frac{1}{s C_{gs11}}} \quad (16)$$

从式(16)可知,对半边增益影响最大的是 M_{11} 管的寄生电容。当频率增加时,由于 C_{gs11} 的影响,增益提升了。若 C_{gs11} 过小,增益上升的幅度会更大,导

致低频段增益过小,无法满足增益平坦度要求,甚至无法满足 3 dB 带宽要求。为了防止增益在带宽内变化太大,需增大 C_{gs11} 的值。设计时,增加 M_{11} 管的栅面积。

3 仿真结果

本文的宽带 LNA 采用 $0.18 \mu\text{m}$ CMOS 工艺进行仿真设计。宽带 LNA 的版图(不包含 Pad)如图 11 所示,尺寸为 $204 \mu\text{m} \times 365 \mu\text{m}$ 。

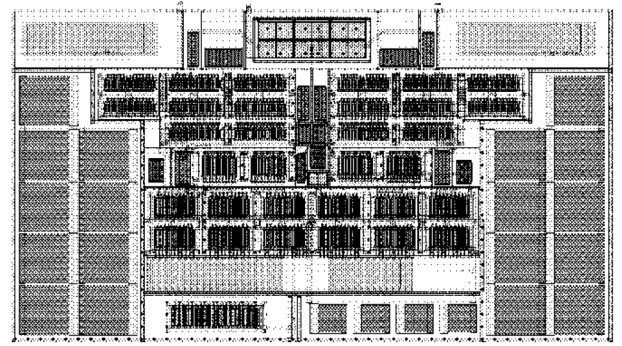
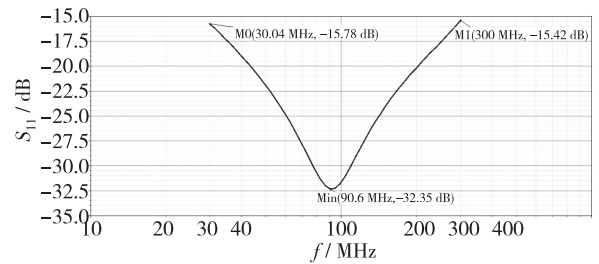
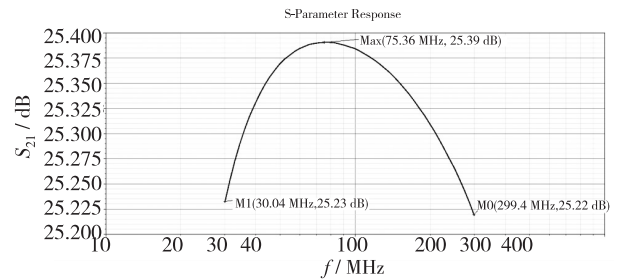


图 11 宽带 LNA 版图

通过 Calibre 进行寄生参数提取,对电路进行后仿真。在保证电路处于绝对稳定条件下^[8], S 参数的仿真结果如图 12 所示。在 $30 \sim 300 \text{ MHz}$ 频段内, $S_{11} < -15.4 \text{ dB}$, $S_{22} < -12.6 \text{ dB}$,符合输入与输出匹配要求。反向隔离度 $S_{12} < -68.98 \text{ dB}$,增益范围为 $25.22 \sim 25.39 \text{ dB}$,波动范围为 $\pm 0.085 \text{ dB}$ 。

(a) S_{11} (b) S_{21}

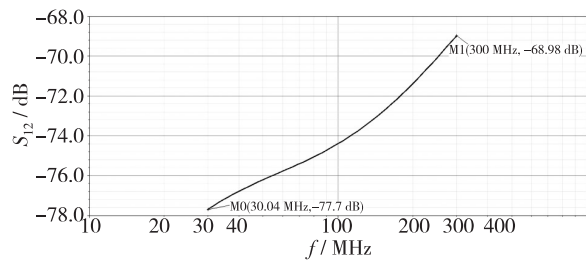
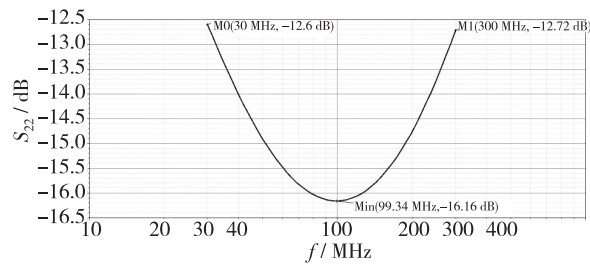
(c) S_{12} (d) S_{22}

图 12 S 参数的仿真结果

噪声系数的仿真结果如图 13 所示。在工作频段内,噪声系数范围为 1.204~1.927 dB。三阶交调点 IIP3 的仿真结果如图 14 所示。可以看出,在 100 MHz 时,IIP3 为 -18.23 dB。

本文与其他文献中低频宽带 LNA 的参数对比如表 1 所示。可以看出,本文 LNA 相比其他文献,在较宽的频带内,具有较高的增益和较低噪声系数,并具有较小的面积。

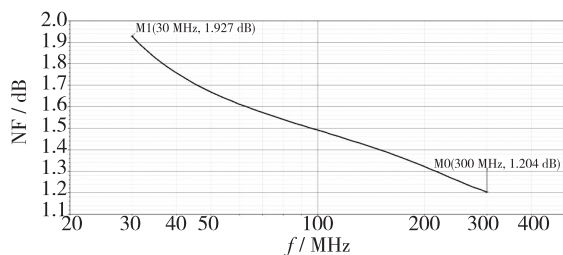


图 13 噪声系数的仿真结果

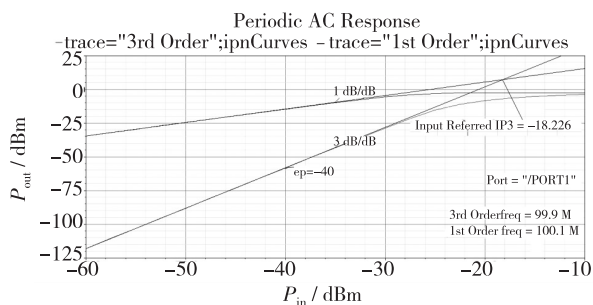


图 14 线性度的仿真结果

表 1 本文与其他文献中低频宽带 LNA 的参数比较

参数	文献[9]	文献[10]	文献[11]	本文
结构	NC 电阻 反馈	双反馈	电阻反馈	NC 电阻 反馈
工艺/ μm	CMOS 180	CMOS 180	CMOS 180	CMOS 180
工作频率/ MHz	30~120	40~900	50~250	30~300
增益/dB	19	21.6	14~20	25.22~ 25.39
噪声系数/ dB	2.1	<2.8	2~2.4	<1.92
尺寸/ mm^2	-	0.572	0.66	0.074

4 结 论

本论文提出一种基于共源共栅电阻负反馈噪声抵消电路的低噪声放大器。该 LNA 具有单端输入、双端输出的功能,能在低频宽带实现较好的宽带、噪声特性,具有稳定的较高增益。后仿真结果表明, $S_{11} < -15.4$ dB, $S_{22} < -12.6$ dB,增益范围为 25.22~25.39 dB,噪声系数范围为 1.204~1.927 dB。该 LNA 具有宽带、低噪声、良好稳定性和线性度的特点。

参 考 文 献:

- [1] WANG H, MA W, XIAO Z, et al. The Design and performance comparison of wide bandwidth LNA with three different kinds of technologies [C] // IEEE 13th Int Conf ASIC. Chongqing, China, 2019: 1-4.
- [2] CHAGHAEI J, JALALI A, MEGHDADI M. A wideband inductorless LNA employing active complementary current-reuse Balun [C] // 27th ICEE. Yazd, Iran, 2019: 108-112.
- [3] BINDU P, SUBRAMANIAM P C. CMOS wide band low noise amplifier with current reuse and noise cancellation [C] // IEEE Int Conf Commun & Signal Process. Calicut, India, 2011: 65-69.
- [4] LI Q, ZHANG Y P, CHANG J S. An inductorless low-noise amplifier with noise cancellation for UWB receiver front-end [C] // IEEE ASSCC. Hangzhou, China, 2006: 267-270.

(下转第 264 页)

一种采用 LC 谐振电路的高频差分有源电感

万禾湛, 张万荣, 谢红云, 金冬月, 那伟聪, 张思佳, 张 昭
(北京工业大学 信息学部 微电子学院, 北京 100124)

摘 要: 提出了一种采用 LC 并联谐振电路的新型差分有源电感, 实现了宽的工作频带、高的 Q 值、较大的电感值和可调谐功能。采用无源电感和 MOS 晶体管可变电容构成 LC 谐振电路, 减小了等效串联电阻和等效并联电容, 在增大电感值、 Q 值的同时, 扩大了工作频带。仿真结果表明, 在 $2\sim 7.6$ GHz 频率范围内, 该新型差分有源电感的电感值大于 26 nH, Q 值大于 138; 在 7.6 GHz 高频下, 电感值达 130 nH, Q 值达 418, 实现了宽工作频带范围内的高 Q 值和高电感值。与传统差分有源电感和带 LC 谐振电路的单端有源电感相比, 该新型差分有源电感的性能较好。

关键词: 有源电感; LC 并联谐振; 宽工作频带; 高 Q 值

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0179-04

DOI: 10.13911/j.cnki.1004-3365.200212

A High Frequency Differential Active Inductor Using LC Resonance Circuit

WAN Hezhan, ZHANG Wanrong, XIE Hongyun, JIN Dongyue, NA Weicong,
ZHANG Sijia, ZHANG Zhao

(College of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China)

Abstract: A new type of differential active inductor based on LC parallel resonant circuit was proposed, which could achieve wide operating frequency band, high Q value, large inductance value and tunable performance. The LC resonant circuit was composed of passive inductor and variable capacitor of MOS transistor, which reduced the equivalent series resistance and equivalent shunt capacitance, and enlarged the working frequency band while increasing the inductance and Q values. The simulation results showed that the inductance value was greater than 26 nH and the Q value was greater than 138 at $2\sim 7.6$ GHz for the new differential active inductor. The inductance value was up to 130 nH, and the Q value was up to 418 at 7.6 GHz high frequency, so this inductor achieved high Q value and high inductance at wide operating band range. Compared with traditional differential active inductors and single-ended active inductors with LC resonant circuit, the performance of this new differential active inductors was better.

Key words: active inductor; LC parallel resonance; wideband; high Q value

0 引 言

电感是用于射频集成电路(RFIC)、压控振荡

器、分频器、放大器的基本元件。在片无源螺旋电感具有结构简单、无直流功耗的特点, 但面积大、难以集成、 Q 值(品质因数)低、工作频率低^[1-2], 越来越难以满足 CMOS RFIC 小面积、高性能的要求^[3]。采

收稿日期: 2020-05-12; 定稿日期: 2020-08-10

基金项目: 国家自然科学基金资助项目(61774012, 61574010, 61901010); 北京市自然科学基金资助项目(4192014, 4204092); 中国博士后科学基金资助项目(2019M650404); 北京市朝阳区博士后科研经费资助项目(2019ZZ-9)

作者简介: 万禾湛(1995—), 男(汉族), 江西南昌人, 硕士研究生, 研究方向为射频集成电路。

张万荣(1964—), 男(汉族), 河北阜城人, 教授, 博士生导师, 研究方向为射频器件与射频集成电路。

用 MOS 管合成的等效电感电路,即有源电感(AI),为这些问题提供了一种解决方案^[4-8]。目前报道的 AI 工作频带较窄^[9],其电感值和 Q 值在宽工作频带下难以提升。可通过常规反馈电阻、LC 谐振电路来提升 AI 的性能。文献[5]引入了反馈电阻,提高了电感值、 Q 值,但频带较窄。文献[6]引入 LC 谐振电路,提高了电感值、 Q 值,但在某些频段内性能下降。文献[7]的 LC 单端有源电感获得了较高的电感峰值、 Q 值,但在某些频段内性能较差。因此,采用 LC 反馈技术的有源电感在个别频点处有较好性能,在宽频带内性能欠佳。

为克服传统带反馈电阻和 LC 谐振电路的有源电感的缺点,本文提出了采用 LC 谐振电路的差分可调有源电感(LC DAI)。该 LC DAI 为差分拓扑结构,采用电容值可调的 LC 谐振器反馈技术,构成了多个回转通路,获得了宽工作频带、高 Q 值、高电感值,实现了电感的可调谐性。与其他文献的带 LC 谐振电路的单端有源电感相比,该 LC DAI 的性能较优。

1 新型有源电感电路设计

传统的带反馈电阻的差分型有源电感(FR DAI)采用交叉耦合结构,如图 1 所示,其小信号等效电路如图 2 所示。

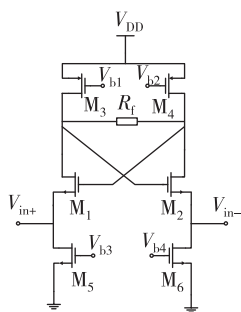


图 1 FR DAI 结构

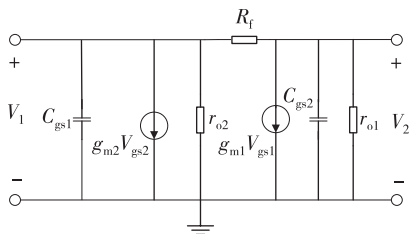


图 2 FR DAI 的小信号等效电路

在 M_1 、 M_2 管构成的回转器中加入反馈电阻 R_f ,提高了等效电感值、 Q 值。 M_3 、 M_4 管为 PMOS 管, M_5 、 M_6 管为 NMOS 管,它们均以共源极方式连接,

提供偏置电流。 C_{gs1} 、 C_{gs2} 分别为 M_1 、 M_2 管的栅源电容, r_{o1} 、 r_{o2} 分别为 M_1 、 M_2 管的输出电阻, g_{m1} 、 g_{m2} 分别为 M_1 、 M_2 管的跨导。

FR DAI 的等效输入导纳为:

$$Y_{in} = \frac{1}{r_{o2}} + g_{m1} + sC_{gs1} + \frac{(1 - R_f g_{m1})(1 + g_{m2} r_{o1} + sC_{gs2} r_{o1})}{R_f + r_{o1} + sR_f C_{gs2} r_{o1}} \quad (1)$$

从式(1)可得 RLC 等效电路中各等效元件的参数,分别为:

$$G_p = g_{m1} + \frac{1}{r_{o2}} \quad (2)$$

$$C_p = C_{gs1} \quad (3)$$

$$R_s = \frac{R_f + r_{o1}}{(1 - R_f g_{m1})(1 + g_{m2} r_{o1} + sC_{gs2} r_{o1})} \quad (4)$$

$$L = \frac{R_f C_{gs2} r_{o1}}{(1 - R_f g_{m1})(1 + g_{m2} r_{o1} + sC_{gs2} r_{o1})} \quad (5)$$

可知,通过反馈电阻 R_f 的加入,可提高等效电感值、 Q 值,但对 Q 值的改善有限。这对等效并联电容 C_p 的影响很小,使得有源电感难以工作在宽频带下。

为了解决上述问题,本文提出了一种新型差分有源电感。该 LC DAI 采用并联反馈 LC 谐振回路替代 R_f ,结构如图 3 所示。

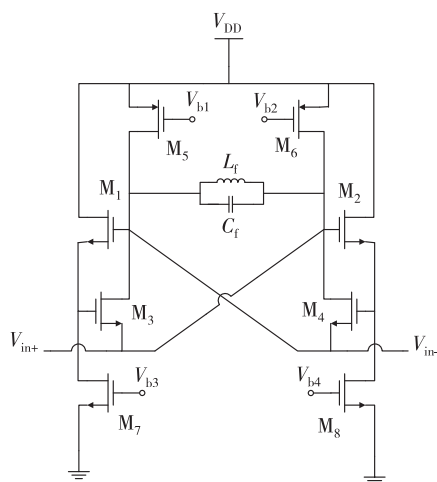


图 3 LC DAI 结构

M_1 、 M_2 管构成正跨导器, M_3 、 M_4 管构成负跨导器,正负跨导器构成回转器。 M_1 、 M_2 、 M_3 和 M_4 管构成交叉耦合对,在输入端产生一定的电感值。 M_5 、 M_6 、 M_7 和 M_8 管构成偏置电流源。LC 谐振电路连接于 M_3 与 M_4 管的漏极之间,以提高 Q 值。 $M_1 \sim M_4$ 管均工作在饱和区。

LC DAI 的小信号等效电路如图 4 所示。 C_{gs1} 、

C_{gs2} 分别为 M_1 、 M_2 管的栅源电容, r_{o1} 、 r_{o2} 分别为 M_1 、 M_2 管的输出电阻, g_{m1} 、 g_{m2} 分别为 M_1 、 M_2 管的跨导, L_f 、 C_f 分别为电感值、电容值。

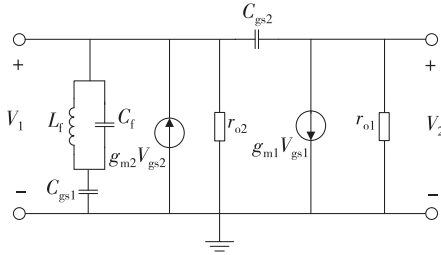


图4 LC DAI 的小信号等效电路

根据小信号等效电路,通过计算及推导,得到 LC DAI 的输入导纳:

$$Y_{in} = \frac{sC_{gs1}}{1 + R_{f,LC}sC_{gs1}} + \frac{1}{r_{o2}} + sC_{gs2} - g_{m2} + \frac{1}{A} \quad (6)$$

式中,

$$A = (s(r_{o1}C_{gs2} + R_{f,LC}C_{gs1}) + 1 - \omega^2 r_{o1}C_{gs1}C_{gs2}R_{f,LC}) \times ((r_{o1} + sr_{o1}R_{f,LC}C_{gs1})(\omega^2 C_{gs2}^2 + sg_{m2}C_{gs2}) + sr_{o1}C_{gs2}g_{m1} - r_{o1}g_{m1}g_{m2})^{-1} \quad (7)$$

该 LC DAI 进一步等效为 RLC 等效电路,如图 5 所示。

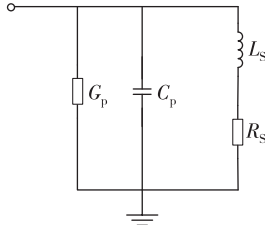


图5 LC DAI 的 RLC 等效电路

各等效元件的参数分别为:

$$G_p = \frac{1}{r_{o2}} - g_{m2} \quad (8)$$

$$C_p = \frac{C_{gs1}}{1 + R_{f,LC}sC_{gs1}} + C_{gs2} \quad (9)$$

$$R_s = (1 - \omega^2 r_{o1}C_{gs1}C_{gs2}R_{f,LC}) \times ((r_{o1} + sr_{o1}R_{f,LC}C_{gs1})(\omega^2 C_{gs2}^2 + sg_{m2}C_{gs2}) + sr_{o1}C_{gs2}g_{m1} - r_{o1}g_{m1}g_{m2})^{-1} \quad (10)$$

$$L_s = (r_{o1}C_{gs2} + R_{f,LC}C_{gs1})((r_{o1} + sr_{o1}R_{f,LC}C_{gs1})(\omega^2 C_{gs2}^2 + sg_{m2}C_{gs2}) + sr_{o1}C_{gs2}g_{m1} - r_{o1}g_{m1}g_{m2})^{-1} \quad (11)$$

式中, $R_{f,LC}$ 表示引入 LC 谐振电路后,产生的等效阻抗,为:

$$R_{f,LC} = \frac{j\omega L_f}{1 - \omega^2 C_f L_f} \quad (12)$$

对比式(9)与式(3)可知,通过 LC 谐振电路的引入,减小了 C_p ,增大了带宽。相较于 FR DAI,该

LC DAI 可工作于更宽的频带。从式(11)可知,等效电感值也提高了。

Q 值是表征存储的净磁能与一个振荡周期的欧姆损失之比,为:

$$Q = \frac{\text{Im}[Z_{in}]}{\text{Re}[Z_{in}]} \quad (13)$$

进一步, Q 可表示为:

$$Q = \frac{\omega L_s}{R_s} \frac{1}{1 + R_s G_p (1 + (\omega L_s / R_s)^2)} \quad (14)$$

可知, Q 值可通过减小等效串联电阻 R_s 来提高。通过 LC 谐振电路的加入,降低了 R_s ,从而提高了 Q 值。相较于 FR DAI,LC DAI 的 R_s 更小, Q 值更高。较小的 G_p 也利于提高 Q 值。

从图 3 可知,LC 谐振电路的电容是由 MOS 管实现的,将源极与漏极连接起来形成一个电容,因可变电容取决于衬底与栅极之间的电压 V_{bg} ,则可通过调节 V_{bg} 来提高有源电感的可调谐性^[10]。

2 新型有源电感的性能仿真

采用 TSMC 0.18 μm CMOS 工艺,使用 ADS 设计工具,对本文提出的 LC DAI 进行验证,并与 FR DAI 进行了对比。

FR DAI 的电感值、 Q 值曲线如图 6 所示。可以看出,在 2~7.6 GHz 范围内,电感值均小于 12.8 nH, Q 值均小于 3.7,性能欠佳。

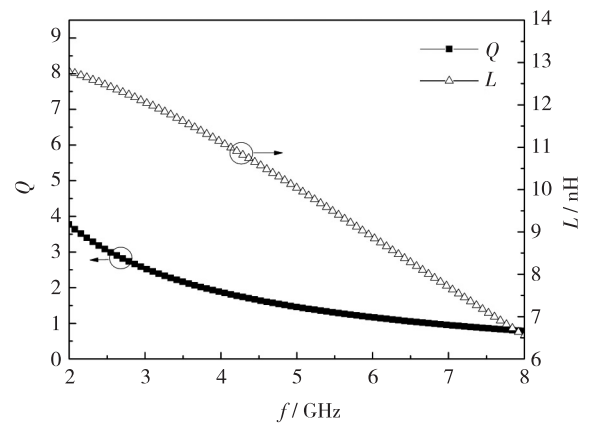


图6 FR DAI 的电感值、 Q 值曲线

调节 V_{bg} 时,LC DAI 的 Q 值曲线、电感值曲线分别如图 7、8 所示。可以看出,在 2~7.6 GHz 宽工作频率范围内, $V_{bg}=1.2$ V 时, Q 值大于 148; $V_{bg}=1.5$ V 时, Q 值大于 140; $V_{bg}=1.8$ V 时, Q 值大于 138。在 7.6 GHz 高频时, Q 值可从 257 调节至 418,调节范围为 47.7%;电感值可从 107 nH 调节

至 130 nH, 调节范围为 19.4%。

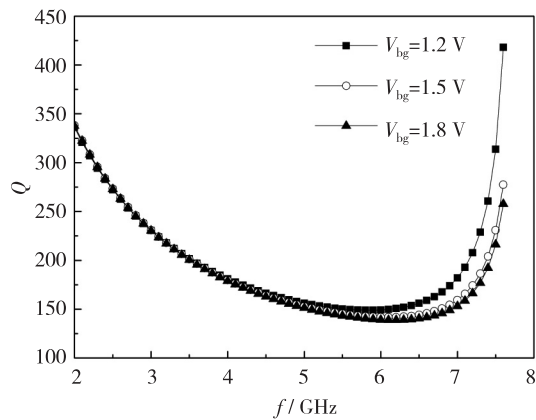


图 7 调节 V_{bg} 时 LC DAI 的 Q 值曲线

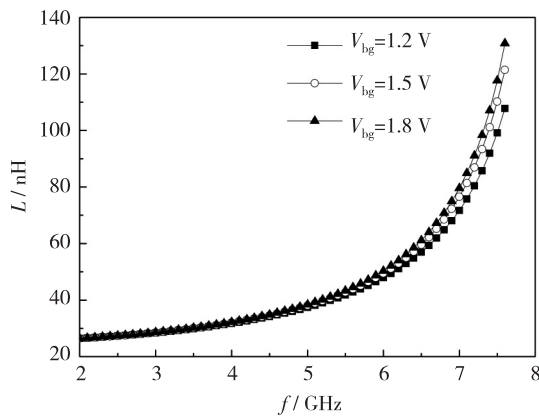


图 8 调节 V_{bg} 时 LC DAI 的电感值曲线

本文 LC DAI 与其他文献中有源电感的参数对比如表 1 所示。

表 1 本文 LC DAI 与其他文献中有源电感的参数比较

名称	文献[5]	文献[6]	文献[7]	本文
工艺/nm	180	65	180	180
最高工作频/GHz	5.5	10	5.6	7.6
L/nH	0~33	2~2.8	0~45	26~130
Q 峰值	68	450	250	418
	@3.5 GHz	@2.7 GHz	@5.0 GHz	@7.6 GHz
结构	差分	单端	单端	差分
反馈技术	电阻	LC	LC	LC
可调谐性	不可调谐	不可调谐	不可调谐	可调谐

可以看出,相较于文献[5-7],本文 LC DAI 具有较优的工作频带,在宽频带内具有较大的 Q 值、电感值,且 Q 值、电感值均可调谐。

3 结 论

本文针对传统带反馈电阻的差分有源电感和带 LC 谐振电路的单端有源电感在宽频范围内无法保持性能、不可调谐的问题,提出了一种带 LC 谐振电路的新型差分有源电感。采用差分结构和 MOS 管可变电容,增加了回转通路,在宽频带内实现了良好的电感值、 Q 值,且可调谐。结果表明,该新型差分有源电感在 2~7.6 GHz 范围内,电感值大于 26 nH, Q 值大于 138;在 7.6 GHz 高频下,电感值达 130 nH, Q 值达 418。本文的差分有源电感适用于宽工作频段应用的低相位噪声压控振荡器、放大器等。

参 考 文 献:

- [1] WU Y, DING X H, ISMAIL M, et al. RF band pass filter design based on CMOS active inductors [J]. IEEE Trans Circ & Syst II: Anal Dig Signal Process, 2003, 50(12): 942-949.
- [2] PASCHT A, FISCHER J, BERROTH M, et al. A CMOS low noise amplifier at 2.4 GHz with active inductor load [C] // IEEE Top Meet Silicon Monol Integr Circ RF Syst. Ann Arbor, MI, USA. 2001: 1-5.
- [3] SRIVASTAVA R, MANGESH S. Active inductor based VCO for high tuning range [J]. Int J Appl Inform Syst, 2014, 4(3): 29-33.
- [4] ZAIDEN D M, GRANDFIELD J E, WELLER T M, et al. Compact and wideband MMIC phase shifters using tunable active inductor-loaded all-pass networks [J]. IEEE Trans Microwave Theo & Techniq, 2017, 66(2): 1047-1057.
- [5] LAI Q T, MAO J F. A new floating active inductor using resistive feedback technique [C] // IEEE MTT-S. Anaheim, CA, USA. 2010: 1748-1751.
- [6] KOO J, AN B, JEONG Y. Wideband CMOS high- Q 2-port active inductor using parallel LC resonance circuit [C] // IEEE APMC. New Delhi, India. 2016: 1-4.
- [7] SEO S, RYU N, CHOI H, et al. Novel high- Q inductor using active inductor structure and feedback parallel resonance circuit [C] // IEEE RFIC. Honolulu, HI, USA. 2007: 467-470.
- [8] MA T, HU F. A wideband flat gain low noise amplifier using active inductor for input matching [J]. IEEE Trans Circ & Syst II: Expr Bri, 2019, 66(6): 904-908.
- [9] ABDALLA M, ELEFTHERIADES G V, PHANG K, et al. A differential 0.13 μm CMOS active inductor for high-frequency phase shifters [C] // IEEE Int Symp Circ & Syst. Island of Kos, Greece. 2006: 3341-3344.
- [10] ANDREANI P, MATTISSON S. On the use of MOS varactors in RF VCOs [J]. IEEE J Sol Sta Circ, 2000, 35(6): 905-910.

一种宽频应用的自适应计时电路

赵 忠, 罗 萍, 刘 雷, 刘俊宏, 杨秉中

(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘 要: 针对传统自适应导通时间控制 DC-DC 变换器工作频率范围窄的问题, 提出了一种宽频应用的自适应计时电路。在锁相环调制 DC-DC 变换器的基础上, 采用全 CMOS 电流乘法器, 将振荡器的电流引入计时电路, 使计时电路的中心频率跟随振荡器的基准频率变化, 从而使自适应导通时间控制 DC-DC 变换器工作在较宽频率范围。基于 $0.18\ \mu\text{m}$ BCD 工艺对该自适应计时电路进行仿真验证。结果表明, 应用该自适应计时电路的 DC-DC 变换器频率范围为 $0.27\sim 3\ \text{MHz}$ 。

关键词: 自适应计时; 锁相环调制; 宽频应用; CMOS 电流乘法器

中图分类号: TN492; TN433

文献标志码: A

文章编号: 1004-3365(2021)02-0183-05

DOI: 10.13911/j.cnki.1004-3365.200246

An Adaptive Timing Circuit for Wide-Band Application

ZHAO Zhong, LUO Ping, LIU Lei, LIU Junhong, YANG Bingzhong

(State Key Lab of Elec. Thin Films and Inter. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: To solve the problem of narrow operating frequency of traditional adaptive on-time control DC-DC converter, an adaptive timing circuit for wide-frequency application was proposed. Based on the DC-DC converter with PLL modulation, the current of the oscillator was introduced into the timing circuit through a full CMOS current multiplier. The center frequency of the timing circuit could follow the frequency of the oscillator, so the adaptive on-time control DC-DC converter could work in a wide frequency range. The adaptive timing circuit was simulated by $0.18\ \mu\text{m}$ BCD technology. The results showed that the frequency range of the DC-DC converter using the adaptive timing circuit was $0.27\sim 3\ \text{MHz}$.

Key words: adaptive timing; phase-locked loop modulation; broadband application; CMOS current multiplier

0 引 言

恒定导通时间(COT)控制 DC-DC 变换器具有瞬态响应快、高精度、高转化效率的特点, 是一种被广泛应用的电路^[1-2]。传统 COT 控制 DC-DC 变换器的占空比变化时, 开关频率随之变化, 带来 EMI 干扰问题^[1]。针对这个问题, 学者们提出了自适应导通时间(ACOT)控制技术。ACOT 控制 DC-DC

变换器可自适应占空比的变化, 在不同占空比下实现定频工作。本文基于 $0.18\ \mu\text{m}$ BCD 工艺, 在锁相环(PLL)调制 DC-DC 变换器基础上^[3], 设计了一种宽频应用的自适应计时电路, 使 ACOT 控制 DC-DC 变换器工作在较宽频率范围。

文章第 1 节介绍了传统 PLL 调制 DC-DC 变换器和传统 PLL 调制自适应计时电路的原理; 第 2 节介绍提出的宽频应用的自适应计时电路, 包括整体架构、CMOS 电流乘法器、电流调整模块等; 第 3 节

收稿日期: 2020-06-01; 定稿日期: 2020-07-10

基金项目: 预研项目资助(1126190601A)

作者简介: 赵 忠(1996—), 男(汉族), 山东人, 硕士研究生, 研究方向为模拟集成电路设计。

罗 萍(1968—), 女(汉族), 四川人, 教授, 博导, 研究方向为智能功率集成电路与系统。通信作者。

给出仿真与结果分析;第 4 节给出结论。

1 传统 PLL 调制 DC-DC 变换器

1.1 传统 PLL 调制 DC-DC 变换器原理

本文以 Buck 变换器为例,介绍传统 PLL 调制 DC-DC 变换器的工作原理。PLL 调制 Buck 变换器的框图如图 1 所示。

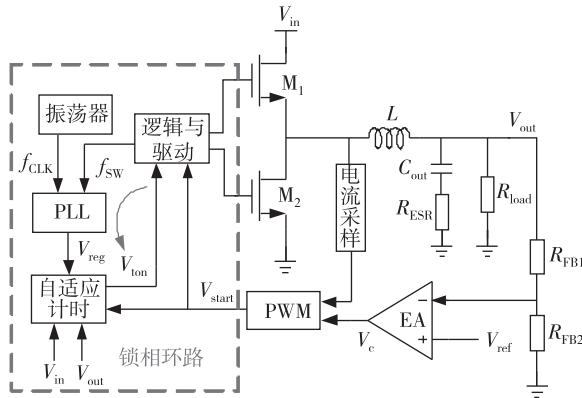


图 1 PLL 调制 Buck 变换器框图

当 M_1 管关闭, M_2 管开启, 电感电流开始下降, 电流采样模块的输出电压下降。电流采样模块的输出电压达到 EA 输出电压 V_c 时, PWM 模块输出信号 V_{start} 翻高, 逻辑与驱动模块接收 V_{start} 信号并驱动 M_1 管开启, M_2 管关闭, 电感电流开始上升。同时, 自适应计时电路收到 V_{start} 信号, 开始对 M_1 管计时, 计时结束后, 输出计时结束信号 V_{ton} 。逻辑与驱动模块接收 V_{ton} 信号并驱动 M_1 管关闭, M_2 管开启。至此, 一个周期完成, Buck 变换器进入下一个周期。

Buck 变换器在一个开关周期中, M_1 管的导通时间由自适应计时电路决定, M_2 管的导通时间由电感电流斜率决定。当负载变化时, 电感电流的上升斜率、下降斜率均变化, 导致 M_2 管的导通时间变化, 从而使工作频率变化。

针对上述工作频率随负载变化的问题, 引入了 PLL。PLL 通过比较时钟频率 f_{CLK} 与工作频率 f_{sw} , 对 M_1 管的导通时间微调, 达到稳定工作频率的目的。工作原理如下。当负载变化使工作频率下降时, PLL 检测到 f_{CLK} 与 f_{sw} 的频率差或相位差, PLL 输出电压 V_{reg} 上升, 自适应计时电路对 M_1 管的计时减小, M_1 管的导通时间减小, 时钟周期减小, 工作频率上升, 最终工作频率趋于稳定; 当负载变化使工作频率上升时, PLL 使得 M_1 管的导通时间增加, 工作频率下降, 最终工作频率趋于稳定。

PLL 对工作频率与基准时钟频率进行锁频、锁相, 对 M_1 管的导通时间进行微调, 实现在不同负载下保持恒定的工作频率。

1.2 传统 PLL 调制自适应计时电路原理

传统 PLL 调制自适应计时电路引入输入电压前馈、输出电压反馈^[3], 自适应占空比的变化, 通过 PLL 对开关操作与基准时钟的锁频、锁相, 实现不同输入/输出电压、负载下稳定的频率。传统 PLL 调制自适应计时电路如图 2 所示。

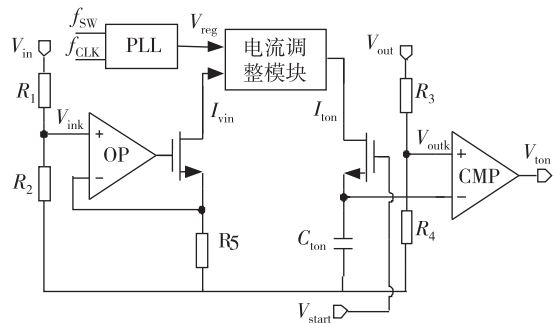


图 2 传统 ACOT 计时电路结构

输入电压 V_{in} 通过电阻 R_1 、 R_2 分压得到电压 V_{ink} (分压比例为 K)。通过运放 OP 箝位, 使电阻 R_5 两端电压为 V_{ink} 。该电压在 R_5 两端得到与 V_{in} 成正比的电流 I_{vin} , 再经电流调整模块得到计时电流 I_{ton} :

$$I_{ton} = k_s \times \frac{K \times V_{in}}{R_5} \quad (1)$$

式中, k_s 为电流调整模块的调节系数。

输出电压 V_{out} 通过电阻 R_3 、 R_4 分压得到电压 V_{outk} (分压比例为 K):

$$V_{outk} = K \cdot V_{out} \quad (2)$$

R_1 、 R_2 与 R_3 、 R_4 在版图中进行匹配。

当使能 V_{start} 信号为高时, I_{ton} 对电容 C_{ton} 充电, 计时开始。经过 T_{on} 后, 电容上极板电压达到 V_{outk} 。再经比较器 CMP 处理, 给出的计时截止的信号关系式为:

$$\frac{K \times V_{in}}{R_5} \times k_s \times T_{on} = K \times V_{out} \times C_{ton} \quad (3)$$

则导通时间为:

$$T_{on} = \frac{V_{out} R_5 \times C_{ton}}{V_{in} k_s} \quad (4)$$

因为:

$$T_{on} = \frac{V_{out}}{V_{in}} \times T \quad (5)$$

则有:

$$T = \frac{R_5 \times C_{ton}}{k_s} \quad (6)$$

$$f_{sw} = \frac{k_s}{R_5 \times C_{ton}} \quad (7)$$

PLL 对开关操作和基准时钟进行锁频、锁相, 得到电流调整模块的输入电压 V_{reg} 。 V_{reg} 通过电流调整模块对电流 I_{vin} 微调, 在不同负载下保持工作频率恒定。

从式(7)可知, R_5 和 C_{ton} 决定了系统工作的中心频率。 R_5 和 C_{ton} 一旦确定, 中心频率则固定。增大 k_s , 可增大工作频率范围。但是, V_{reg} 为带有一定纹波的直流电压, 过大的 k_s 会使 I_{ton} 波动, 导致工作频率不稳定, 因此 k_s 取值 50%~150%。这限制了工作频率范围。

2 宽频应用的自适应计时电路

2.1 自适应计时电路的整体架构

为了实现 DC-DC 变换器在较宽频率范围工作, 需将频率信息引入计时模块。本文在 PLL 调制 DC-DC 变换器的基础上, 将振荡电流 I_{osc} 引入 ACOT 计时电路。宽频应用的自适应计时电路框图如图 3 所示。

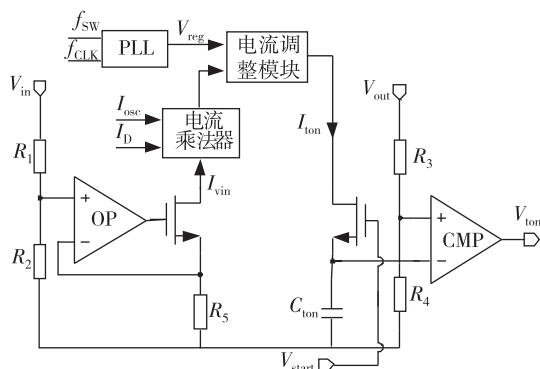


图3 宽频应用的自适应计时电路框图

三条电流, 即与输入电压相关的电流 I_{vin} 、振荡器电流 I_{osc} 、基准电流 I_D , 通过电流乘法器后, 再经电流调整模块微调, 最终对 C_{ton} 充电。此时, I_{ton} 为:

$$I_{ton} = k_s \times \frac{K \times V_{in}}{R_5} \times \frac{I_{osc}}{I_D} \quad (8)$$

经过 T_{on} 后, 比较器 CMP 给出的计时截止信号关系式为:

$$\frac{K \times V_{in}}{R_5} \times \frac{I_{osc}}{I_D} \times k_s \times T_{on} = K \times V_{out} \times C_{ton} \quad (9)$$

则导通时间为:

$$T_{on} = \frac{V_{out} R_5 \times C_{ton} I_D}{V_{in} k_s I_{osc}} \quad (10)$$

系统工作周期为:

$$T = \frac{R_5 \times C_{ton} I_D}{k_s I_{osc}} \quad (11)$$

系统工作频率为:

$$f_{sw} = \frac{k_s}{R_5 \times C_{ton} I_D} I_{osc} \quad (12)$$

从式(12)可知, R_5 、 C_{ton} 、 I_{osc}/I_D 决定了系统工作的中心频率。该中心频率与 I_{osc} 成正比。 I_{osc} 由内部基准电压 V_{ref} 箝位外部电阻而产生。振荡器的基准时钟频率近似为 I_{osc} 的一次函数^[6], 有:

$$I_{osc} = \frac{V_{ref}}{R_T} \quad (13)$$

$$f_{CLK} = \frac{I_{osc}}{K \times C_{osc}} = 4 \times 10^{11} \times I_{osc} \quad (14)$$

式中, R_T 为外部电阻, K 为由电流镜、分频器决定的常数, C_{osc} 为振荡器电容。

令 $f_{sw} = f_{CLK}$, 则有:

$$\frac{k_s}{R_5 \times C_{ton} I_D} = 4 \times 10^{11} \quad (15)$$

因此, 合理设置 R_5 、 C_{ton} 、 $1/I_D$ 等参数, 可使中心频率跟随基准时钟频率变化, 从而工作在更宽频率范围。

2.2 CMOS 电流乘法器

传统电流乘法器采用四个三极管的组合结构, 利用三极管指数型的 $I-V$ 特性曲线, 实现电流乘法运算^[7]。在一些特殊应用情况下, 环境会降低三极管的增益, 导致性能较差, 所以不允许使用三极管。

基于平方根法则^[8], 本文设计了一种全 CMOS 电流乘法器。该 CMOS 电流乘法器包括左边开方运算与右边的平方运算两部分^[8]。CMOS 电流乘法器的电路图如图 4 所示。

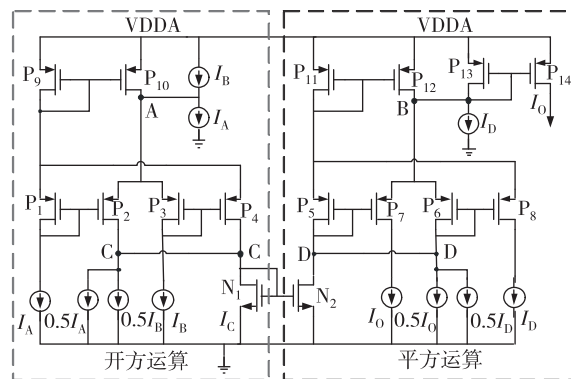


图4 CMOS 电流乘法器电路图

P_1 、 P_2 、 P_3 、 P_4 管组成开方运算部分的线性跨导环^[8]。根据基尔霍夫电压定律, 有 $V_{GSP1} + V_{GSP3} = V_{GSP2} + V_{GSP4}$ 。根据 $V_{GS} = V_{TH} + V_{OV}$, 四个 PMOS 管的阈值电压相等, 则有 $V_{OVP1} + V_{OVP3} = V_{OVP2} +$

V_{OVp4} 。用各个 MOS 管的电流将 V_{OV} 替换, 得:

$$\sqrt{\frac{2I_{DP1}L_{P1}}{W_{P1}C_{ox}m_p}} + \sqrt{\frac{2I_{DP3}L_{P3}}{W_{P3}C_{ox}m_p}} = \sqrt{\frac{2I_{DP2}L_{P2}}{W_{P2}C_{ox}m_p}} + \sqrt{\frac{2I_{DP4}L_{P4}}{W_{P4}C_{ox}m_p}} \quad (16)$$

设置四个 PMOS 管的宽长比相等, 化简为:

$$\sqrt{I_{DP1}} + \sqrt{I_{DP3}} = \sqrt{I_{DP2}} + \sqrt{I_{DP4}} \quad (17)$$

对式(17)的两边进行平方, 假设 $I_{DP2} = I_{DP4}$, 化简为:

$$I_{DP2} + I_{DP4} = \frac{I_{DP1} + I_{DP3}}{2} + \sqrt{I_{DP1} \times I_{DP3}} \quad (18)$$

根据基尔霍夫电流定律, 流入图 4 中 C 点的电流为 $I_{DP2} + I_{DP4}$ 。当 P_2 下方抽取 $(I_{DP1} + I_{DP3})/2$, 流经 N_1 管的电流 I_C 为:

$$I_C = \sqrt{I_{DP1} \times I_{DP2}} = \sqrt{I_A \times I_B} \quad (19)$$

式(19)成立的条件是: $I_{DP2} = I_{DP4}$ 。 P_9 、 P_{10} 构成电流镜, 有 $I_{DP10} = I_{DP9} = I_{DP1} + I_{DP4}$ 。对图 4 中 A 点, 根据基尔霍夫电流定律, 有:

$$I_{DP1} + I_{DP4} + I_B - I_A = I_{DP3} + I_{DP2} \quad (20)$$

令 $I_{DP1} = I_A$ 、 $I_{DP3} = I_B$, 代入式(20), 假设 $I_{DP2} = I_{DP4}$ 成立。

同理, 利用电路右半部分的平方运算, 得:

$$I_{DN2} = \sqrt{I_D \times I_O} \quad (21)$$

N_1 、 N_2 构成 1:1 的电流镜, 有 $I_A \times I_B = I_D \times I_O$ 。整个电路最终实现的电流乘法关系为:

$$I_O = \frac{I_A \times I_B}{I_D} \quad (22)$$

2.3 电流调整模块

本设计中, k_s 设为 50%~150%。电流调整模块的电路图如图 5 所示。

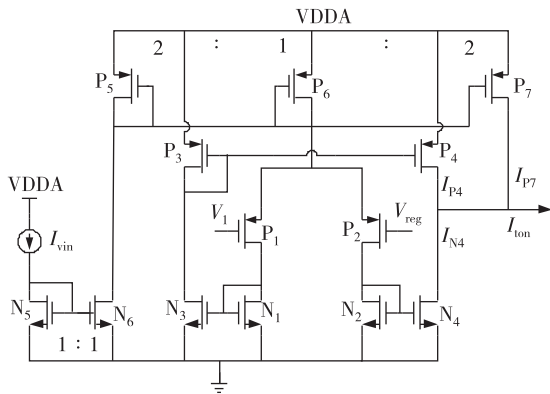


图 5 电流调整模块的电路图

P_1 、 P_2 、 P_3 、 P_4 、 P_6 、 N_1 、 N_2 、 N_3 、 N_4 管组成跨导放大器, V_1 为固定电位, V_{reg} 为 PLL 输出电位。 $I_{P7} = I_{vin}$, $I_{P6} = I_{vin}/2$ 。当工作频率低于基准时钟频率时,

PLL 输出电位上升, I_{ton} 电流增加, T_{on} 计时减小, 使工作频率提高。当 V_{reg} 为 1.8 V 时, 计时电流为:

$$I_{ton} = I_{P6} + I_{P7} = 1.5 I_{vin} \quad (23)$$

工作频率高于基准时钟频率时, PLL 输出电位下降, I_{ton} 电流减小, T_{on} 计时增加, 使工作频率减小。当 V_{reg} 为 0 V 时, 计时电流为:

$$I_{ton} = I_{P7} - I_{P6} = 0.5 I_{vin} \quad (24)$$

3 仿真结果与分析

本文基于 0.18 μm BCD 工艺提出了一种自适应计时电路, 并应用于 Buck 型 DC-DC 变换器。采用 Cadence 软件仿真验证。输入电压为 15 V, 输出电压为 6 V, 电感为 4.7 μH , 输出电容为 30 μF 。

不同负载下 DC-DC 变换器的开关周期曲线如图 6 所示。可以看出, 负载为 500 mA 时, DC-DC 变换器的周期为 1.06 μs ; 负载为 1.5 A 时, DC-DC 变换器的周期为 1.02 μs 。在不同负载下, 工作频率基本不变。

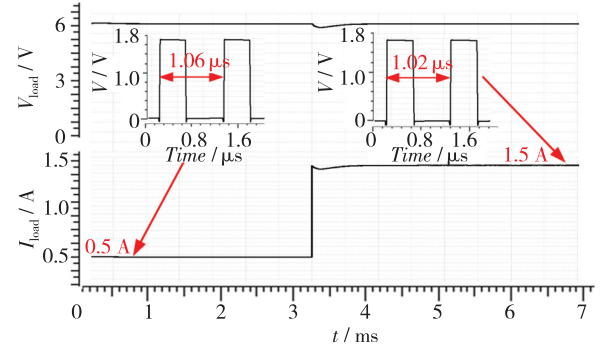
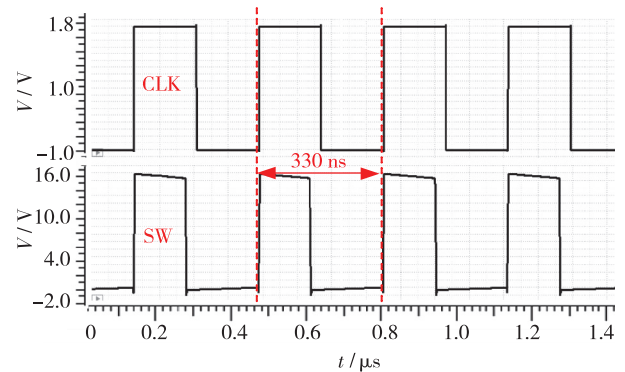
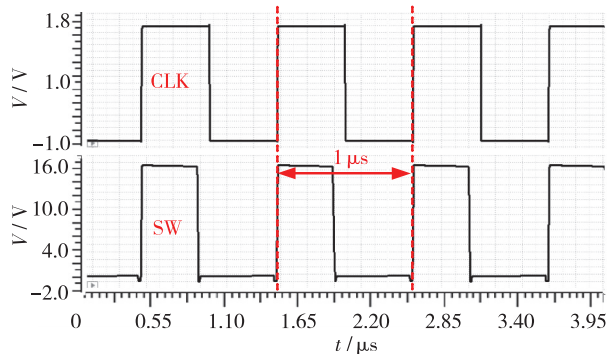


图 6 不同负载下 DC-DC 变换器的开关周期曲线

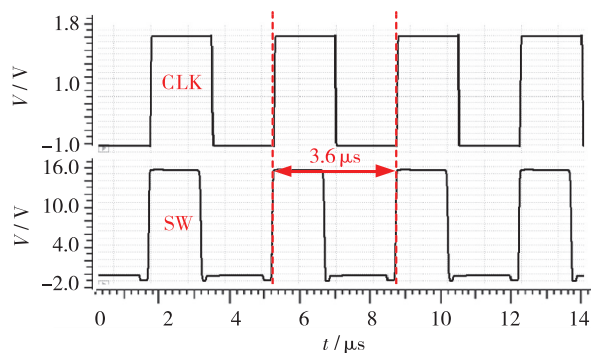
不同频率下工作频率与时钟频率的锁频、锁相曲线如图 7 所示。可以看出, 基准时钟周期从 300 ns 变化到 3.6 μs 时, DC-DC 变换器的开关周期均可锁频、锁相。



(a) 3 MHz 锁频、锁相



(b) 1 MHz 锁频、锁相



(c) 270 kHz 锁频、锁相

图7 工作频率与时钟频率的锁频、锁相曲线

应用自适应计时电路的DC-DC变换器的性能比较如表1所示。可以看出,应用本文自适应计时电路后,DC-DC变换器的工作频率范围为0.27~3 MHz,实现了较宽的频率范围。

表1 应用自适应计时电路的DC-DC变换器的性能比较

参数	文献[1]	文献[2]	文献[3]	本文
引入频率信息	否	否	是	是
工作频率/MHz	-	1.5~3	0.5~3	0.27~3

4 结 论

本文基于0.18 μm BCD工艺,采用PLL调制

技术,设计了一种宽频应用的自适应计时电路。采用CMOS乘法器,将振荡电流与前馈电流相乘得到计时电流,采用PLL模块,通过锁频、锁相信息对计时电流微调,使工作中心频率跟随振荡器的基准时钟频率变化。结果表明,本文设计的自适应计时电路可使Buck变换器工作在0.270~3 MHz较宽范围。

参 考 文 献:

- [1] 李博,罗萍,肖皓洋,等.一种快速瞬态响应Buck变换器设计[J].微电子学,2020,50(3):321-325.
- [2] 赵杰友,李海华.用于车载以太网物理层芯片的降压电路[J].半导体技术,2019,44(12):921-924,931.
- [3] 王小康.AOT控制内置双PLL降压型DC-DC的研究与设计[D].西安:西安电子科技大学,2019.
- [4] YANG W H, HUANG C J, HUANG H H, et al. A constant-on-time control DC-DC buck converter with the pseudowave tracking technique for regulation accuracy and load transient enhancement [J]. IEEE Trans Power Elec, 2018, 33(7): 6187-6198.
- [5] LI J, LEE F C. New modeling approach and equivalent circuit representation for current-mode control [J]. IEEE Trans Power Elec, 2010, 25(5): 1218-1230.
- [6] 罗永刚.一种新颖的低功耗低相位噪声VCO设计[J].压电与声光,2019,41(5):643-646.
- [7] 陈阔.电流型线性超宽带四象限模拟乘法器的设计[D].南京:东南大学,2018.
- [8] SU C C, HUANG C C. A ripple-based adaptive on-time controlled buck converter with slope balance technique [J]. Analog Integr Circ & Signal Process, 2019, 101: 543-553.

一种动态调节前沿消隐电路

邓成达, 罗 萍, 唐天缘, 王 强

(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘 要: 基于原边反馈反激变换器结构,提出了一种适用于 PWM、PFM 调节模式的动态调节前沿消隐电路。首先,当系统工作在 PWM 或 PFM 模式时,分别检测输出电流信息和系统工作频率,产生动态调节的前沿消隐信号,避免了辅助绕组高频振荡导致的膝点电压误采样。其次,通过动态调节前沿消隐时间,减小了全负载范围内膝点采样电路的功耗。设计的原边峰值电流采样电路能获得输出电流信息和系统工作频率信息,避免了反激变换器工作条件变化时前沿消隐时间非线性调节导致的膝点电压误采样。基于 $0.18\ \mu\text{m}$ BCD 工艺对电路进行设计。仿真结果表明,该电路产生的动态调节前沿消隐时间误差的最小值为 4%。

关键词: 反激变换器; PWM/PFM 调节模式; 膝点电压; 前沿消隐; 动态调节

中图分类号: TN433; TN624

文献标志码: A

文章编号: 1004-3365(2021)02-0188-06

DOI: 10.13911/j.cnki.1004-3365.200248

A Dynamic Regulation Leading Edge Blanking Circuit

DENG Chengda, LUO Ping, TANG Tianyuan, WANG Qiang

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: Based on topological structure of primary side feedback flyback converter, a dynamic regulation leading edge blanking circuit suitable for PWM、PFM regulation mode was proposed. First, when the system was working in PWM or PFM mode, the output current information and the system operating frequency were detected respectively to generate the dynamically regulated front blanking signal, which avoiding the miss-sampling of knee voltage caused by high frequency oscillation of the auxiliary winding. Secondly, the front blanking time was dynamically adjusted to reduce the power consumption of the lap sampling circuit in the full load range. The designed sampling circuit could obtain the output current information and the working frequency information of the system, which avoiding the miss-sampling of the knee voltage caused by the nonlinear adjustment of the blanking time when working conditions of the flyback converter were changed. The circuit was designed in a $0.18\ \mu\text{m}$ BCD process. The simulation results showed that the minimum error of dynamic regulation leading edge blanking time was 4%.

Key words: flyback converter; PWM/PFM regulation mode; knee voltage; leading edge blanking; dynamic regulation

0 引 言

反激变换器的调节技术分为原边反馈调节、副

边反馈调节两种。副边反馈调节是直接在输出端采样,利用光电耦合器再反馈到控制芯片,采用光电耦合器实现副边到原边的隔离。副边反馈电路的复杂度高,成本较高。原边反馈调节是通过在原边侧绕

收稿日期: 2020-06-02; 定稿日期: 2020-07-24

基金项目: 预研项目资助项目(1126190601A)

作者简介: 邓成达(1996—),男(汉族),广东阳江人,硕士,研究方向为模拟集成电路设计和开关电源。

罗 萍(1968—),女(汉族),四川成都人,教授,博导,研究方向为智能功率集成电路与系统,通信作者。

组采样反馈电压,利用反馈电压与输出电压的线性关系来稳定输出电压。原边反馈调节有采样反激电压、采样辅助绕组电压两种方式。原边反馈调节技术省去了副边反馈所需的光电耦合器、稳压芯片等元件,大幅减小体积,降低了成本,提高了系统可靠性。

针对采用辅助绕组电压采样的原边反馈反激变换器,如何保证准确采样辅助绕组 V_{AUX} 的膝点电压 V_{KNEE} 波形,既是电路设计难点,又是保障整个系统输出电压精度的关键点。

变压器绕组电感除了励磁电感外,还存在着一定的漏感。磁通在通过铁氧体磁芯构成的磁路时,原边能量的部分磁通经部分导线漏入空气,在空气中形成闭合磁路而产生漏感^[1],在原边功率管关断时,漏感通过原边回路释放能量,通过变压器绕组产生耦合,使辅助绕组电压波形高频振荡,降低了膝点电压的采样精度。文献[2]针对膝点采样精度问题,设计了一种消隐时间控制电路,但没有考虑反激变换器不同负载下的消隐时间调节。

针对上述问题,本文提出了一种动态调节前沿消隐电路,通过采样输出电流大小,自适应调节前沿消隐时间长短,在不同负载、不同工作频率情况下,有效屏蔽漏感引起的谐波振荡,提高了采样精度。文章第1节介绍了动态调节前沿消隐电路的原理,第2节介绍具体的电路设计,第3节给出仿真结果,第4节给出结论。

1 前沿消隐电路的基本原理

1.1 动态调节前沿消隐电路原理

在开关电源中,RCD 箝位电路必不可少。当原边开关管关断时,变压器通过 RCD 箝位电路二极管给箝位电容充电,漏感的能量大部分可被箝位电容吸收。实际应用中,RCD 箝位电路仍有一部分漏感通过原边回路释放,耦合到辅助绕组而高频振荡,影响膝点电压的采样精度。

当变压器的参数确定后,漏感与漏感电流有关,可将漏感电流等效为负载电流。PWM、PFM 两种控制模式中漏感的影响因素分析如下。

反激变换器工作在 PWM 控制模式时,驱动信号的工作频率不变,通过改变导通时间来改变负载电流。负载为轻载时,导通时间减小,流过漏感的等效电流减小,漏感的能量减小,原边功率管关断时耦合到辅助绕组的振荡幅值降低,振荡时间缩短;负载

为重载时,导通时间增大,流过漏感的等效电流增大,漏感的能量增大,原边功率管关断时耦合到辅助绕组的振荡幅值增加,振荡时间增加。因此,每个开关周期内,辅助绕组上的电压振荡随负载电流变化而变化。反激变换器在轻载、重载时辅助绕组的振荡波形如图1所示。

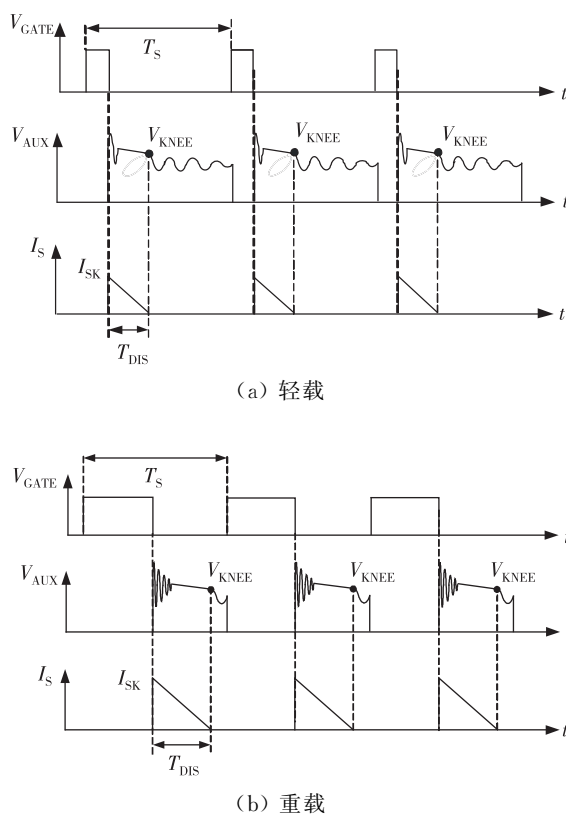


图1 轻载、重载时辅助绕组的振荡波形

反激变换器工作在 PFM 控制模式时,驱动信号导通时间和反激变换器消磁时间不变,通过改变系统工作频率来改变负载电流值。工作频率越高,变压器绕组的涡流去磁效应越强,漏感越小;工作频率降低,变压器绕组的涡流去磁效应减弱,漏感增大。负载为轻载时,工作频率降低,漏感增大,漏感的能量增加,原边功率管关断时耦合到辅助绕组的振荡幅值增大,振荡时间增加。负载为重载时,系统工作频率升高,漏感减小,漏感的能量减小,原边功率管关断时耦合到辅助绕组的振荡幅值减小,振荡时间缩短。

反激变换器工作在 PFM 工作模式时,其频率变化对漏感值的影响较小,即 PFM 控制模式下,辅助绕组电压的振荡幅值受工作频率的影响较小^[3-5]。反激变换器高频、低频时辅助绕组的振荡波形如图2所示。

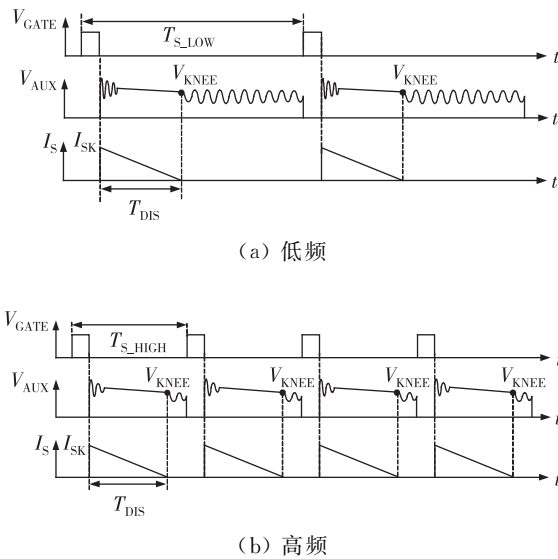


图2 低频、高频时辅助绕组的振荡波形

文献[6-7]中提出了膝点电压采样电路。开关管关断后,漏感与寄生电容产生高频谐振而耦合到辅助绕组的电压波形。通过前沿消隐电路产生使能信号,当前沿消隐时间信号为低电平(不使能)时,膝点电压采样电路不工作,有效屏蔽漏感引起的高频振荡,避免了膝点电压误采样;当前沿消隐信号为高电平时,膝点电压采样电路对辅助绕组波形进行采样,采样时刻由膝点电压的采样逻辑电路决定。

针对辅助绕组的高频振荡,通常在膝点电压采样电路中加入一段固定屏蔽时间信号,会导致输出电压不稳定。

本文提出了一种可动态调节的前沿消隐电路,根据反激变换器 PWM、PFM 控制模式,动态地调节前沿消隐时间,大幅提高了膝点电压的采样精度,同时,降低了全负载范围内的电路功耗。

1.2 前沿消隐动态调节时间控制

上述动态调节前沿消隐电路中,如何产生动态调节的控制信号是至关重要的。传统原边反馈反激变换器中,忽略了 PFM 控制模式时原边电流峰值不变的情况,工作频率变化会对消隐时间信号产生影响。原边电流峰值与输出电流的关系为:

$$I_O = \frac{T_{DIS}}{2T_S} \times \frac{N_P}{N_S} \times I_{PK} \quad (1)$$

式中, N_P 为变压器原边绕组匝数, N_S 为变压器副边绕组匝数, I_{PK} 为原边电流峰值, T_S 为系统工作周期, T_{DIS} 为副边绕组消磁时间。

在 PWM 模式时,对原边峰值电流进行采样,与消磁时间积分后得到较准确的输出电流信息,从而控制前沿消隐时间的变化。在 PFM 模式时,频率

与漏感呈反比,对原边峰值电流反相处理后取平均值,得到前沿消隐时间的控制信号。

PWM 模式下的负载电流变化和 PFM 模式下的工作频率变化,均会影响辅助绕组电压的振荡幅值、时间。传统电流采样只对原边电流峰值信息进行采样。文献[8-9]通过采样原边电流峰值来控制恒定电流的输出,但没有考虑 PFM 模式下不同工作频率与前沿消隐时间的线性关系。

针对上述问题,本文提出了一种原边峰值电流采样电路。在采样保持原边电流峰值的同时检测工作频率,满足 PWM、PFM 两种模式下对前沿消隐时间的精确控制。

1.3 整体电路结构

应用于原边反馈反激变换器,本文提出的基于高精度输出电流采样技术的动态调节前沿消隐电路框图如图3所示。

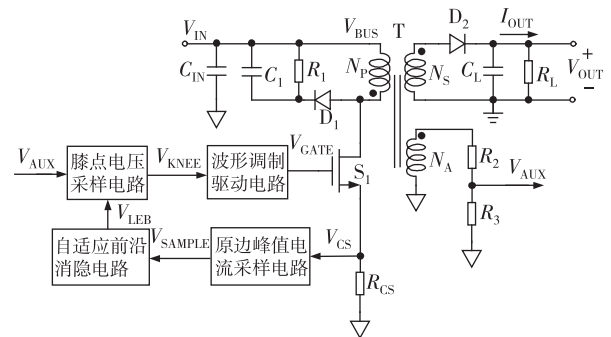


图3 动态调节前沿消隐电路框图

当原边功率管导通时,通过原边峰值电流采样电路检测采样电阻 R_{CS} 上电压 V_{CS} ,通过逻辑电路在 PWM、PFM 模式下分别得到不同的检测电压 V_{SAMPLE} ,产生动态调节的前沿消隐时间信号 V_{LEB} 。当原边功率管关断时,前沿消隐时间信号 V_{LEB} 用于控制膝点电压采样电路。 V_{LEB} 为低电平时,膝点电压采样电路不工作; V_{LEB} 变为高电平时,膝点电压采样电路对辅助绕组波形正常采样,得到关联输出电压信息的膝点电压 V_{KNEE} 。 V_{KNEE} 信号通过波形调制驱动电路,产生控制原边功率管 S_1 的驱动信号 V_{GATE} ,实现高精度恒定的电压调节。

2 动态调节前沿消隐电路设计

2.1 原边峰值电流采样电路

原边峰值电流采样电路用于采样电阻 R_{CS} 上的电压 V_{CS} ,电路如图4所示。

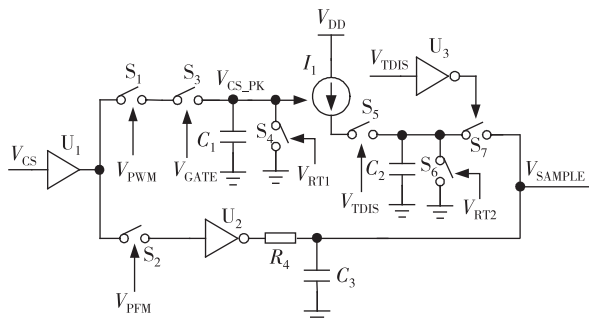


图4 原边峰值电流采样电路

工作在 PWM 控制模式时, V_{PWM} 为高电平, 开关 S_1 闭合, V_{PFM} 为低电平, 开关 S_2 打开。 V_{GATE} 为高电平时, S_3 闭合, C_1 电压跟随 V_{CS} 上升; V_{GATE} 为低电平时, S_1 打开, C_1 电压保持在 V_{CS} 峰值处, 为 V_{CS_PK} 。 S_4 由窄脉冲信号 V_{RT1} 控制, 在每个周期 S_3 刚闭合时, 对 C_1 上的电压清零。 C_1 电压 V_{CS_PK} 与 I_{PK} 的关系为:

$$V_{CS_PK} = I_{PK} \times R_{CS} \quad (2)$$

C_1 上的电压通过 V-I 转换电路, 得到电流 I_1 。 I_1 与 V_{CS_PK} 呈正相关, 关联系数为 α , 则 I_1 为:

$$I_1 = \alpha V_{CS_PK} \quad (3)$$

原边功率管关断后, 副边绕组能量传输到负载端, 副边电流逐渐减小。当副边电流降为零时, 辅助绕组上电压刚好是膝点电压位置, 副边电流从最大值降为零的时间为副边消磁时间 T_{DIS} 。当消磁时间控制信号 V_{TDIS} 为高电平时, S_5 闭合, 电流源 I_1 给 C_2 充电, C_2 电压 V_{CH} 为:

$$V_{CH} = \frac{I_1 \times T_{DIS}}{C_2} \quad (4)$$

当窄脉冲信号 V_{RT2} 为高电平时, S_4 闭合, 在副边绕组开始消磁时, 对 C_2 上的电压 V_{CH} 清零。当 V_{TDIS} 为低电平, 其反相信号控制 S_7 闭合, 得到控制前沿消隐时间的电压检测信号 V_{SAMPLE} 。PWM 模式下, V_{SAMPLE} 与输出电流 I_O 的关系为:

$$V_{SAMPLE} = 2 \times \frac{N_S}{N_P} \times \frac{\alpha R_{CS}}{C_2} \times I_O \quad (5)$$

工作在 PFM 控制模式时, V_{PWM} 为低电平, S_1 打开, V_{PFM} 为高电平, S_2 闭合; V_{CS} 电压波形经过反相器后, 再取平均值, 得到的 V_{SAMPLE} 与开关周期呈正相关:

$$V_{SAMPLE} \propto t_s \quad (6)$$

因此, 反激变换器工作在 PWM 或 PFM 模式时, 可得到不同的 V_{SAMPLE} , 实现对前沿消隐时间的控制。

2.2 动态调节前沿消隐电路

动态调节前沿消隐电路图如图 5 所示。

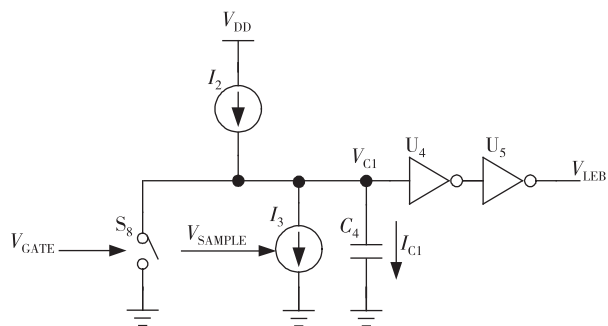


图5 动态调节前沿消隐电路

V_{GATE} 为低电平时, S_8 打开, 恒定电流源 I_2 给 C_4 充电, 电流源 I_3 给 C_4 放电, V_{SAMPLE} 通过 V-I 转换电路, 得到呈正相关的电流源 I_3 :

$$I_3 = \beta V_{SAMPLE} \quad (7)$$

式中, β 为关联系数。 I_2 恒大于 I_3 , 给 C_4 充电的电流 I_{C4} 为 I_2 与 I_3 之差值。 I_{C4} 为:

$$I_{C4} = I_2 - I_3 = I_2 - \beta V_{SAMPLE} \quad (8)$$

当充电电流变小时, 电容电压上升速率变慢; 当充电电流变大时, 电容电压上升速率变快。 C_4 上的电压为:

$$V_{C4} = \frac{I_{C4}}{C_4} \quad (9)$$

C_4 上的电压 V_{C4} 经过 U_4 和 U_5 整形, 输出前沿消隐信号 V_{LEB} , 此时 V_{LEB} 信号为高电平。当 V_{GATE} 为高电平时, S_6 闭合, C_4 上的电压 V_{C4} 通过 S_6 放电至零电压, 此时 V_{LEB} 信号为低电平, I_{C4} 与 V_{SAMPLE} 呈负相关。从式(8)可知, 前沿消隐时间与 V_{SAMPLE} 呈正相关。

3 仿真与分析

本文的动态调节消隐电路基于 $0.18 \mu\text{m}$ BCD 工艺进行设计。设 PSR 工作在 PWM 模式时, 系统工作频率为 100 kHz 。重载、轻载时前沿消隐时间的仿真曲线分别如图 6、图 7 所示。可以看出, 反激变换器工作在 PWM 模式, 重载时, 原边功率管导通时间为 $3.52 \mu\text{s}$, 辅助绕组电压振荡时间为 $3.95 \mu\text{s}$, 前沿消隐时间为 $4.11 \mu\text{s}$, 电压振荡与前沿消隐时间误差为 4.1% 。轻载时, 原边功率管导通时间为 $1.22 \mu\text{s}$, 辅助绕组电压振荡时间为 $1.65 \mu\text{s}$, 前沿消隐时间为 $1.72 \mu\text{s}$, 电压振荡与前沿消隐时间误差为 4.2% 。

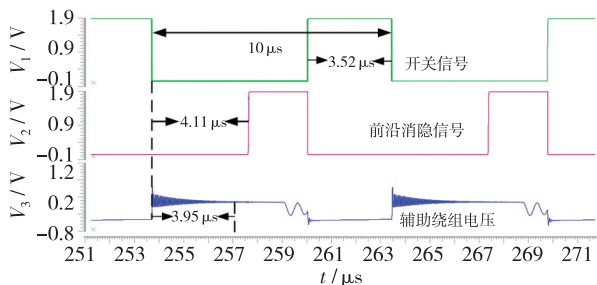


图6 重载时前沿消隐时间的仿真曲线

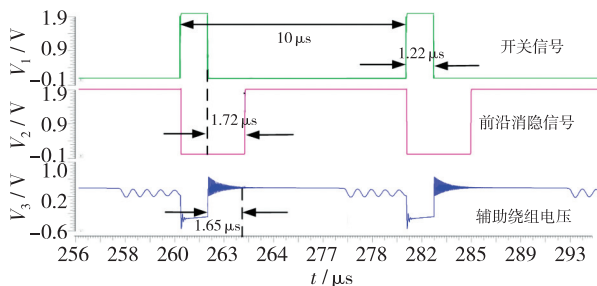


图7 轻载时前沿消隐时间的仿真曲线

设 PSR 工作在 PFM 模式时,原边功率管导通时间为 $2 \mu\text{s}$ 。100 kHz、20 kHz 工作频率下前沿消隐时间的仿真曲线分别如图 8、图 9 所示。

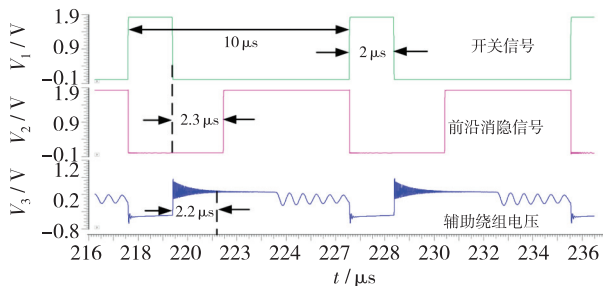


图8 100 kHz 工作频率下前沿消隐时间的仿真曲线

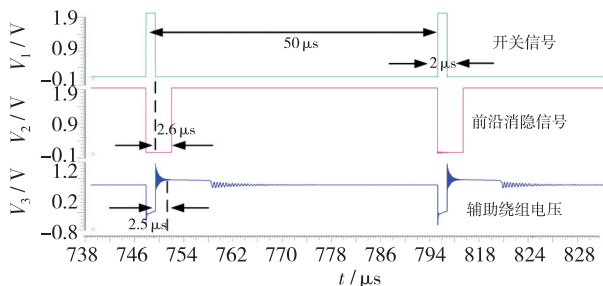


图9 20 kHz 工作频率下前沿消隐时间的仿真曲线

可以看出,反激变换器工作在 PFM 模式,100 kHz 工作频率时,原边功率管导通时间为恒定的 $2 \mu\text{s}$,辅助绕组电压振荡时间为 $2.2 \mu\text{s}$,前沿消隐时

间为 $2.3 \mu\text{s}$,电压振荡与前沿消隐时间误差为 4.5% 。20 kHz 工作频率时,原边功率管导通时间为恒定的 $2 \mu\text{s}$,辅助绕组电压振荡时间为 $2.5 \mu\text{s}$,前沿消隐时间为 $2.6 \mu\text{s}$,电压振荡与前沿消隐时间误差为 4.0% 。

综上所述,反激变换器工作在 PFM 模式时,频率变化会对漏感值产生影响,从而对辅助绕组高频振荡幅值、衰减时间产生影响。但是,影响较小。

不同负载电流、工作频率下前沿消隐时间的仿真结果分别如表 1、表 2 所示。

表1 不同负载电流下前沿消隐时间的仿真结果

负载	工艺角	温度/ $^{\circ}\text{C}$	消隐时间/ μs
重载	ff	125	4.07
重载	tt	25	4.11
重载	ss	-40	4.14
轻载	ff	125	1.69
轻载	tt	25	1.72
轻载	ss	-40	1.74

表2 不同工作频率下前沿消隐时间的仿真结果

工作频率/kHz	工艺角	温度/ $^{\circ}\text{C}$	消隐时间/ μs
100	ff	125	2.28
100	tt	25	2.30
100	ss	-40	2.31
20	ff	125	2.49
20	tt	25	2.50
20	ss	-40	2.52

4 结 论

本文设计并实现了一种适用于 PWM、PFM 模式的反激变换器的动态调节前沿消隐时间电路。该前沿消隐时间电路在不同负载电流和系统工作频率下,有效地屏蔽了辅助绕组的高频振荡,提高了膝点电压的采样精度。本文电路的采样精度较高、线性度较好,在不同工作条件下动态调节的前沿消隐时

间误差最小值可低至4%。

参考文献:

- [1] LIANG T J, CHEN K H, CHEN J F. Primary side control for flyback converter operating in DCM and CCM [J]. IEEE Trans Power Elec, 2018, 33(4): 3604-3612.
- [2] WUC N, CHEN Y L, CHEN Y M. Primary-side peak current measurement strategy for high-precision constant output current control [J]. IEEE Trans Power Elec, 2015, 30(2): 967-975.
- [3] 靳艳娇, 曾洪涛, 李芳义. 高频变压器漏感计算方法及优化设计研究 [J]. 电力电子技术, 2020(5): 23-27.
- [4] STROUS T, SIMONELLI G. Improved power transformer performance using leakage inductance shielding [C] // ESPC. Paris, France. 2019: 8932074.
- [5] OUYANG Z W, ZHANG J, HURLEY W. Calculation of leakage inductance for high-frequency transformers [J]. IEEE Trans Power Elec, 2015, 30(10): 5769-5775.
- [6] YANG S H, TSAI T H. High accuracy knee voltage detection for primary-side control [J]. IEEE Trans Circ & Syst I: Regu Pap, 2017, 64(4): 1003-1012.
- [7] TSAI T H, CHEN K H, TSAI T Y, et al. 99% high accuracy knee voltage detection for primary-side control [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 1754-1757.
- [8] HOU Z Y, HO Z Y, YOU J C, et al. A primary-side output current estimator with process compensator for flyback LED drivers [C] // IEEE ISCAS. Baltimore, MD, USA. 2017: 1-4.
- [9] WU C N, CHEN Y L, CHEN Y M. Primary-side peak current measurement strategy for high-precision constant output current control [J]. IEEE Trans Power Elec, 2015, 30(2): 967-975.

一种基于分布式放大器的 MASK 调制电路

黄常华, 张 瑛, 刘 凯, 马 乾

(1. 南京邮电大学 电子与光学工程学院、微电子学院, 南京 210046;
2. 南京邮电大学 射频集成与微组装技术国家地方联合工程实验室, 南京 210046)

摘 要: 基于 $0.18\ \mu\text{m}$ CMOS 工艺设计了一种工作在 10 GHz 的八进制幅移键控调制电路。利用分布式放大器的结构特点, 通过增加一组开关来改变信号传输路径, 控制输出信号的振幅和相位, 实现了信号的八进制幅移键控调制, 有效提高了信号传输的频带利用率。仿真结果表明, 该调制电路在载波频率为 10 GHz 时, 数据率可达 3 Gbit/s, 每 bit 消耗能量为 12 pJ。平均功耗为 36.35 mW。

关键词: 多进制调制; 幅移键控; 分布式放大器

中图分类号: TN722.1

文献标志码: A

文章编号: 1004-3365(2021)02-0194-04

DOI: 10.13911/j.cnki.1004-3365.200256

A MASK Modulation Circuit Based on Distributed Amplifier

HUANG Changhua, ZHANG Ying, LIU Kai, MA Qian

(1. College of Elec. and Optical Engineering & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing 210046, P. R. China;
2. National and Local Joint Engineering Laboratory of RF Integration and Micro-Assembly Technology, Nanjing Univ. of Posts and Telecommun., Nanjing 210046, P. R. China)

Abstract: An octal amplitude shift keying (ASK) modulation circuit working at 10 GHz was designed in a $0.18\ \mu\text{m}$ CMOS process. By using the structural characteristics of distributed amplifier, a set of switches were added to change the signal transmission path and control the amplitude and phase of the output signal, and the octal amplitude shift keying modulation of the signal was realized, which effectively improved the frequency band utilization of the signal transmission. The simulation results showed that the data rate of the modulation circuit could reach 3 Gbit/s with the carrier frequency of 10 GHz, and the energy consumption per bit was 12 pJ. The average power consumption was 36.35 mW.

Key words: multi-ary modulation; amplitude shift keying; distributed amplifier

0 引 言

无线通信技术的频谱利用率和吞吐量不断提高, 具有高数据传输率的超宽带无线通信技术成为研究热点。高数据率、低能量消耗调制电路是超宽带通信系统的重要模块之一。

超宽带通信系统中, 常见的数字调制技术为二进制相移键控 (BPSK) 调制和开关键控 (OOK) 调

制。文献[1]提出的超宽带发射机中, 采用边缘组合方法实现了无载波 BPSK 调制, 功耗低、面积小。文献[2]将一个电平触发脉冲调制电路与两个(一正一负)可调谐脉冲发生器集成, 实现了 BPSK 调制。文献[3]提出的两种超宽带脉冲发射机分别采用了 BPSK 调制和 OOK 调制。文献[4-6]提出的射机均采用 OOK 调制。OOK 调制和 BPSK 调制具有低功耗、抗噪声性能好的特点, 但在带宽受限条件下无法提供足够高的数据率。

收稿日期: 2020-06-08; 定稿日期: 2020-08-24

基金项目: 国家自然科学基金资助项目(61106021); 中国博士后科学基金资助项目(2015M582541)

作者简介: 黄常华(1994—), 男(汉族), 湖南郴州人, 硕士研究生, 研究方向为模拟与射频集成电路设计。

M 进制数字调制中,每个符号可以携带 $\log_2 M$ 比特信息,使信息传输率增加、频带利用率提高。因此,在超宽带通信系统中能实现比 OOK 调制、BPSK 调制更高的数据率。分布式放大器具有良好的增益频带特性,在无线通信领域得到广泛应用^[7]。相关研究大多集中于如何提高增益、带宽和输出功率,少有通过分布式放大器实现调制的技术方案。

本文利用分布式放大器的结构特点,设计了一种工作在 10 GHz 的八进制幅移键控调制电路。在分布式放大器基础上,增加了一组开关,控制信号传输路径的变化,实现了信号的八进制幅移键控调制,有效提高了信号传输的频带利用率。

1 电路原理

1.1 八进制幅移键控

本文电路基于 8-ASK 调制设计。采用八进制幅移键控(8-ASK)调制的超宽带通信系统框图如图 1 所示。该系统中,已调信号采用不同信号幅度表示数字信号。发射机对数字信号进行调制,并将已调信号通过天线发射出去,接收机通过天线接收已调信号。发射机部分由振荡器、CMOS 数字电路和 8-ASK 调制构成。

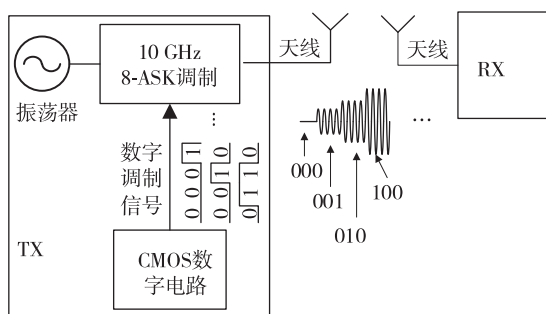


图 1 八进制幅移键控调制的超宽带通信系统框图

1.2 分布式放大器

在 MOS 管构成的增益单元的输入、输出端连接电感,此电感与增益单元的寄生电容周期性地组合在一起,形成两条人工传输线,克服了增益单元中寄生电容造成的增益滚降^[8]。传统分布式放大器的电路图如图 2 所示。

连接到增益单元中 MOS 管栅极的传输线为栅极人工传输线,连接到增益单元中 MOS 管漏极的传输线称为漏极人工传输线。位于栅极人工传输线和漏极人工传输线终端的电阻 R_d 、 R_g 分别为相应人

工传输线的负载。

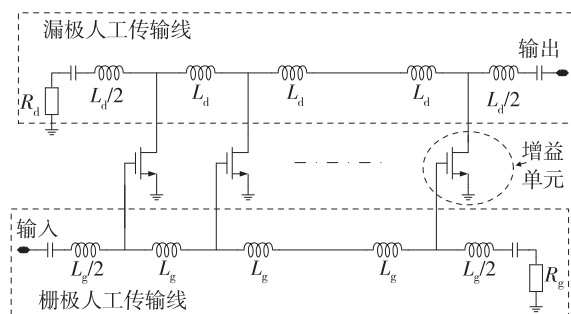


图 2 n 级分布式放大器的电路图

根据传输线理论,人工传输线的特征阻抗 Z_0 、电压增益 A_v 和截止频率 f_c 分别为:

$$Z_0 = \sqrt{\frac{L_g}{C_{in}}} = \sqrt{\frac{L_d}{C_{out}}} \quad (1)$$

$$A_v = \frac{1}{2} n g_m Z_0 \quad (2)$$

$$f_c = \frac{1}{2\pi \sqrt{L_g} C_{in}} = \frac{1}{2\pi \sqrt{L_d} C_{out}} \quad (3)$$

式中, C_{in} 和 C_{out} 分别为增益单元的等效输入、输出电容, L_g 和 L_d 分别为栅极、漏极人工传输线中的电感。

分布式放大器改善了放大器的增益带宽积,适用于超宽带单片微波 IC。

1.3 多进制调制电路

本文设计了一种多进制幅移键控(MASK)调制电路,如图 3 所示。利用分布式放大器的多路信号传输路径的特点,在各增益单元与漏极传输线之间增加一组开关,控制信号传输路径的变化,从而控制输出信号的幅度,实现了多进制幅移键控调制。

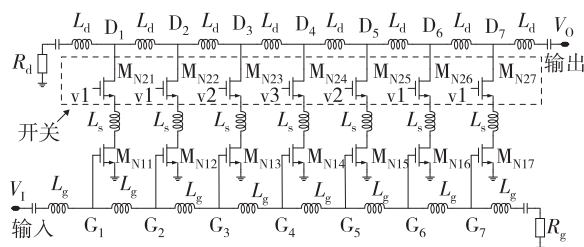


图 3 八进制幅移键控调制电路

该电路由栅极人工传输线、漏极人工传输线、七级共源极增益单元、NMOS 开关和峰化电感 L_s 构成。栅极人工传输线的输入信号为本地振荡器提供的正弦信号 V_1 。

栅极人工传输线的节点电压为 V_{G_j} ($j=1, 2, 3, 4, 5, 6, 7$), 表示为:

$$V_{G_j} = V_1 \cdot T_{G_j} \quad (4)$$

式中, T_{Gj} 表示 V_1 传输到节点 G_j 的传递函数。

节点电压 V_{Gj} 经过各级增益单元放大后, 得到漏极人工传输线各节点 D_j ($j=1, 2, 3, 4, 5, 6, 7$) 的电压 V_{Dj} , 表示为:

$$V_{Dj} = V_{Gj} \cdot g_{mj} \quad (5)$$

式中, g_{mj} 表示第 j 级增益单元的电压放大倍数。

节点电压 V_{Dj} 经过漏极人工传输线传输到输出端的输出信号为 V_{Oj} , 可表示为:

$$V_{Oj} = V_{Dj} \cdot T_{Dj} \quad (6)$$

式中, T_{Dj} 表示 V_{Dj} 传输到输出端的传递函数。

七个 NMOS 开关分别由 3 路并行的二进制数字调制信号 $v_1 \sim v_3$ 控制。 M_{N21} 、 M_{N22} 、 M_{N26} 和 M_{N27} 管由第 1 路数字调制信号 v_1 控制; M_{N23} 和 M_{N25} 管由第 2 路数字调制信号 v_2 控制; M_{N25} 管由第 3 路数字调制信号 v_3 控制。

由式(4)~(6)可得, 漏极人工传输线的总输出信号 V_O 为:

$$V_O = \sum_{j=1}^7 V_{Oj} = V_1 \sum_{j=1}^7 b_j \cdot T_{Gj} \cdot g_{mj} \cdot T_{Dj} \quad (7)$$

式中, b_j 为第 j 个开关的数字控制位。 b_j 值为 1 时, 表示开关导通; b_j 值为 0 时, 表示开关断开。

b_j 值分别由 $v_1 \sim v_3$ 决定。 $v_1 \sim v_3$ 为高电平时, b_j 值为 1, $v_1 \sim v_3$ 为低电平时, b_j 值为 0。例如, v_1 、 v_2 、 v_3 分别为 1、0、0 时, b_1 、 b_2 、 b_6 、 b_7 值均为 1, b_3 和 b_5 值为 0, b_4 值为 0。

由式(6)可知, 当不同数字调制信号传输到 NMOS 开关栅极时, 产生不同的开关状态(导通或断开)组合, 即产生不同的 b_j 值组合, 获得不同幅度的总输出信号 V_O , 实现 8-ASK 调制的目的。

2 仿真结果

基于 $0.18 \mu\text{m}$ CMOS 工艺, 对八进制幅移键控调制电路进行了设计和仿真。版图如图 4 所示, 尺寸为 $1.80 \text{ mm} \times 0.57 \text{ mm}$ 。电源电压为 1.8 V , 载波频率为 10 GHz , 振幅为 300 mV , 每一级增益单元的工作静态电流均为 5.77 mA 。

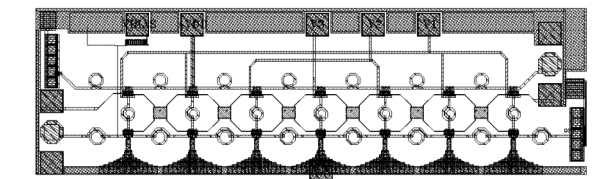


图 4 八进制幅移键控调制电路的版图

给调制电路设置的 v_1 、 v_2 和 v_3 的数字调制信号脉冲曲线如图 5 所示。周期分别为 8 ns 、 4 ns 、 2 ns , 占空比均为 50% 。输入的数字调制信号表示 3 位二进制数, 依次从小到大, 即为 000、001、010、...、110、111。

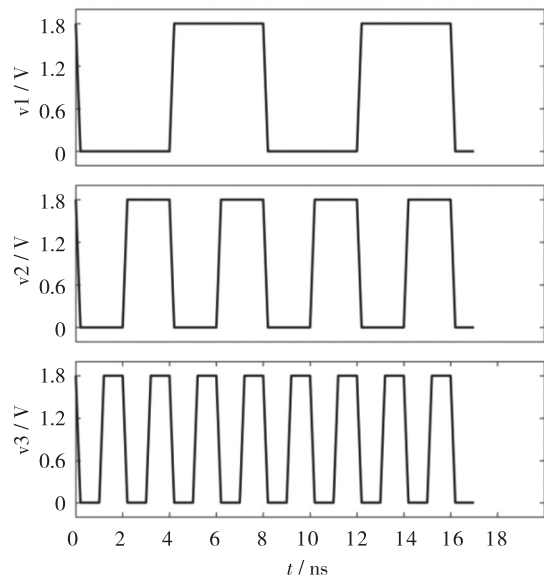


图 5 数字调制信号脉冲曲线

对该八进制幅移键控调制电路进行瞬态仿真, 输出已调信号如图 6 所示。可以看出, 不同的数字调制信号经过调制后, 输出了相应于数字调制信号的电压信号幅度。在 10 GHz 载波频率下^[9], 数据率为 3 Gbit/s , 数据率载波比(D/f_c)为 30% 。

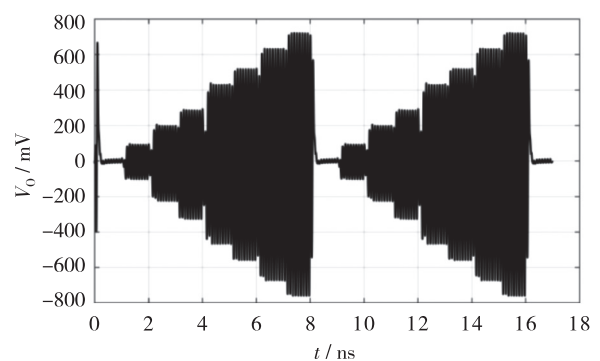


图 6 八进制幅移键控调制电路的输出已调信号曲线

该调制电路的散射参数后仿真曲线如图 7 所示。可以看出, 在 10 GHz 载波频率下, 数字调制信号为 111 时, 增益 S_{21} 为 7.9 dB , 输入回波损耗 S_{11} 为 -19.2 dB , 反向隔离度 S_{12} 为 -33.4 dB , 输出回波损耗 S_{22} 为 -8.7 dB 。

本文与其他文献中调制电路的参数比较如表 1 所示。可以看出, 与文献[13]相比, 本文在相同频率

下的数据率有明显优势。与文献[10]、[11]、[12]相比,本文调制电路在较低频率下,能实现更高的数据率,数据率载波比更具优势。

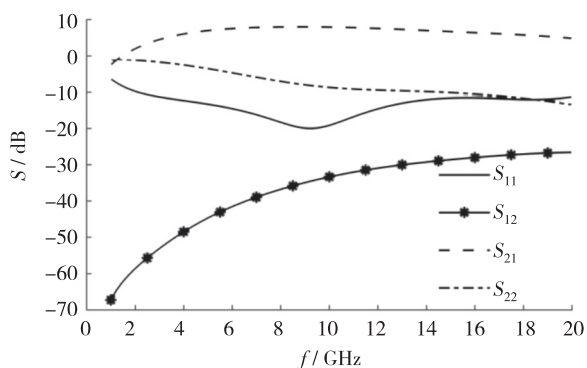


图7 八进制幅移键控调制电路的散射参数后仿真曲线

表1 本文与其他文献中调制电路的参数比较

参数	文献[10]	文献[11]	文献[12]	文献[13]	本文
工艺尺寸/ nm	180	90	90	130	180
调制 方式	OOK	ASK	OOK	BPSK /QPSK	8-ASK
电源电 压/V	1.8	1	1.8	-	1.8
频率/ GHz	60	56.6	60	3~10	10
数据率/ (Gbit · s ⁻¹)	2.5	2	2	0.25	3
数据率载 波比/%	4.2	3.5	3.3	2.5~8.3	30
直流功 耗/mW	8.1	47	14.4	13~18	36.35

3 结 论

本文基于分布式放大器结构,采用 0.18 μm CMOS 工艺设计了一种八进制幅移键控调制电路。在 10 GHz 载波频率下,数据率可达 3 Gbps,平均每 bit 消耗 12 pJ 能量。该八进制幅移键控调制电路具有高数据率、能量消耗低的特点,适用于超宽带无线通信系统。在接收端,该调制电路的已调信号可通过分布式放大器放大后与载波相乘,再经低通滤波器滤波和模数转换,实现信号的解调。

参 考 文 献:

[1] REZAEI M, BAHRAMI H, MIRBOZORGI A, et al. A short-impulse UWB BPSK transmitter for large-

scale neural recording implant [C] // 38th IEEE EMBC. Orlando, FL, USA. 2016: 6315-6318.

- [2] MIAO M, NGUYEN C. Fully integrated CMOS impulse UWB transmitter front-ends with BPSK modulation [J]. Microwave & Optical Technol Lett, 2010, 52(7): 1609-1614.
- [3] LO Y T, YUI C C, KIANG J F. OOK/BPSK-modulated impulse transmitters integrated with leakage-cancelling circuit [J]. IEEE Trans Microwave Theo & Techniq, 2012, 61(1): 218-224.
- [4] ZHAO M J, LI B, WU Z H. 20-pJ/pulse 250 Mbps low-complexity CMOS UWB transmitter for 3-5 GHz applications [J]. IEEE Microwave & Wireless Compon Lett, 2013, 23(3): 158-160.
- [5] SHEN M, YIN Y Z, JIANG H, et al. A 0.76-pJ/pulse 0.1-1 Gpps microwatt IR-UWB CMOS pulse generator with adaptive PSD control using a limited monocycle precharge technique [J]. IEEE Trans Circ & Syst II: Expr Bri, 2015, 62(8): 806-810.
- [6] TONG X, LI J. A sub-GHz UWB data transmitter with enhanced output amplitude for implantable bioelectronics [C] // IEEE BioCAS. Turin, Italy. 2017: 1-4.
- [7] 张瑛, 李泽有, 李鑫, 等. 一种适用于 5G 通信的分布式低噪声放大器 [J]. 微电子学, 2019, 49(1): 44-48.
- [8] NARENDRA K, AIN M F, ANAND L, et al. High efficiency 600-mW pHEMT distributed power amplifier employing drain impedance tapering technique [C] // Int Conf Microwave & Millimeter Wave Technol. Nanjing, China. 2008: 1769-1772.
- [9] CHANG S E, CHEN Y J E. CMOS OOK modulator with fast envelope transient [J]. Elec Lett, 2019, 55(17): 927-928.
- [10] JANG S, NGUYEN C. A 60 GHz 2.5Gbps OOK modulator with data-dependent impedance cell for enhanced on/off isolation in 0.18 μm BiCMOS process [J]. IEEE Microwave & Wireless Compon Lett, 2015, 25(4): 244-246.
- [11] BRINKHOFF J, PHAM D D, KANG K, et al. A new six-port transformer modeling methodology applied to 10-dBm 60-GHz CMOS ASK modulator designs [J]. IEEE Trans Microwave Theo & Techniq, 2010, 58(2): 297-309.
- [12] LEE J J, PARK C S. 60-GHz gigabits-per-second OOK modulator with high output power in 90-nm CMOS [J]. IEEE Trans Circ & Syst II: Expr Bri, 2011, 58(5): 249-253.
- [13] EL-GABALYA M, SAAVEDRA C E. A 3-10-GHz 13-pJ/pulse dual BPSK/QPSK pulse modulator based on harmonic injection locking [J]. IEEE Trans Microwave Theo & Techniq, 2014, 62(12): 3476-3484.

一种分段输出 PWM Buck DC-DC 转换器设计

袁 军, 周 怡, 毛鼎昌, 赵汝法, 王 巍

(重庆邮电大学 光电工程学院/国际半导体学院, 重庆 400065)

摘 要: 为了解决 PWM DC-DC 在轻负载时转换效率骤降的问题,设计了一种分段输出级 PWM DC-DC 电路结构,用以优化轻负载时的转换效率。该设计引入了负载电流检测电路,对输出电流进行采样并检测。在重载情况下,所有功率 MOSFET 同时输出。当负载电流减小,逐级关闭各段功率 MOSFET,直至在最轻载情况下用最小尺寸的功率 MOSFET 进行输出。实验结果表明,在 1~200 mA 负载范围内,电路的转换效率变化较为平缓;在负载为 1 mA 时,电路的转换效率为 81%。

关键词: 分段输出; PWM; 负载电流检测; 转换效率

中图分类号:TN86; TN433

文献标志码:A

文章编号:1004-3365(2021)02-0198-05

DOI:10.13911/j.cnki.1004-3365.200267

Design of a PWM Buck DC-DC Converter with Segmented Output

YUAN Jun, ZHOU Yi, MAO Dingchang, CHIO U Fat, WANG Wei

(College of Optoelec. Engineer. / Int. Semicond. College, Chongqing Univ. of Posts and Telecomm., Chongqing 400065, P. R. China)

Abstract: In order to solve the problems that the conversion efficiency of PWM DC-DC dropped sharply at light load, a PWM DC-DC circuit with a segmented output stage was proposed, which was used to optimize the conversion efficiency of light load. A load current detection circuit was introduced to sample and detect the output current. When the load was heavy, all power MOSFETs were output at the same time. When the load current was reduced, the power MOSFETs were turned off from the first stage to the second stage gradually, until the smallest size power MOSFET was only working in the lightest load. The simulation results showed that within a load range of 1~200 mA, the conversion efficiency of the proposed DC-DC converter changed more smoothly. At the light load of 1 mA, the conversion efficiency of the circuit was 81%.

Key words: segmented output; PWM; load current detection; conversion efficiency

0 引 言

便携式设备会有一个或者多个高性能 DC-DC 转换器和高性能电源管理集成电路对整个设备的电池能量进行管理。高级的微处理器、微控制单元(MCU)、数字信号处理器(DSP)等设备的工作电压远低于常规电池所能提供的电压^[1],因此,需要降压(Buck)DC-DC 转换器将电池或其他 DC-DC 模块提供的高电压转换为有效、稳定的低电平电压。

实际应用中,DC-DC 需要在一个比较宽的负载范围内保持高转换效率来延长电池续航时间^[2]。一般情况下,转换效率会在轻负载的条件下急剧下降,提升轻负载时 DC-DC 转换器的转换效率成为了研究热点。

常见的提升轻负载转换效率的方式有数字脉冲宽度调制(DPWM)、脉冲频率调制(PFM)等^[3-6]。其中,DPWM 因其调制环路数字化,所以主要降低的是调制环路的功耗,缺点是输出精度依赖于模数转换器(ADC)的精度;PFM 降低开关频率,所以主

收稿日期:2020-06-12;定稿日期:2020-08-13

基金项目:重庆市科技局产业化项目(cstc2018jszx-cyztzx0217,cstc2018jszx-cyztzX0048)

作者简介:袁 军(1984—),男(汉族),重庆忠县人,副教授,研究方向为模数混合信号 IC 设计。

要降低的是开关损耗,缺点是输出中的开关噪声频率成分复杂,需要辅以更复杂的滤波操作。

除了采用不同的调制方式,还可以通过优化功率管结构来提升转换效率。文献[7]中,分段输出级被用于降低 DC-DC 转换器的开关损耗,利用输出电压的波动来进行轻负载检测,最明显的缺点是检测精度不足,对比较器的精度要求较高,难以实现多段输出级设计。可考虑引入负载电流检测来提高轻负载转换的检测精度^[8-9]。

本文设计了一种分段输出的 PWM Buck DC-DC 转换器电路,该设计引入负载电流检测电路,对功率开关进行了分段优化,在轻负载的时候减小功率管的有效尺寸来降低开关损耗,达到提升轻负载转换效率的目的。

1 整体电路结构设计

1.1 传统的 PWM Buck 型转换器结构

传统 PWM DC-DC 电路结构由误差放大器、比较器、三角波和时钟发生器、RS 触发器、死区时间产生电路以及输出级 MOSFET 组成,如图 1 所示^[6]。

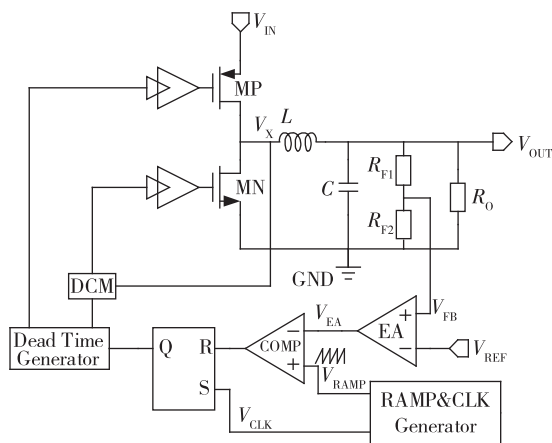


图1 传统 PWM DC-DC 电路结构

反馈电阻 R_{F1} 、 R_{F2} 通过分压,将反馈电压 V_{FB} 传递给误差放大器 EA,误差放大器把反馈电压 V_{FB} 与参考电压 V_{REF} 的差值放大,比较器对误差放大器的输出 V_{EA} 和三角波 V_{RAMP} 进行比较,产生一个脉冲宽度可变的方波,然后利用 RS 触发器进行波形调整,输出到死区时间产生电路,产生两个驱动信号,分别驱动输出级的 PMOS 与 NMOS,该调节过程会在输出稳定后保持,直到输出再次发生变化。

以上所述过程即为 PWM DC-DC 工作原理。与 PFM 控制方式相比,工作原理和电路结构都更

加简单,更易于操作和设计。同时,开关电源存在开关噪声,而 PWM DC-DC 输出的开关噪声频率成分单一,易于滤除。PWM DC-DC 缺点是寄生电容产生的开关损耗会在轻负载时极大降低 DC-DC 转换效率。因此要对单一 PWM 方式的 DC-DC 电路进行改进。

1.2 分段优化后的 PWM Buck 型转换器结构

对于如图 1 所示的 PWM Buck 型转换器电路结构,无论在轻载还是重载都只有一种尺寸的输出 MOSFET 作为功率开关,而在轻负载时的寄生电容产生的开关损耗 P_{SW} 不可忽视,这导致轻负载转换效率迅速下降。开关损耗一般包括栅极电容驱动损耗 P_{GATE} 和输出寄生电容充放电损耗 P_{CO} 。可以得到:

$$P_{SW} = P_{GATE} + P_{CO} \quad (1)$$

式中,

$$P_{GATE} = F_{SW} \times (C_{G,P} + C_{G,N}) \times V_{IN}^2 \quad (2)$$

$$P_{CO} = \frac{1}{2} \times V_{IN} \times I_O \times (t_r + t_f) \times f_{SW} \quad (3)$$

式中, F_{SW} 表示 DC-DC 转换器的工作频率, $C_{G,P}$ 、 $C_{G,N}$ 分别表示 PMOS 和 NMOS 功率开关的栅极寄生电容, V_{IN} 表示输入电压, I_O 表示输出电流, t_r 表示开关电压的上升时间, t_f 表示开关电压的下降时间。

通常 P_{CO} 远远大于 P_{GATE} ,但由于轻负载条件下 I_O 大大降低,随着 I_O 逐渐降低, P_{GATE} 就主导了 P_{SW} 的大小变化。

通过以上分析可知,除了降低开关频率来降低轻负载开关损耗以外,还可以减小寄生电容。由于 MOS 管寄生电容的大小正比于 MOS 管的尺寸,所以在轻负载时采用小尺寸的 MOS 管来进行电路结构优化。

对功率开关进行优化后的电路结构如图 2 所示。

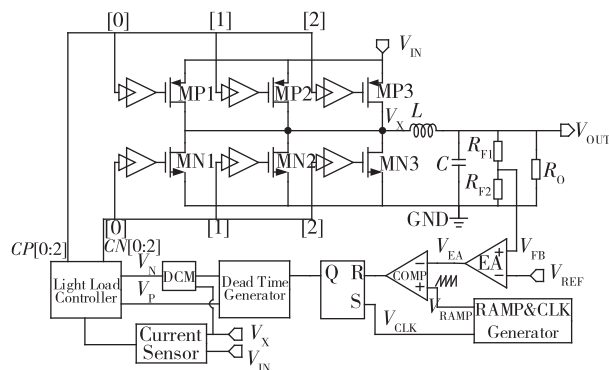


图2 优化后的 PWM DC-DC 电路结构

随着负载电流的变化,调整 MOSFET 功率管的有效尺寸。 V_P 和 V_N 为死区时间电路产生的功率 MOSFET 驱动信号。当电路满负载运行时, CP 为 (V_P, V_P, V_P) , CN 为 (V_N, V_N, V_N) , 各段功率管均在工作状态;当负载电流降低导致开关损耗增加, CP 为 $(V_P, V_P, 1)$, CN 为 $(V_N, V_N, 0)$, 则第三段功率开关停止工作;当负载电流继续降低,开关损耗比例再次增加并占主导, CP 为 $(V_P, 1, 1)$, CN 为 $(V_N, 0, 0)$, 则第二、三段功率开关均关闭。另外,对于不连续传导模式(DCM)控制电路,通过检测 V_X 电压来消除反向电感电流,实现同步整流结构工作在不连续传导模式,可减小轻负载时候的反向电流损耗。

为了实现自适应调整 MOSFET 功率管有效尺寸,本文设计了一种负载电流检测电路,用于监测负载电流的变化,将监测的结果输出给轻载控制电路,然后根据负载电流变化调整驱动信号 $CP[0:2]$ 和 $CN[0:2]$ 。

2 关键电路设计

2.1 负载电流检测电路

负载电流检测电路如图 3 所示,可以实现对 PWM Buck DC-DC 转换器负载电流的监测和采样。

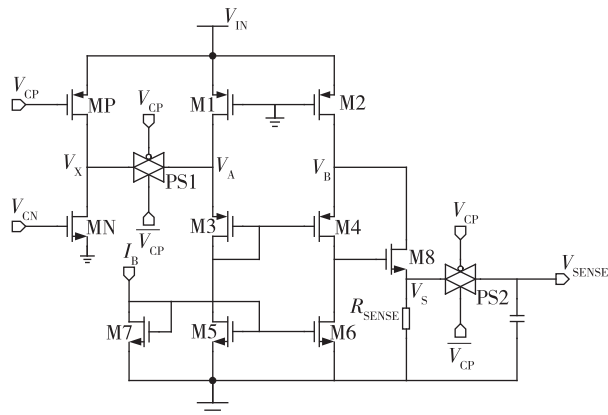


图 3 负载电流检测电路

在稳定状态下,电容电压在一个开关周期内的净变化必定等于零^[8],负载电流可以表示为:

$$I_O = \frac{1}{T} \int_0^T I_{MP} dt \quad (4)$$

式中, I_O 表示负载电流, I_{MP} 表示功率管 MP 上的电流。由上式可知,检测功率管 MP 的电流变化可以反映负载电流的变化,实质是对电感电流信息进行采样。

当功率管 MP 关闭时,没有电流流过 MP,当功

率管 MP 打开时,电压 V_X 以固定的斜率下降,电感电流上升,此时传输门 PS1 打开, V_A 电压同样下降,导致 V_B 产生同样的变化,流经 M8 管电流上升,通过 R_{SENSE} 转换为电压信号 V_S ,配合传输门, PS2 取其峰值作为负载电流的感应信号。

2.2 斜坡信号和时钟产生电路

稳定的斜坡信号 V_{RAMP} 和内部时钟信号 V_{CLK} 是 PWM 正常工作的必要条件^[10],斜坡信号与误差放大器的输出进行比较后,产生脉宽变化的调制方波,内部时钟信号决定 PWM 的工作频率。

图 4 所示为本文采用的斜坡信号和时钟信号产生电路。 V_{RES} 在开始的时候为电路复位, V_{RAMP} , V_{CLK} 均从 0 电位开始变化, M1 打开为电容 C_R 充电,电容电压 V_{RAMP} 升高,当 V_{RAMP} 超过 V_H 时, V_{CLK} 变为 1, M2 打开为电容放电,放电到 V_{RAMP} 低于 V_L 时, V_{CLK} 为 0, M1 再次打开为 C_R 充电。

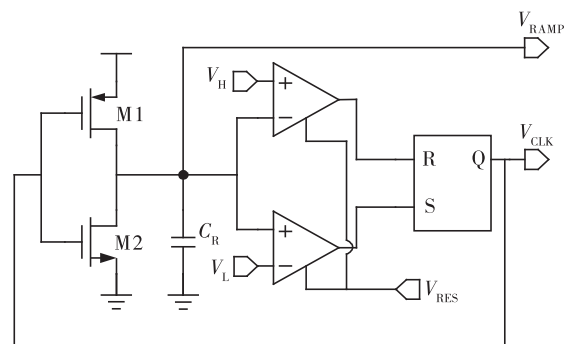


图 4 斜坡信号和内部时钟产生电路

如此往复,就得到了斜坡信号 V_{RAMP} 和内部时钟信号 V_{CLK} 。 V_{RAMP} 的斜率可表示为:

$$F_{RAMP} = \frac{I_P}{(V_H - V_L) C_R} \quad (5)$$

式中, F_{RAMP} 为斜坡信号的上升斜率, I_P 为 M1 打开时给电容 C_R 充电的电流, V_H 、 V_L 是 V_{RAMP} 信号的上、下阈值。

2.3 DCM 控制电路

同步整流型 PWM DC-DC 转换器在轻负载工作时需要额外的不连续传导模式(DCM)控制电路来实现在 DCM 下工作。目的是消除反向的电感电流。本文采用的 DCM 控制电路如图 5 所示。

将 V_X 电位和 GND 电位进行比较,判断是否有反向电流产生。但是,直接在零电位附近比较 V_X 和 GND 较为困难,所以需在比较之前先对 V_X 和 GND 进行电位抬高。实际进行比较的电压是 V_{X1} 和 GND1。比较后,再通过组合逻辑来调整 NMOS 功率开关的打开时间。

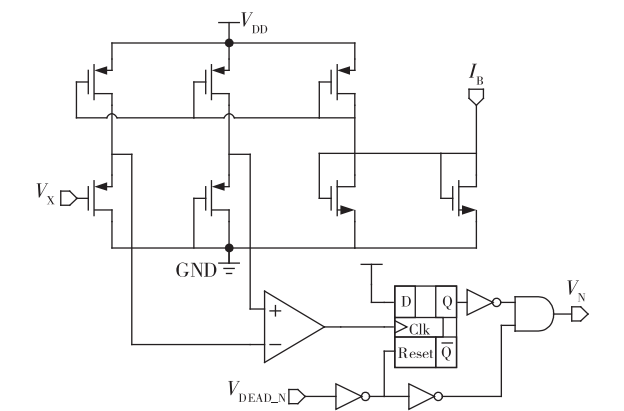


图 5 DCM 控制电路

3 仿真与分析

对本文设计的同步整流 PWM DC-DC 电路进行仿真。电路工作的开关频率为 1 MHz,输入电压为 1.2 V,输出电压为 0.8 V,输出电流范围为1 mA~200 mA。采用 TSMC 65 nm 工艺,利用 Cadence 仿真软件进行分析。逐级关闭输出级的仿真波形如图 6 所示,当负载电流从 200 mA 掉到 20 mA 时,经过了 10 μ s 的检测时间,第三段的 PMOS 功率管的驱动信号 CP[2]变为 1,此时第三段功率管被关断。负载电流继续降低至 1 mA 时,第二段功率管的驱动信号 CP[1]变为 1,关闭了第二段功率管,只保留了第一级功率管继续工作。这说明跟随负载电流大小切换功率管有效尺寸的功能正常。

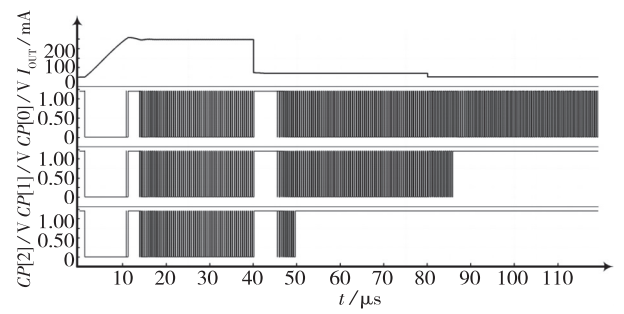


图 6 逐级关闭输出级仿真波形图

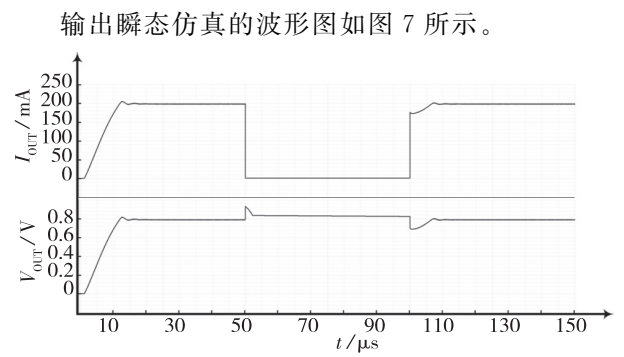


图 7 输出瞬态响应

可以看出,当输出电流从 1 mA 到 200 mA 突变时,输出电压在短暂的波动之后很快就恢复稳定,这说明在加入电流检测电路和轻载控制模块后仍有较好的瞬态响应。

在 1 mA~200 mA 负载范围内对该结构的转换效率进行仿真,如图 8 所示。比较了有、无分段输出设计的两个 PWM DC-DC 的转换效率。可以看出,有分段输出设计的 PWM DC-DC 转换器在 1 mA 的轻负载情况下转换效率从 60.94% 提升至 81.24%。两种结构在 60 mA 左右达到峰值转换效率,均在 96% 左右。负载电流 200 mA 时的效率均在 90% 左右。

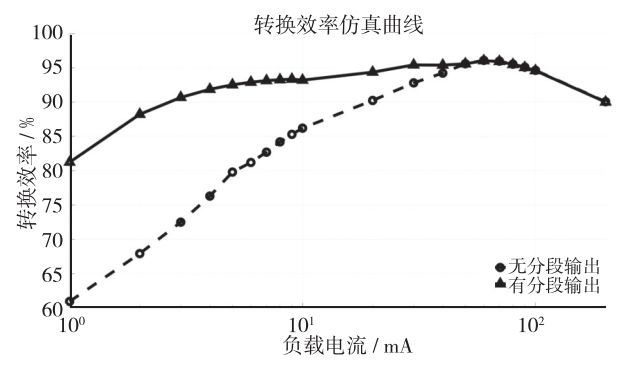


图 8 电路的输出转换效率

结果表明,对输出进行分段设计,对不同负载采用不同尺寸的功率管,可以有效提升 PWM DC-DC 在轻负载时候的转换效率,并且能合理控制负载电流检测电路和轻负载控制模块的功耗。重载时的转换效率仍然维持在较高水平。

分段输出 PWM DC-DC 与近期文献的性能对比如表 1 所示,* 表示该文献为测试结果。

表 1 本文所设计的 DC-DC 电路性能参数与其他文献的对比			
参数	文献[3] *	文献[5]	本文
工艺尺寸/nm	55	65	65
结构特征	单段输出	单段输出	三段输出
调制类型	DPWM	PWM/PFM	PWM
输出电感/ μ H	3	-	10
输出电容/ μ F	3	1	4.7
输出电压/V	1.2	1.2	0.8
输出电流/mA	1~10	0.24~10	1~200
开关频率/MHz	2	-	1
芯片面积/ mm^2	0.15	0.52	-
转换效率	91.5%(54.2% @1 mA)	88.8%(85.2% @1 mA)	96%(81.0% @1 mA)

与文献[3]相比,在 1 mA 的负载电流条件下,本文的分段输出结构在理论上可以达到更高的转换效率;与文献[5]相比,在 1 mA 负载电流条件下,文献[5]结构的转换效率接近 PFM 调制的转换效率,但本文在峰值电流和峰值转换效率方面的结果表现更优。本电路的控制环路面积稍大;与 PFM 方式对比,PWM 方式在超轻载时转换效率略低。但在轻负载转换效率方面,分段输出 PWM Buck DC-DC 可以在保证开关频率相对稳定的情况下,提升传统 PWM DC-DC 的轻负载转换效率,在轻负载的情况下,可使转换效率接近 PFM DC-DC 在同等负载下的转换效率。

4 结 论

本文通过分析 Buck 型 DC-DC 转换电路的损耗,设计了一种分段输出 PWM Buck DC-DC 转换电路,不同负载下切换到不同的有效栅宽进行输出。该电路降低了 PWM DC-DC 轻负载时的开关损耗,提升了转换效率。仿真结果表明,本文设计的变栅宽 PWM DC-DC 可以实现自适应变栅宽调节,能够提供较大的峰值电流输出,同时提升了轻负载工作的转换效率,在 1 mA 时的转换效率为 81%。

参 考 文 献:

- [1] CHIA C H, LEI P S, CHANG R C H. A high-efficiency PWM DC-DC buck converter with a novel DCM control under light-load [C] // IEEE ISCAS. Rio de Janeiro, Brazil. 2011: 237-240.
- [2] PARK Y J, PARK J H, KIM H J, et al. A design of a 92.4% efficiency triple mode control DC-DC buck converter with low power retention mode and adaptive zero current detector for IoT/wearable applications [J]. IEEE Trans Power Elec, 2016, 32 (9): 6946-6960.
- [3] KIM S Y, PARK Y J, ALI I, et al. Design of a high efficiency DC-DC buck converter with two-step digital PWM and low power self-tracking zero current detector for IoT applications [J]. IEEE Trans Power Elec, 2017, 33(2): 1428-1439.
- [4] NG T T K, ABBASIZADEH H, THUONG T V C, et al. A high efficiency digital PWM DC-DC converter using hybrid control technique for EH applications [C] // ISOC. Seoul, South Korea. 2017: 204-205.
- [5] PARK S H, KIM K T, LEE K Y. Buck DC-DC converter with PFM/PWM dual mode self-tracking zero current detector [C] // ISOC. Seoul, South Korea. 2017: 186-187.
- [6] SHIN Y H, KIM H Y, KIM J W, et al. Efficiency improvement of dual mode DC-DC buck converter under light load using PTWS with a zero current detector [C] // ICCSS. London, UK. 2017: 72-75.
- [7] WANG C C, HSU C J. An on-chip PWM-based DC-DC buck converter design with high efficiency light load mode operation [C] // Proc Int Conf Elec Engineer Info. Bangkok, Thailand. 2018: 146-150.
- [8] MA Y Z. Integrated lossless load current sensing method for buck-boost DC-DC converters [J]. Elec Lett, 2015, 51(1): 88-90.
- [9] 辛杨立,王卓,贾丽伟,等.一种用于电流模 Buck 变换器的电流采样电路 [J]. 微电子学, 2019, 49(2): 202-209.
- [10] YANG W B, SUN C H, HUANG Z A, et al. Single inductor dual-output DC-DC converters with new type ramp and clock generator [C] // IEEE ICASI. Chiba, Japan. 2018: 1009-1011.

一种低功耗低延迟的容忍 DNU 锁存器设计

国欣祯, 杨 潇, 郭 阳

(合肥工业大学 电子科学与应用物理学院, 合肥 230009)

摘 要: 随着集成电路器件特征尺寸的进一步减小, 锁存器内部节点之间的距离越来越短。由于内部节点间的电荷共享效应, 器件在空间辐射环境中频繁发生单粒子翻转(SEU), 受影响节点由单节点扩展到双节点。文章提出了一种新型的锁存器加固结构, 利用 C 单元固有的保持属性, 实现对单节点翻转(SNU)和双节点翻转(DNU)的完全容忍。HSPICE 仿真结果表明, 相比于其他同类型的加固设计, 所提出的锁存器功耗平均下降了 34.86%, 延迟平均下降了 59%, 功耗延迟积平均下降了 67.91%。PVT 分析表明, 该锁存器结构对电压、温度、制造工艺的变化不敏感。

关键词: 单粒子翻转; 低功耗; 低延迟; 双节点翻转

中图分类号: TN432; TN406

文献标志码: A

文章编号: 1004-3365(2021)02-0203-08

DOI: 10.13911/j.cnki.1004-3365.200287

Design of a Low Power and Low Delay DNU-Tolerant Latch

GUO Xinzhen, YANG Xiao, GUO Yang

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, P. R. China)

Abstract: As the feature size of the integrated circuit devices is reduced further, the distance among the internal nodes of the latch becomes shorter and shorter. Due to the charge sharing effect among internal nodes, single event upset (SEU) affected nodes that frequently occurred in the space radiation environment have expanded from single nodes to double nodes. A new hardened latch structure which used the inherent hold property of the C-element was proposed in this paper. A complete tolerance to single node upset (SNU) and double node upset (DNU) was realized. HSPICE simulation results showed that, compared with other similar hardened designs, the power consumption of the proposed latch had decreased by 34.86% on average, the delay had decreased by 59% on average, and the power delay product had decreased by 67.91% on average. PVT analysis showed that the proposed latch structure was not sensitive to the changes in voltage, temperature and manufacturing processes.

Key words: single event upset (SEU); low power; low delay; double node upset (DNU)

0 引 言

随着集成电路的快速发展以及制造工艺的进步, 在航空航天、医疗器械以及汽车电子等领域中的应用对集成电路芯片的可靠性有更高的要求。航空航天领域的辐射环境中, 高能粒子穿过集成电路器件的敏感区域时, 在器件材料中通过直接的电离作用或者核反应产生的次级粒子的间接电离作用, 导

致器件的逻辑状态翻转, 称为单粒子翻转(Single Event Upset, SEU)。锁存器是集成电路中最基本的存储单元, 锁存器发生故障将严重影响整个芯片的性能, 所以容忍 SEU 的锁存器设计极为重要。

随着集成电路器件特征尺寸不断减小, 锁存器内部节点间的物理距离越来越小, 离子轰击电子元器件时很可能影响不止一个节点^[1]; 在纳米尺度下, 由于电荷共享^[2]引起的双节点翻转(Double Node Upset, DNU)也越来越严重。传统的容忍单节点翻

收稿日期: 2020-06-20; 定稿日期: 2020-07-28

基金项目: 国家自然科学基金资助项目(61904047)

作者简介: 国欣祯(1996—), 男(汉族), 山东潍坊人, 硕士研究生, 研究方向为数字集成电路容错设计。

转(Single Node Upset, SNU)锁存器已经不能满足当前需要,容忍 DNU 的锁存器应运而生。

传统锁存器加固结构以容忍 SNU 为主,容忍 DNU 的锁存器设计研究较少。近十年,出现了较多的容忍 DNU 的锁存器,但是存在功耗大、延迟高的缺点。目前工业设计中采用的加固技术主要是多模冗余加固(比如容忍 SNU 的三模冗余结构),但是随着受影响的节点越来越多,锁存器的功耗和面积开销也会越来越大。

本文提出了一种新型的完全容忍 DNU 的锁存器,该锁存器采用 9 个 C 单元,极大降低了电路复杂度,利用 C 单元的保持属性以及不同 C 单元之间的反馈,实现对 DNU 的容忍。HSPICE 仿真表明,延迟和功耗的开销相比之前的加固结构均有显著的降低。

本文的章节安排如下:第 1 节介绍部分已有的锁存器加固结构;第 2 节说明本文提出的锁存器加固结构以及工作和容错原理;第 3 节是仿真验证以及结果评估;第 4 节是本文的总结。

1 已有的加固结构

1.1 DICE 电路

DICE(Dual Interlocked Storage Cell)电路如图 1 所示^[3],由四个双输入反相器构成,每个反相器的 PMOS 栅极由前一级反相器的输出控制, NMOS 栅极由后一级反相器的输出控制,形成双模互锁结构。当 DICE 电路发生 SEU 时,经过互锁晶体管的反馈, SEU 只会影响与其相邻的双输入反相器,通过未发生 SEU 的双输入反相器的反馈,使电路输出正确的逻辑值。

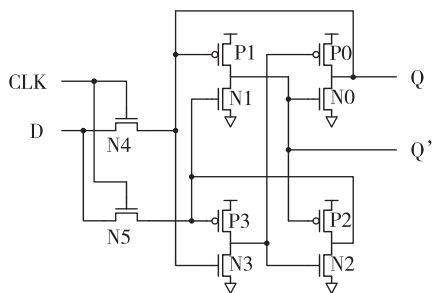


图 1 DICE 电路

1.2 NTHLTCH 电路

NTHLTCH 电路如图 2 所示^[4],该电路主体部分由 9 个 C 单元构成。当电路发生 SNU 时, C 单元可以保证完全容忍。当电路发生 DNU 时,若发生

在同一个 C 单元的输入端,该 C 单元的输出会受影响,但后级 C 单元不受影响,保证电路最终正确输出;若发生在不同的 C 单元,由于 C 单元有保持属性,则不会向后级 C 单元进行传递,通过反馈保持正确的输出值。

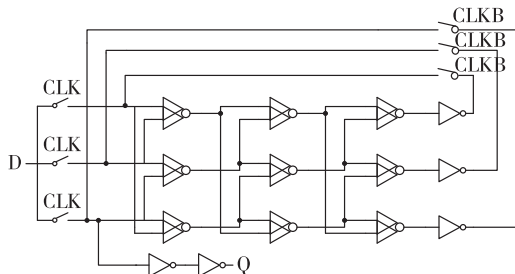


图 2 NTHLTCH 电路

1.3 Delta DICE 电路

Delta DICE 电路如图 3 所示^[5],该电路的主体部分由三个 DICE 单元组成。若发生翻转的两个节点位于两个不同的 DICE 单元,每个 DICE 单元的自身容忍 SNU 属性会使这两个节点分别恢复到正确值;若发生翻转的两个节点位于同一个 DICE 单元内,由于该 DICE 中有两个节点来自于其他另外两个 DICE 单元,所以其他两个节点不论翻转与否,一定会保持或者自恢复到正确值,故发生翻转的 DICE 也可以恢复到正确值。

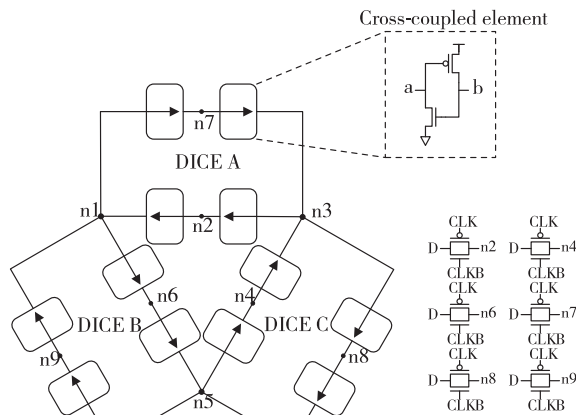


图 3 Delta DICE 电路

1.4 DNCS 电路

DNCS 电路如图 4 所示^[6],该电路由六个双输入 C 单元以及一个三输入 C 单元构成。若发生翻转的两个节点位于同一个 C 单元的输入端,只会影响该 C 单元的输入,而不会进一步影响后级 C 单元;若发生在不同 C 单元的输入端,由于 C 单元之间存在反馈,翻转的节点会立马自恢复。最终通过三输入 C 单元的保持属性确保输出 Q 不受任何

影响。

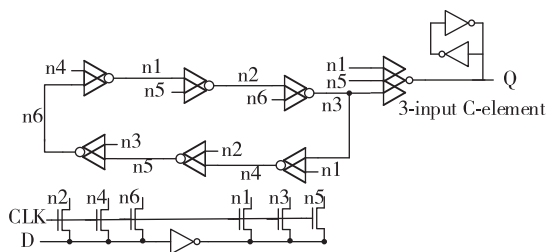


图 4 DNCS 电路

1.5 DIRT 电路

DIRT 电路如图 5 所示^[7],该电路由 12 个完全相同的双输入反相器构成。如图所示,奇数节点的反相器由相邻偶数节点的反相器驱动,反之亦然。当发生 DNU 的两个节点来自于同一反相器的输入端,如 n1、n3 时,该反相器的输出节点 n2 会受影响, n2 最多会影响其两个扇出反相器中的一个,不会向更多的反相器传播错误的逻辑值;而由于其他双输入反相器存在反馈, n1 和 n3 又可以迅速恢复到正确值,所以可以实现对 DNU 的容忍。当发生 DNU 的两个节点来自不同的双输入反相器时,由于每次最多影响一级扇出,则错误的逻辑值不会向后传播,并且通过翻转节点之前的扇入反相器使翻转节点自恢复。

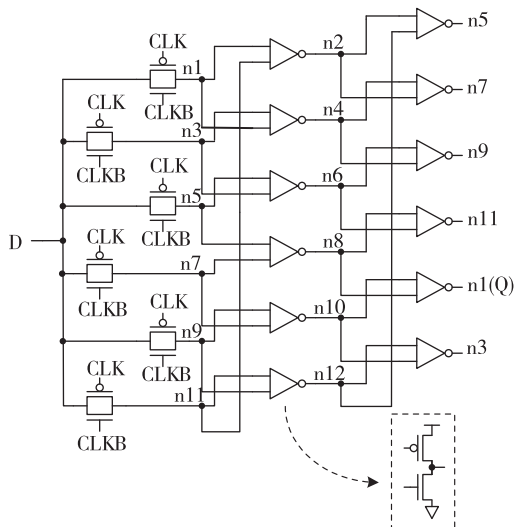


图 5 DIRT 电路

1.6 DNURHL 电路

DNURHL 电路如图 6 所示^[8],该电路由 8 个 C 单元构成。若发生翻转的两个节点位于不同的 C 单元内,由于 C 单元具有保持属性,错误的逻辑值不会向后传播。若发生翻转的两个节点来自于同一个 C 单元的输入端,如 n3、n7,则 CE4 和 CE8 两个 C 单元的输出端会发生翻转,进而影响 CE1 和

CE5,以此类推,电路不能实现对 DNU 的完全容忍。

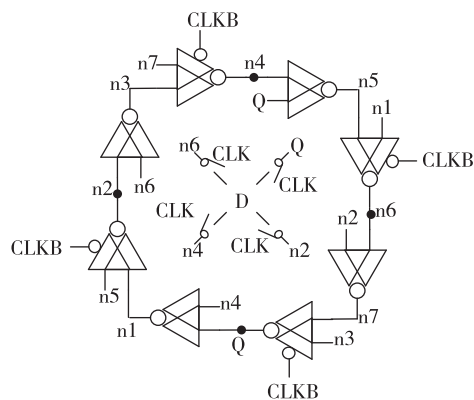


图 6 DNURHL 电路

2 本文提出的加固结构

2.1 电路结构和工作原理

2.1.1 电路结构

随着集成电路的应用范围越来越广,芯片中的 SEU 问题也愈发严重。针对锁存器功耗较大、延迟较高的问题,本文提出了一种新型的容忍 DNU 的锁存器加固结构,电路结构如图 7 所示。

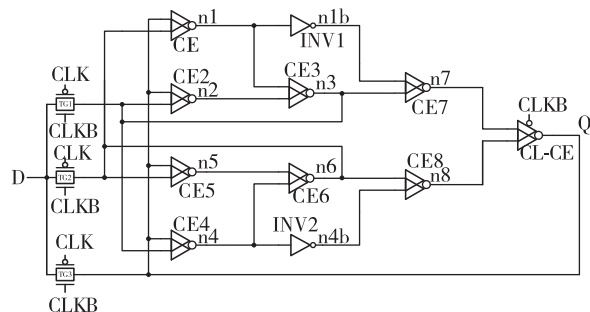
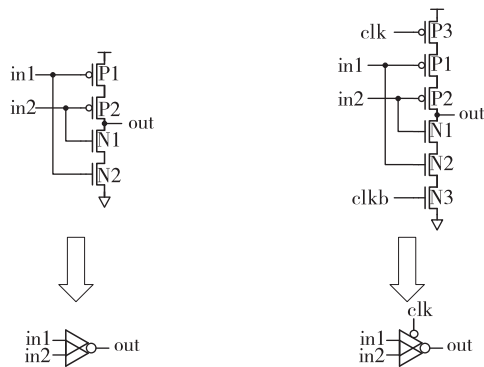


图 7 本文提出的加固锁存器结构

图 7 中,D 为该锁存器的输入信号,Q 为该锁存器的输出信号,CLK 和 CLKB 为系统时钟信号。该锁存器主要由双输入 C 单元、反相器和传输门组成。其中,TG1~TG3 为传输门,INV1、INV2 为反相器,CE1~CE8 为传统的双输入 C 单元,CL~CE 为钟控 C 单元,可以降低电路不必要的时钟功耗开销。

C 单元的晶体管级电路结构如图 8 所示。两个输入端逻辑值相同时,执行反相器的功能。图 8(a)是传统的双输入 C 单元晶体管级电路结构,由两个 PMOS 管 P1、P2 和两个 NMOS 管 N1、N2 构成。图 8(b)是新型的钟控 C 单元 CL-CE,在图 8(a)的基础上多加两个晶体管 P3、N3,实现对 C 单元工作

的时钟控制,极大降低了 C 单元的功耗。



(a) 传统的双输入 C 单元 (b) 钟控双输入 C 单元

图 8 C 单元晶体管级结构

C 单元的真值表如表 1 所示。当 in1 和 in2 的输入均为 0 时,两个 PMOS 管导通,C 单元的输出为 1;当 in1 和 in2 的输入为 1 时,两个 NMOS 管导通,C 单元的输出为 0。当 in1 和 in2 的输入逻辑值不一致时,PMOS 和 NMOS 均未完全导通,C 单元的输出逻辑值保持之前的状态。

表 1 C 单元真值表

in1	in2	out
0	0	1
0	1	保持不变
1	0	保持不变
1	1	0

2.1.2 工作原理

提出的锁存器有两个工作模式:透明期和锁存期。当时钟信号 $CLK=0$ 、 $CLKB=1$ 时,传输门 TG1、TG2、TG3 导通,锁存器进入透明期,输入端 D 的逻辑值可以直接通过传输门 TG3 到达输出端 Q。当时钟信号 $CLK=1$ 、 $CLKB=0$ 时,三个传输门全部关断,锁存器进入锁存期,电路可以通过 C 单元之间的反馈保持 Q 的输出。

当电路处于透明期时,传输门 TG1、TG2、TG3 导通,节点 n3、n6 和输出 Q 通过传输门保持正确的逻辑值。若此时电路的输入端 $D=0$,节点 n3、n6、Q 均为 0;CE1、CE5 两个 C 单元的输入分别为 n3 和 Q,因此 n1、n5 的值为 1;CE2、CE4 两个 C 单元的输入分别为 n6 和 Q,因此 n2、n4 的值为 1;CE3 的输入分别为 n1 和 n2,此时 n3 的值为 0;CE7 的输入分别为 n1b(由 n1 驱动的反相器产生)和 n3,故 n7 的值为 1。此时电路各节点的存储状态为:

$$(n1, n2, n4, n5)=1;$$

$$(n1b, n3, n4b, n6)=0;$$

$$(n7, n8)=1; Q=0.$$

因为电路本身是一个交叉互锁的对称结构,加之 C 单元本身的对称属性,所以当输入 $D=1$ 时,锁存器电路在透明期各节点的存储状态为:

$$(n1, n2, n4, n5)=0;$$

$$(n1b, n3, n4b, n6)=1;$$

$$(n7, n8)=0; Q=1.$$

当电路处于锁存期时($CLK=1$ 、 $CLKB=0$),传输门 TG1、TG2、TG3 关断,钟控 C 单元 CL-CE 导通,电路通过 C 单元和反相器形成闭合回路,并保持上述电路各节点的存储状态,实现锁存功能。

2.2 容错原理

根据之前所述,本文提出的锁存器是一个交叉互锁的对称结构,又由于 C 单元的对称特性,因此本小节只讨论输入端 $D=0$ 的情况。此时各节点的存储状态为:

$$(n1, n2, n4, n5, n7, n8)=1;$$

$$(n1b, n3, n4b, n6, Q)=0.$$

该锁存器可以实现对 DNU 的容忍,n1、n1b 和 n4、n4b 节点所产生的翻转对电路产生相同的影响,所以电路中可能翻转的节点有 9 个(n1~n8、Q),共有 $C_9^2=36$ 种情况。接下来,分别对每种情况进行分析。

2.2.1 节点(n1,n2)从(1,1)翻转为(0,0)

n1 和 n2 同时翻转会导致 CE3 发生翻转,所以 n3 和 n1b 翻转为 1,进而导致 CE7 的输出端 n7 翻转为 0,但是节点 n8 并未发生翻转,由于钟控 C 单元 CL-CE 的保持属性,输出端 Q 的值并未发生翻转;由于 Q 和 n6 的值并未发生翻转,锁存器会迅速通过 CE1 将节点 n1 的值上拉回正确值 1,实现自恢复。与此类似的 DNU 组合共有 6 种。

2.2.2 节点(n1,n3)从(1,0)翻转为(0,1)

节点 n1 的翻转经过反相器 INV1 的传播导致 n1b 的翻转。由于 n1b 和 n3 是 CE7 的两个输入,因此节点 n7 的值会翻转至 0。节点 n8 未发生翻转,由于 C 单元的保持属性,输出端 Q 的值不会发生变化,保持之前的逻辑值 0。CE1 的两个输入 n6 和 Q 均未发生翻转,从而及时将 n1 上拉回正确值 1,实现电路的自恢复。与此类似的 DNU 组合共有 4 种。

2.2.3 节点(n1,n7)从(1,1)翻转为(0,0)

C 单元 CE1 的输入是 n6 和 Q,n6 和 Q 并未发生翻转,所以会在短时间内使 n1 自恢复至正确值,此时 CE7 的两个输入 n1b 和 n3 都是正确值,n7 的值被迅速上拉至 1,不会导致输出端 Q 的翻转。与

此类似的 DNU 组合共有 6 种。

2.2.4 节点(n1,Q)从(1,0)翻转为(0,1)

钟控 C 单元 CL-CE 的输入 n7 和 n8 并未发生翻转,所以会在短时间内使输出端 Q 自恢复至正确值,此时 CE1 的两个输入 n6 和 Q 均为正确值 0,n1 的值被迅速上拉至正确值 1。与此类似的 DNU 组合共有 4 种。

2.2.5 节点(n7,n8)从(1,1)翻转为(0,0)

节点 n7,n8 的翻转会导致输出端 Q 的翻转。但是 CE7 的输入 n1b 和 n3 均未发生翻转,保持正确的逻辑值 0,所以会在短时间内将 n7 的值上拉至 1;同理翻转的节点 n8 也会在短时间内迅速恢复至正确值。当 n7 和 n8 恢复至正确值 1 时,钟控 C 单元(CL-CE)处于导通状态,会使输出端 Q 的值恢复为 0,实现对 DNU 的容忍。

2.2.6 节点(n7,Q)从(1,0)翻转为(0,1)

节点 n1 和 n3 的值并未发生翻转,CE7 的存在使得节点 n7 迅速恢复至正确值 1,n7 和 n8 经过 CL-CE 使输出端 Q 迅速恢复至 0,使得输出端 Q 的波形中只有一个经过单粒子轰击所产生的尖峰脉冲,而不会发生逻辑值的翻转。与此类似的 DNU 组合共有 2 种。

2.2.7 节点(n1,n8)从(1,1)翻转为(0,0)

通过观察发现,在闭合的反馈回路中,n1 和 n8 两个节点的传播路径中经过的最少 C 单元数目为 1 个,即发生翻转的两个节点不会通过同一个 C 单元相互影响。C 单元的保持属性不会使 CE3、CL-CE 的输出端 n3 和 Q 发生翻转。并且 CE1 和 CE8 的输入均没有发生翻转,经过单粒子轰击后会迅速下拉至 0,实现对 DNU 的容忍。在提出的锁存器电路中,类似(n2,n6)两个节点的传播路径中经过的最少 C 单元数目为 2 个时,发生翻转的节点也不会相互影响,可以实现对 DNU 的自恢复。与此类似的 DNU 组合共有 13 种。

为了验证所提出的锁存器容忍 DNU 的特性,当锁存器处于锁存期(CLK=1)时,在 HSPICE 中进行了上述 36 种翻转情况下的仿真验证。

3 仿真验证与性能评估

3.1 仿真验证

该电路采用 45 nm PTM 工艺模型,使用 Synopsys 公司的 HSPICE 仿真工具验证。其中供电电压 $V_{DD}=1$ V,温度为室温 25 °C,PMOS 管的宽

长比为 4:1,与之对应的 NMOS 管的宽长比为 2:1。仿真中使用双指数电流源模型^[9]模拟粒子轰击所产生的瞬态脉冲,表示如下:

$$I(t) = \frac{Q}{\tau_2 - \tau_1} (e^{-t/\tau_2} - e^{-t/\tau_1}) \quad (1)$$

式中, $I(t)$ 是节点收集引起的电流; Q 是粒子轰击后所产生的电荷量; τ_1 和 τ_2 是与工艺有关的时间常数。

采用 HSPICE 仿真工具对本文所提出的锁存器进行工作原理的仿真,锁存器在未发生 SEU 时的仿真结果如图 9 所示。

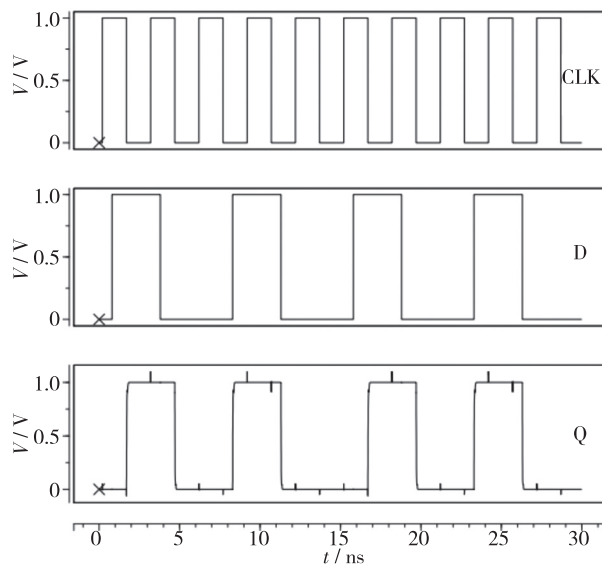


图9 未发生 SEU 的仿真波形

本文提出的锁存器中,当时钟信号 CLK=0 时,锁存器进入透明期,输出端 Q 的值与输入端 D 的值保持一致;当时钟信号 CLK=1 时,锁存器进入保持期,输出端保持时钟信号 CLK 上升沿时的逻辑值。

当锁存器处于保持期即 CLK=1 时,电路中发生 SEU 的仿真结果如图 10 所示。由于该锁存器具有容忍 DNU 的良好特性,因此在同一时刻均采用双指数电流源对两个节点进行故障注入。可以看出,当电路中的两个节点发生 DNU 时,最多只会影响与其相关的下一级 C 单元的输出端,加之 C 单元的保持属性,会使受影响的节点自恢复到正确值。因此,DNU 发生在锁存器内部以及输出端 Q 的任何两个节点,均可完全实现自恢复。

3.2 性能评估

本节主要从功耗、延迟、功耗延迟积、面积开销等方面对本文提出的锁存器以及之前已有的锁存器进行评估,结果如表 2 所示。其中,功耗延迟积用 PDP 表示,面积开销以 UST 表示,UST 为所有晶体

管的宽长比之和。由表 2 看出,本文提出的锁存器相比其他文献中的锁存器具有更小的功耗、延迟以及功耗延迟积。为了更加直观地分析本文工作的提升效果,通过相对变化率对容忍 DNU 的锁存器做更进一步的分析,分析结果如表 3 所示。相对变化率表达式为:

$$\text{相对变化率} = \frac{\text{本文设计结果} - \text{其他设计结果}}{\text{其他设计结果}} \times 100\% \quad (2)$$

表 3 列出了本文提出的锁存器与其他容忍 DNU 的加固锁存器的相对开销,包括相对功耗开销、相对延迟开销、相对面积开销以及相对 PDP。可以发现,与其他加固锁存器相比,本文提出的加固锁存器功耗平均下降了 34.86%,延迟平均下降了 59.00%,PDP 平均下降了 67.91%,实现这些性能的提升仅仅牺牲了 6.36%的面积开销。

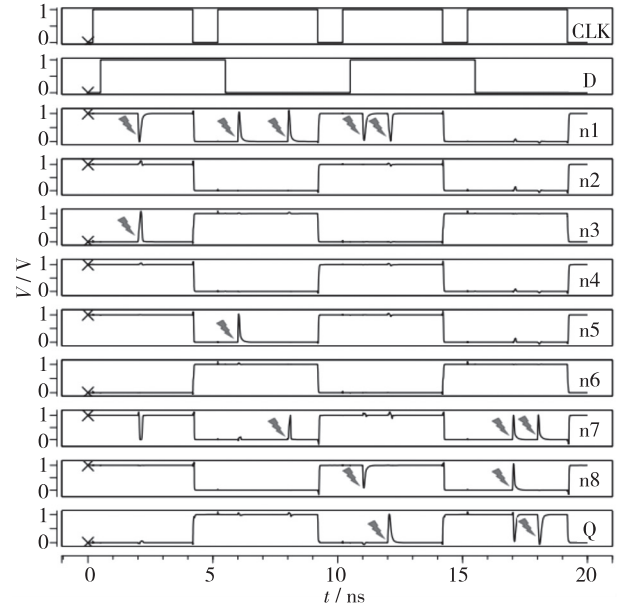


图 10 注入 DNU 的仿真波形

表 2 加固锁存器性能与开销比较

锁存器	功耗/ μW	延迟/ ps	PDP/ $(\times 10^{-18} \cdot \text{J})$	UST	SNU 容忍	DNU 容忍
DICE ^[3]	1.17	6.73	7.88	28	是	否
FERST ^[10]	1.63	73.16	119.32	78	是	否
TMR ^[11]	2.22	61.75	137.17	120	是	否
文献 ^[12]	0.63	29.68	18.6	54	是	否
DNCS-SEU ^[13]	2.47	67.32	166.5	120	是	是
NTHLTCH ^[4]	2.26	16.83	38.06	174	是	是
CLCT ^[14]	2.4	35.02	81.15	90	是	部分容忍
Delta DICE ^[5]	2.11	25.9	54.6	120	是	是
DNCS ^[6]	2.77	114.15	316.1	177	是	是
DONUT ^[15]	3.21	57.49	184.59	108	是	是
HRUT ^[16]	2.38	104.78	249.73	96	是	部分容忍
8C-Latch ^[17]	1.83	26.44	48.47	132	是	是
DIRT ^[7]	1.94	11.13	21.57	108	是	是
DNURL ^[18]	2.6	5.93	15.43	345	是	部分容忍
文献 ^[19]	1.72	43.83	75.39	138	是	是
DNURHL ^[8]	1.63	7.73	12.58	208	是	部分容忍
HLDRL ^[20]	2.65	15.76	41.7	156	是	是
DURTPF ^[21]	1.97	63.42	124.87	162	是	是
本文	1.47	7.28	10.7	144	是	是

表 3 相对开销比较(%)

锁存器	功耗	延迟	PDP	UST
DNCS-SEU ^[13]	-40.49	-89.18	-93.57	20.00
NTHLTCH ^[4]	-34.96	-56.74	-71.89	-17.24
CLCT ^[14]	-38.75	-79.21	-86.81	60.00
Delta DICE ^[5]	-30.33	-71.89	-80.40	20.00
DNCS ^[6]	-46.93	-93.62	-96.61	-18.64
DONUT ^[15]	-54.21	-87.34	-94.20	33.33
HRUT ^[16]	-38.24	-93.05	-95.72	50.00
8C-Latch ^[17]	-19.67	-72.47	-77.92	9.09
DIRT ^[7]	-24.22	-34.59	-50.39	33.33
DNURL ^[18]	-43.46	22.77	-30.65	-58.26

续表

锁存器	功耗	延迟	PDP	UST
文献 ^[19]	-14.53	-83.38	-85.81	4.34
DNURHL ^[8]	-9.81	-5.82	-14.94	-30.77
HLDRL ^[20]	-4.53	-53.81	-71.94	-7.69
DURTPF ^[21]	-25.38	-88.52	-91.43	-11.11
文献 ^[22]	-57.39	1.90	23.70	9.09
本文	-34.86	-59.00	-67.91	6.36

3.3 PVT 分析

随着集成电路工艺尺寸进入纳米范围,集成电路的性能表现对 PVT(Process Corner, Voltage, Temperature)波动异常敏感。本节对具有相同表

现的四个容忍 DNU 的锁存器(NTHLTCH,DIRT,HLDRL,本文提出的锁存器)进行了 PVT 分析,评估它们在不同 PVT 波动下功耗以及延迟的情况。

不同工艺角下的功耗与延迟如图 11 所示。可以看出,不同工艺角下,本文提出的锁存器加固结构仍保持最好的性能,而且在不同工艺角下延迟和功耗的波动也最小。DIRT 锁存器在 SS 工艺角(慢 N 慢 P)下波动最为严重,延迟增大近 10 倍。

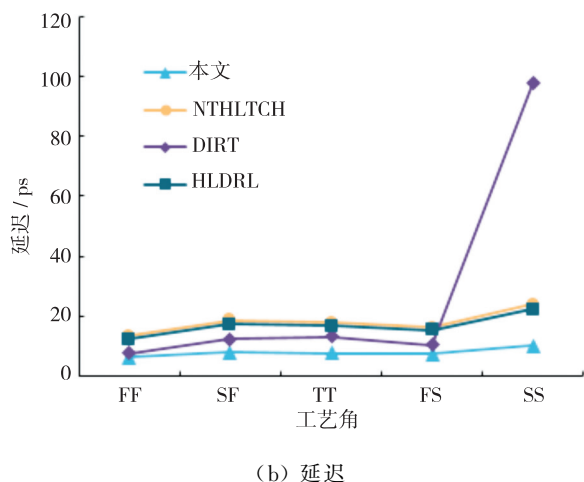
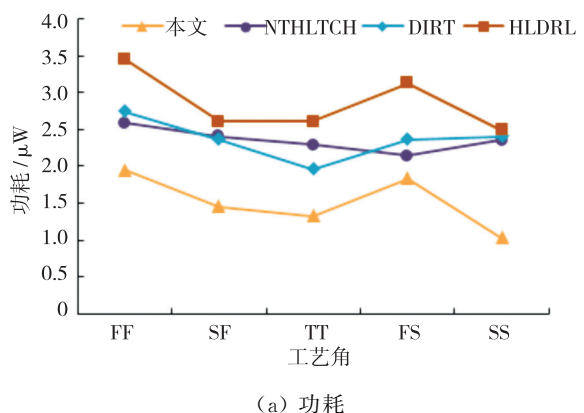
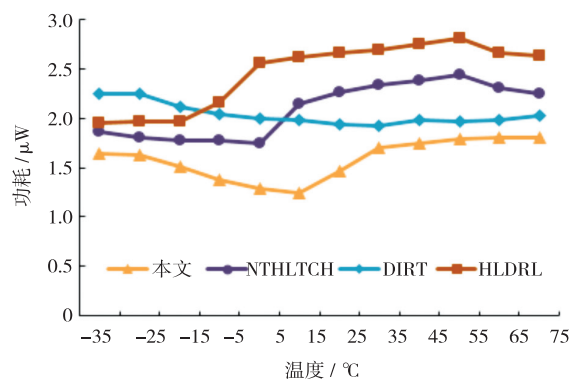


图 11 不同工艺角下的功耗与延迟仿真结果

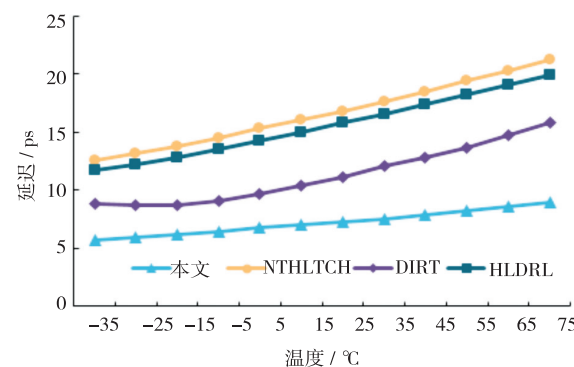
不同温度下的功耗与延迟如图 12 所示。可以看出,在不同的工作温度下,功耗方面 DIRT 的波动最小,延迟方面本文提出的结果波动最小,但是本文提出的锁存器加固结构在任何温度下性能最优。

不同供电电压下的功耗与延迟如图 13 所示。可以看出,不同供电电压下,四个锁存器加固结构的功耗均随供电电压的增大而增大,本文提出的锁存器加固结构在每种供电电压下仍保持最小的功耗开销;延迟方面,DIRT 波动最大,本文提出的锁存器加固结构在 1.2 V 以下仍保持了最优的性能。

综上所述,本文提出的锁存器结构对 PVT 变化不敏感,波动较小,并且具有更优的性能。

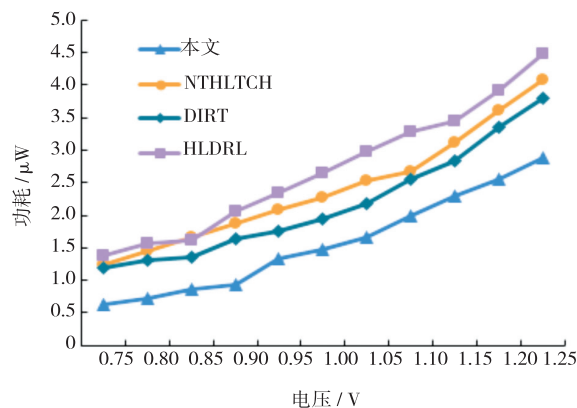


(a) 功耗

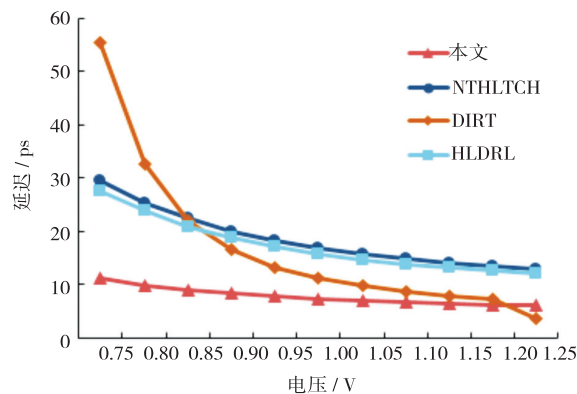


(b) 延迟

图 12 不同温度下的功耗与延迟仿真结果



(a) 功耗



(b) 延迟

图 13 不同供电电压下的功耗与延迟仿真结果

4 总 结

CMOS 工艺尺寸的进一步缩小使得集成电路对空间辐射引起的 SEU 愈发敏感,由于电荷共享等的影响,锁存器发生 SEU 时不再是传统的 SNU,会导致锁存器内部的 DNU。本文提出了一种新型的容忍 DNU 加固锁存器,可以完全容忍发生在任何内部节点以及输出节点的 DNU。HSPICE 仿真结果表明,相比于其他 DNU 加固锁存器,本文提出的锁存器功耗平均下降了 34.86%,延迟平均下降了 59.00%,PDP 平均下降了 67.91%,仅仅牺牲了 6.36%的面积开销。PVT 分析表明,该锁存器结构受 PVT 波动的影响较小,对电压、温度、工艺等的变化不敏感。

参 考 文 献:

- [1] AMUSAN O A, WITULSKI A F, MASSENGILL L W, et al. Charge collection and charge sharing in a 130 nm CMOS technology [J]. *IEEE Trans Nucl Sci*, 2006, 53(6): 3253-3258.
- [2] SHE X, LI N, TONG J. SEU tolerant latch based on error detection [J]. *IEEE Trans Nucl Sci*, 2012, 59(1): 211-214.
- [3] CALIN T, NICOLAIDIS M, VELAZCO R. Upset hardened memory design for submicron CMOS technology [J]. *IEEE Trans Nucl Sci*, 1996, 43(6): 2874-2878.
- [4] LI Y, WANG H, YAO S, et al. Double node upsets hardened latch circuits [J]. *J Elec Test*, 2015, 31(5-6): 537-548.
- [5] EFTAXIOPOULOS N, AXELOS N, ZERVAKIS G, et al. Delta DICE: a double node upset resilient latch [C] // *IEEE 58th Int MWSCAS*. Fort Collins, CO, USA, 2015: 1-4.
- [6] KATSAROU K, TSIATOUHAS Y. Soft error interception latch: double node charge sharing SEU tolerant design [J]. *Elec Lett*, 2015, 51(4): 330-332.
- [7] EFTAXIOPOULOS N, AXELOS N, PEKMESTZI K. DIRT latch: a novel low cost double node upset tolerant latch [J]. *Microelec Reliab*, 2017, 68: 57-68.
- [8] YAN A, YANG K, HUANG Z, et al. A double-node-upset self-recoverable latch design for high performance and low power application [J]. *IEEE Trans Circ Syst II: Expr Bri*, 2018, 66(2): 287-291.
- [9] SHESHADRI V B, BHUVA B L, REED R A, et al. Effects of multi-node charge collection in flip-flop designs at advanced technology nodes [C] // *IEEE Int Reliab Phys Symp*. Anaheim, CA, USA, 2010: 1026-1030.
- [10] FAZELI M, MIREMADI S G, EIJLALI A, et al. Low energy single event upset/single event transient-tolerant latch for deep submicron technologies [J]. *IET Comp Dig Tech*, 2009, 3(3): 289-303.
- [11] STROUD C E. Reliability of majority voting based VLSI fault-tolerant circuits [J]. *IEEE Trans VLSI Syst*, 1994, 2(4): 516-521.
- [12] AMIRANY A, RAJAEI R. Low power, and highly reliable single event upset immune latch for nanoscale CMOS technologies [C] // *ICEE*. Mashhad, Iran, 2018: 103-107.
- [13] KATSAROU K, TSIATOUHAS Y. Double node charge sharing SEU tolerant latch design [C] // *IEEE 20th IOLTS*. Catalunya, Spain, 2014: 122-127.
- [14] HUI X, YUN Z. Circuit and layout combination technique to enhance multiple nodes upset tolerance in latches [J]. *IEICE Elec Expr*, 2015, 12(9): 1-7.
- [15] EFTAXIOPOULOS N, AXELOS N, PEKMESTZI K. DONUT: a double node upset tolerant latch [C] // *IEEE Comp Society Annual Symp VLSI*. Montpellier, France, 2015: 509-514.
- [16] RAJAEI R, TABANDEH M, FAZELI M. Single event multiple upset (SEMU) tolerant latch designs in presence of process and temperature variations [J]. *J Circ, Syst and Comp*, 2015, 24(1): 1550007.
- [17] LIANG H, LI X, HUANG Z, et al. Highly robust double node upset resilient hardened latch design [J]. *IEICE Trans Elec*, 2017, 100(5): 496-503.
- [18] YAN A, HUANG Z, YI M, et al. Double-node-upset-resilient latch design for nanoscale CMOS technology [J]. *IEEE Trans VLSI Syst*, 2017, 25(6): 1978-1982.
- [19] YAN A, HUANG Z, FANG X, et al. Single event double-upset fully immune and transient pulse filterable latch design for nanoscale CMOS [J]. *Microelec J*, 2017, 61: 43-50.
- [20] 黄正峰, 姚慧杰, 李先东, 等. 一种高性能低功耗的双节点翻转加固锁存器 [J]. *合肥工业大学学报(自然科学版)*, 2019(12): 1649-1654.
- [21] YAN A, HU Y, SONG J, et al. Single-event double-upset self-recoverable and single-event transient pulse filterable latch design for low power applications [C] // *DATE*. Florence, Italy, 2019: 1679-1684.
- [22] YAMAMOTO Y, NAMBA K. Construction of latch design with complete double node upset tolerant capability using C-element [C] // *IEEE Int Symp DFT*. Chicago, IL, USA, 2018: 1-6.

一种系统级封装的 ESD 保护技术

李 搏, 李健壮, 干旭春, 黄晓宗

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 介绍了一种系统级封装(SiP)的 ESD 保护技术。采用瞬态抑制二极管(TVS)构建合理的 ESD 电流泄放路径,实现了一种 SiP 的 ESD 保护电路。将片上核心芯片的抗 ESD 能力从 HBM 2 000 V 提升到 8 000 V。SiP ESD 保护技术相比片上 ESD 保护技术,抗 ESD 能力提升效果显著,缩短了开发周期。该技术兼容原芯片封装尺寸,可广泛应用于 SiP 类产品开发中。

关键词: ESD; 系统级封装; 瞬态抑制二极管

中图分类号:TN406

文献标志码: A

文章编号:1004-3365(2021)02-0211-05

DOI:10.13911/j.cnki.1004-3365.200305

A Kind of ESD Protection Technology Using System in Package

LI Bo, LI Jianzhuang, GAN Xuchun, HUANG Xiaozong

(The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: A kind of electrostatic discharge (ESD) protection technology using system in package (SiP) was presented. A SiP ESD protection circuit was realized by using TVS diodes to construct a reasonable ESD current discharge path. The anti ESD capability of core chip was improved from HBM 2 000V to 8 000V. Compared with the on chip ESD protection technology, the SiP ESD protection technology could significantly improve the ESD ability, shorten the design cycle, and be compatible with the original chip package size, which could be widely used in the product of SiP circuit.

Key words: electrostatic discharge (ESD); system in package (SiP); TVS

0 引 言

随着集成电路的工艺特征尺寸不断缩小,集成电路的性能不断提升,但集成电路的抗 ESD 能力面临着更大的挑战。ESD 保护是一个系统性的工程,涉及电路设计、工艺、封装、测试、包装、运输等环节^[1]。在设计方面,ESD 保护可以分为芯片级 ESD 保护和系统级 ESD 保护。芯片级 ESD 保护通常受到工艺的限制,不同工艺间的可移植性差,片上 ESD 保护器件的寄生效应可能会影响芯片本身的性能,片上 ESD 保护设计难度大、周期长、成本高。

相比于片上 ESD 保护,系统级 ESD 保护则不受工艺的限制,可以灵活选择不同种类的 ESD 保护器件,具备 ESD 保护效果更显著、设计周期更短、成本更低的优势。传统的系统级 ESD 保护通过 PCB 板,在需要 ESD 保护的器件周围放置分立的 ESD 保护器件^[2]。虽然可以提升电路的抗 ESD 能力,但是分立的 ESD 保护器件会占用较大的空间,无法实现小体积,在高密度集成应用中会受到限制。

本文研究了一种系统级封装(System in Package, SiP)的 ESD 保护技术,以 SiP 的形式,在电路封装内部集成 TVS 二极管芯片,不仅提升了核心芯片的抗 ESD 能力,且实现了电路的小型化。

文章第 1 节针对一款 RS485 接口芯片,分析片

收稿日期:2020-07-04;定稿日期:2020-08-12

基金项目:模拟集成电路国家重点实验室基金资助项目(614280204030317)

作者简介:李 搏(1989—),男(汉族),重庆江津人,硕士,工程师,从事混合集成电路研究。

上 ESD 保护设计和 ESD 失效模式;第 2 节介绍基于 SiP 的 ESD 保护设计;第 3 节通过静电放电试验来验证本设计的有效性;第 4 节给出结论。

1 ESD 失效分析

1.1 片上保护分析

本设计的核心芯片为一款 RS485 接口芯片,包含 1 路信号接收电路(接收器)和 1 路信号发送电路(驱动器)。为了提高芯片抗静电能力,该芯片在电源-地之间,输入、输出端口均作了片上 ESD^[3] 保护。

驱动器输入端 ESD 保护电路如图 1 所示。驱动器输入端引脚构建了引脚-电源、引脚-地之间的泄放路径,分为两级保护网络。第一级保护网络用于将电压箝位的安全区域,若第一级保护网络无法达到预期效果,则限流电阻通过分压,通过第二级保护网络将电压箝位到安全区域。

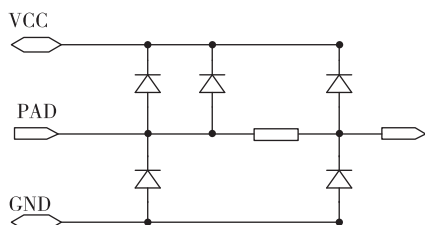


图 1 驱动器输入端 ESD 保护电路

驱动器输出端、接收器输入端 ESD 保护电路如图 2 所示。驱动器输出端、接收器输入端则是通过在引脚-电源、引脚-地之间增加双向二极管结构来实现端口双向静电泄放路径。

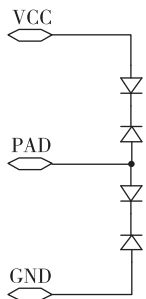


图 2 驱动器输出端、接收器输入端 ESD 保护电路

接收器输出端通过增加输出端引脚-电源、引脚-地端口之间的泄放路径来实现 ESD 保护,如图 3 所示,实现方式为在输出端引脚-电源-地之间构建单向二极管保护电路。

电源/地 ESD 保护电路如图 4 所示。为了避免电源-地之间的电源域受到 ESD 电流损伤,在该电

源域之间增加了二极管,以提供静电泄放通路,同时利用二极管的寄生电容,为电源提供去耦电容,维持了电源电压的稳定性,提高了电路输出信号的完整性。

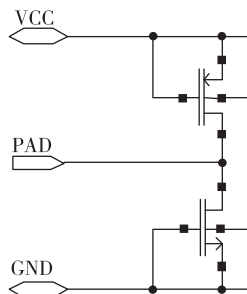


图 3 接收器输出端 ESD 保护电路

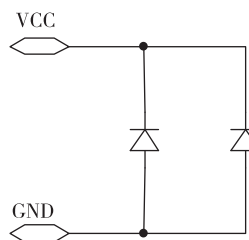


图 4 电源/地 ESD 保护电路

1.2 ESD 失效分析

对 RS485 接口芯片进行 HBM^[4] ESD 2 000 V 冲击后测试,主要电参数如表 1 所示。可以看出,驱动器差分输出电压、驱动器输出短路电流、驱动器输入电流、静态电源电流参数均出现超差,ESD 试验对芯片造成了损伤,导致芯片功能失效,抗 ESD 能力不满足 2 000 V。通过镜检和分析,发现该芯片的 ESD 失效主要为输入端电阻损坏和片上保护二极管损坏两个原因。

1.2.1 输入端电阻

在图 1 所示的驱动器输入端 ESD 保护电路中,限流电阻阻值为 1.5 k Ω 。在芯片设计过程中,为了节省芯片版图布局,大部分内部电路版图都是根据工艺允许的最小尺寸进行设计,而小尺寸的元件被 ESD 电压损坏的几率更大^[5]。因此,如果第一级保护网络未发挥作用,则限流电阻和第二级保护网络在短时间内需承受大电流冲击,而限流电阻首当其冲,当冲击在电阻体上产生的热量超过其耐受程度,则会造成限流电阻的损坏^[6],导致驱动器输入端电流严重偏高。

1.2.2 片上保护二极管

本设计接口芯片中,驱动器输出引脚分别通过双向二极管结构连接电源和地,在芯片设计过程中,

片上二极管^[7]通过 MOS 管栅源相接构成,因此其反向击穿电压由 MOS 管的栅源、栅漏之间的距离以及栅的宽长比决定。若设计的 MOS 管的反向击

穿电压不足,则在 ESD 冲击时,反向二极管被热击穿,产生损伤,导致驱动器输出短路电流因反向二极管漏电而急剧变大。

表 1 RS485 接口芯片 2 000 V 试验后主要电参数

测试参数	驱动差分输出 电压/V			驱动器输出 短路电流/mA		驱动器 输入电流/ μA	接收器输入 电流/mA		静态电 源电流/ mA	接收器输 出高电 平/V	接收器输 出低电 平/V	接收器短 路输出电 流/mA	
	V_{OD1}	V_{OD2}	V_{OD3}	I_{OSD1}	I_{OSD2}		I_{INR1}	I_{INR2}	I_{CC}	V_{OH}	V_{OL}	I_{SCR1}	I_{SCR2}
要求	≥ 2	≥ 1.5	≥ 1.5	≥ -250	≤ 250	$-2 \sim 2$	≤ 1.0	≥ -0.8	≤ 2.2	≥ 2.9	≤ 0.4	≤ -8	≥ 8
1	0.39	0.23	1.71	-267.4	4.41	3.11	0.43	-0.35	2.63	3.23	0.04	-91.40	99.14
2	0.00	0.00	0.58	-258.4	1.14	2.45	0.42	-0.35	2.23	3.23	0.04	-90.23	99.58
3	0.02	0.01	2.51	-216.6	0.56	1.56	0.43	-0.35	0.88	3.23	0.04	-90.42	99.72

2 ESD 保护设计

2.1 片上增强方案和系统增强方案对比

为了增强该接口芯片的 ESD 防护能力,可以采用以下两种静电增强方案:一是通过片上增强静电保护,二是通过系统级增强静电保护。片上静电增强方案为增大限流电阻阻值、调整 MOS 管的栅源、栅漏之间的距离以及栅的宽长比。系统级静电^[8]增强方案是根据片上 ESD 保护结构,维持片上芯片不变,外围合理增加泄放路径。片上静电增强方案和系统级增强方案的对比如表 2 所示。

表 2 片上增强方案和系统增强方案的对比

方案	预估 ESD 提升效果	开发 成本	开发 周期	可测性
片上增强方案	有限	高	长	弱
系统级增强方案	显著	低	短	强

可以看出,系统级增强方案 ESD 提升效果预估比片上增强方案更显著,开发成本更低,开发周期更短,可测性更强,测试方案简单,因此本文采用系统级增强方案。

2.2 系统级 ESD 保护技术

系统级 ESD 保护技术主要针对片上输入、输出端口、电源-地之间设计合理静电泄放路径,图 5 和图 6 分别为未添加系统级 ESD 保护电路和添加系统级 ESD 保护电路的电源与地之间静电泄放路径。

对比图 5 与图 6,可以看出,未加系统级 ESD 保护电路时,静电放电电流通过输入引脚进入,途经片上静电保护电路,流向电源,最终随电源路径进入核

心芯片,因此对核心芯片造成静电损伤;而添加系统级 ESD 保护电路时,静电放电电流通过输入引脚进入,途经系统级和片上静电保护电路流向电源,最终直接从保护电路流出,未经过核心芯片,因此未对核心芯片造成损伤。

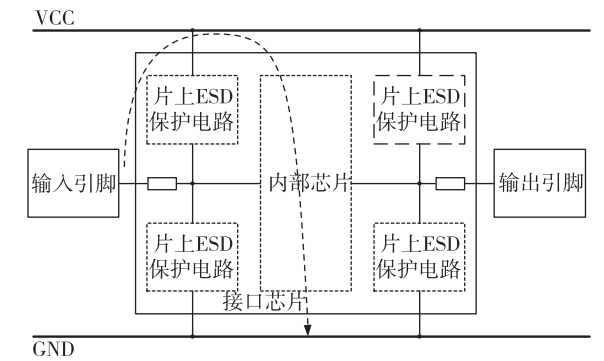


图 5 未加系统级静电保护电路的静电放电路径

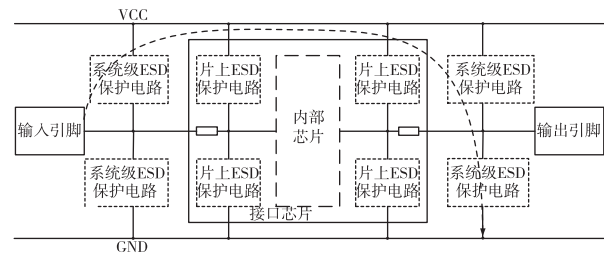


图 6 添加系统级静电保护电路的静电放电路径

此外,需要对片上保护和系统级保护器件的特性进行合理搭配。在受到 ESD 冲击时,主要的冲击电流通过系统级的泄放器件,剩余的电流可通过片上 ESD 保护结构泄放,片上和系统级协同 ESD 保护设计如图 7 所示。系统级保护只有比片上保护更早开启,并且承受更大的泄放电流,才能达到提升 ESD 保护能力的目的。

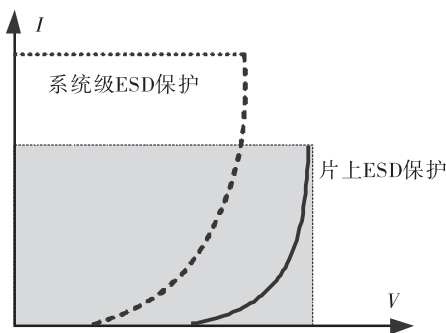


图 7 片上和系统级协同 ESD 保护设计

根据以上理论,本设计采用 TVS 二极管来实现系统级 ESD 保护。图 8 所示为单向 TVS 管的特性曲线。

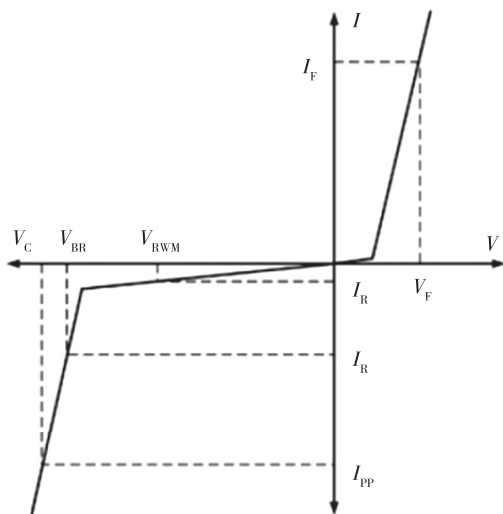


图 8 单向 TVS 管的特性曲线

图中, I_F 为正向导通电流, V_F 为正向导通电压, V_{RWM} 为额定反向关断电压, I_R 为 V_{RWM} 电压下最大反向漏电流, V_{BR} 为击穿电压, V_C 为反向电流达到峰值 I_{PP} 时的箝位电压^[9]。

根据 TVS 管的器件特性以及该接口芯片端口电气特性,选择的 TVS 二极管参数如表 3 所示。

表 3 TVS 管参数

型号	V_{RWM}/V	I_R/nA	V_{BR}/V	V_C/V
(8 μs / 20 μs) ^a				
SM05	5	20	6	9.8
SM12	12	20	13.3	20
SM7	7	1	7.5	10

^a:测试波形上升时间 8 μs ,下降到半峰值电流时间 20 μs

系统级 ESD 保护电路方案如图 9 所示。在接口芯片的驱动器输出端口 PAD5、PAD6 和接收器

的输入端口 PAD7、PAD8 均添加了双向到地的 TVS 管。一旦端口电压超过 12 V,TVS2 将开启工作,当端口电压低于 -7 V 时,则 TVS3 开启工作,提供了端口和地之间的双向泄放通路。由于面积限制,PAD5、PAD6、PAD7、PAD8 没有添加到电源的 TVS 管,但是在电源 PAD1 和地 PAD4 之间添加了双向的 TVS 管,也可以为 PAD5、PAD6、PAD7、PAD8 提供对电源的泄放通路。另外在驱动器输入端口 PAD3 添加了到电源和到地的单项 TVS 管,以提供到电源和到地的泄放路径。所以系统级 ESD 保护电路与片上 ESD 保护电路协同工作,提升接口芯片的 ESD 承受能力。

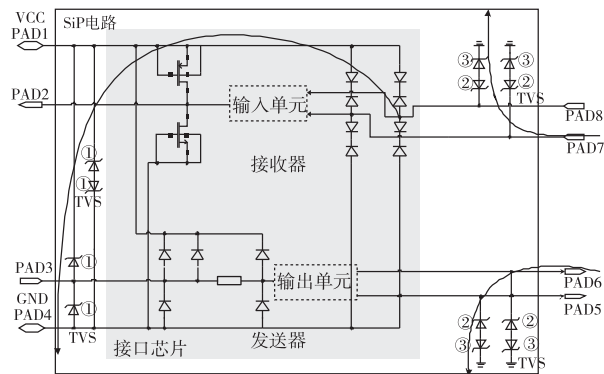


图 9 系统级 ESD 保护技术方案

3 试验结果与分析

基于以上分析,采用图 9 所示的系统级 ESD 保护技术方案,通过 SiP 封装工艺^[10],在定制化外壳内集成了多颗 TVS 管芯片和一颗 RS485 接口芯片,外形尺寸与原 RS485 芯片封装兼容。对 SiP 电路进行 HBM 8 000 V ESD 冲击,并对冲击后的 SiP 电路进行参数测试,其主要参数测试结果如表 4 所示,电路的参数满足要求。说明 SiP 电路在受到 ESD 冲击时,系统级 ESD 保护电路发挥作用,对接口芯片进行了有效的保护,使 SiP 电路的抗 ESD 性能从 2 000 V 提升至 8 000 V。

4 结 论

本文介绍了一种基于 SiP 的 ESD 保护技术,重点分析了核心芯片片上 ESD 保护电路的失效原因,设计了系统级 ESD 保护方案,通过片外 TVS 管增加 ESD 泄放路径,达到系统级 ESD 保护电路与片上 ESD 保护电路协同工作的目的。

表 4 SiP 电路 8 000 V 试验后主要电参数

测试 参数	驱动差分 输出电压/ V			驱动器输出 短路电流/ mA		驱动器 输入电流/ μ A	接收器 输入电流/ mA		静态电源 电流/ mA	接收器输 出高电 平/V	接收器输 出低电 平/V	接收器短路 输出电流/ mA	
	V_{OD1}	V_{OD2}	V_{OD3}	I_{OSD1}	I_{OSD2}	I_{IND}	I_{INR1}	I_{INR2}	I_{CC}	V_{OH}	V_{OL}	I_{SCR1}	I_{SCR2}
要求	≥ 2	≥ 1.5	≥ 1.5	≥ -250	≤ 250	$-2\sim 2$	≤ 1.0	≥ -0.8	≤ 2.2	≥ 2.9	≤ 0.4	≤ -8	≥ 8
1	2.52	2.08	2.06	-0.19	0.11	0.10	0.40	-0.28	1.18	3.24	0.04	-12.40	94.17
2	2.52	2.09	2.05	-0.10	0.14	0.11	0.40	-0.28	1.15	3.25	0.04	-12.37	93.51
3	2.50	2.06	2.03	-0.15	0.13	0.24	0.40	-0.28	1.17	3.25	0.04	-12.38	92.78

基于 SiP 封装技术实现了该系统级 ESD 保护方案,不仅兼容了原芯片的封装尺寸,而且设计周期短,成本低。ESD 试验测试结果显示,系统级 ESD 保护技术使核心芯片的抗 ESD 性能从 2 000 V 提升至 8 000 V。

参 考 文 献:

[1] TAMMINEN P, VIHIERIAKOSKI T, UKKONEN L, et al. ESD and disturbance cases in electrostatic protected areas [C] // 37th EOS/ESD. Reno, NV, USA. 2015: 1-7.

[2] 彭圻平, 阮军洲, 刘永恩. 电子设备中的 ESD 保护设计 [J]. 无线电工程, 2013, 43(6): 61-64.

[3] 李明亮. 集成电路典型工艺下 I/O 电路及片上 ESD 防护设计研究 [D]. 杭州: 浙江大学, 2011.

[4] 陆坚. IC 静电放电的测试 [J]. 电子与封装, 2004, 4(1): 37-43.

[5] 黄晓宗, 干旭春, 刘凡, 等. 系统级封装的片上和板级协同 ESD 保护方案 [J]. 微电子学, 2018, 48(2): 141-145.

[6] TAMMINEN P, SYDANHEIM T, UKKONEN L. ESD sensitivity of 01005 chip resistors and capacitors [C] // 36th EOS/ESD. Tucson, AZ, USA. 2014: 1-9.

[7] 陈志钧. CMOS 集成电路 ESD 保护技术的研究和设计 [D]. 成都: 电子科技大学, 2012.

[8] Texas Instruments. Application report SLAA530, MSP430™ system-level ESD considerations [Z]. 2012.

[9] 郭瑶, 徐晓英, 叶宇辉, 等. TVS 二极管标称参数与静电放电防护能力研究 [J]. 固体电子学研究与进展, 2015, 35(4): 383-387.

[10] 杨立功. 高密度系统集成工艺技术研究 [D]. 成都: 电子科技大学, 2014.

一种低插损高隔离度毫米波 SPDT 开关

彭 雄¹, 刘 韬^{2,3}, 陈 昆^{2,3}, 乔 哲¹

(1. 中电科技集团重庆声光电有限公司, 重庆 401332; 2. 重庆西南集成电路设计有限责任公司, 重庆 401332;
3. 中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 基于 55 nm CMOS 工艺, 设计了一种工作于 28 GHz 的对称型单刀双掷(SPDT) 开关。采用串并联拓扑结构实现高隔离度, 通过 MOS 管与电感器构成的开关电感进行 LC 阻抗匹配, 从而实现了低插入损耗和较小芯片面积。开关管采用悬浮衬底设计, 减小了插入损耗, 提高了线性度。仿真结果表明, 该 SPDT 开关在工作频率下, 插入损耗小于 1.7 dB, 隔离度大于 30 dB, 输入输出回波损耗小于 -20 dB, 输入 1 dB 压缩点为 12 dBm。芯片尺寸为 240 μm $\times$ 180 μm 。

关键词: SPDT 开关; 开关电感; 浮体; CMOS 工艺

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0216-05

DOI: 10.13911/j.cnki.1004-3365.200424

A Low Loss High Isolation Millimeter Wave SPDT Switch

PENG Xiong¹, LIU Tao^{2,3}, CHEN Kun^{2,3}, QIAO Zhe¹

(1. Chongqing Acoustic-Optic-Electronic Co., Ltd. of China Electronics Technology Group Corp., Chongqing 401332, P. R. China ;
2. Chongqing Southwest Integrated Circuit Design Co., Ltd., Chongqing 401332, P. R. China;
3. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: A symmetrical SPDT switch working at 28 GHz was designed in a 55 nm CMOS process. The series-parallel structure was used to realize high isolation. The LC impedance matching was carried out by the switch inductor composed of MOS transistor and inductor, so as to achieve low insertion loss and small chip area. The body-floating technology was used to improve the insertion loss and linearity. The simulation results showed that the insertion loss of the SPDT switch was less than 1.7 dB, the isolation was more than 30 dB, the return loss of the input and output was less than -20 dB, and the input 1dB compression point was 12 dBm. The chip size was 240 μm $\times$ 180 μm .

Key words: SPDT switch; switching inductor; body floating; CMOS process

0 引 言

在高数据速率的 5G 应用中, 25~30 GHz 波段毫米波的载波频率更高, 信号带宽更宽, 频带资源更丰富, 受到了人们的青睐^[1]。射频开关作为 5G 系统射频前端模块中的核心单元之一, 用于收发通道的切换, 直接影响着 5G 通信系统的噪声系数和发射功率等关键指标。随着 5G 通信的迅速发展, 业

界对于射频开关的小型化、低成本提出了更高的要求^[2-3]。

传统微波开关采用 GaAs 或 GaN 等化合物半导体工艺设计和制造。随着 Si 工艺的不断展, 特征尺寸不断减小, Si 基 MOS 管的导通电阻、关断电容逐渐降低。Si 工艺凭借高集成度和低成本的优势, 已逐渐被用于微波和毫米波开关的设计。受 MOS 管的寄生效应(如衬底寄生电容)的影响, Si 工艺制作的微波、毫米波开关通常插入损耗较大, 端

收稿日期: 2020-09-16; 定稿日期: 2020-10-25

基金项目: 模拟集成电路国家重点实验室基金资助项目(6142802011503)

作者简介: 彭 雄(1978—), 男(汉族), 重庆人, 高级工程师, 硕士研究生, 主要从事射频 SAW 及微电子应用技术研究。

口回波损耗较差,通道间隔离度低^[4-6]。

本文基于标准 Si 基 55 nm CMOS 工艺,设计了一种 SPDT 毫米波开关。采用匹配开关电感的设计,在高频下实现了良好的端口阻抗匹配。采用悬浮衬底的设计,减小了信号经由衬底的泄漏。仿真结果表明,在 28 GHz 频点下,该 SPDT 开关实现了小于 1.7 dB 的插入损耗、大于 30 dB 的隔离度和小于 -20 dB 的回波损耗。

1 开关电路设计

1.1 开关电路结构

在 Si 基工艺中, NMOS 管的载流子迁移率显著高于 PMOS 管, 因而 NMOS 管的导通电阻小于相同尺寸的 PMOS 管。所以, 本文设计的微波开关中的开关管均采用 NMOS 管。

典型 NMOS 管结构如图 1 所示。衬底为 P 型半导体, 两侧为 n 型重掺杂的源极区、漏极区, 栅极通过氧化层隔开。通过控制 NMOS 管的栅极电压实现开关的关断、导通。当 NMOS 管栅源电压 V_{GS} 大于阈值电压 V_{TH} 时, 源漏间形成了导电沟道, 开关导通; 当 V_{GS} 小于 V_{TH} 时, 开关关断。

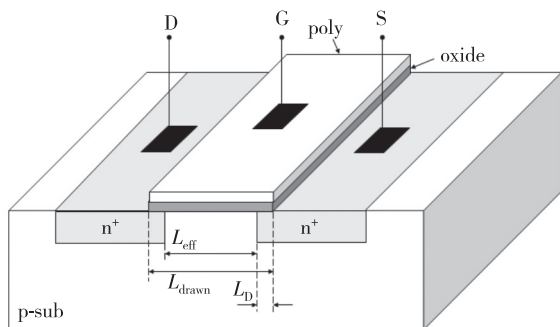


图1 典型 NMOS 管的结构

微波开关可分为串联型和串并联型两种。串联型开关在信号通道上只有串联的 NMOS 管, 插入损耗较小, 但信号通道上缺少了对地的并联支路, 开关在高频下的隔离度较差。本文微波开关采用串并联结构, 在串联开关结构中引入对地的并联支路, 通过牺牲一定的插入损耗换取更好的隔离度。

本文设计的对称型 SPDT 微波开关原理如图 2 所示。NMOS 管 M1、M2、M3 和 M4 作为开关管, 构成串并联开关的主体结构。整体开关集成了电平转换电路、逻辑控制电路。通过一个控制端 (V_{select}) 实现开关通道的切换, 控制端电平与 TTL 电平、

CMOS 电平兼容, 具有很强的通用性。

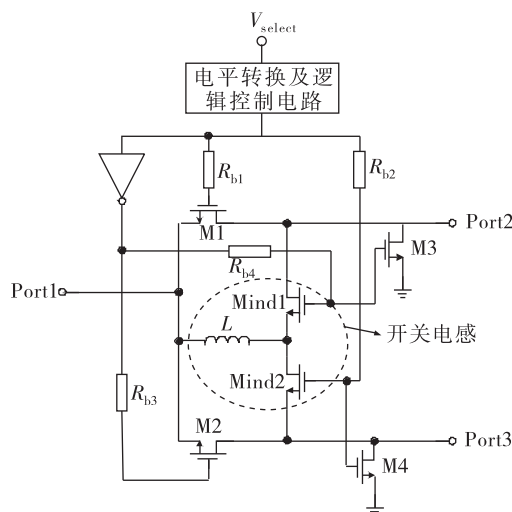
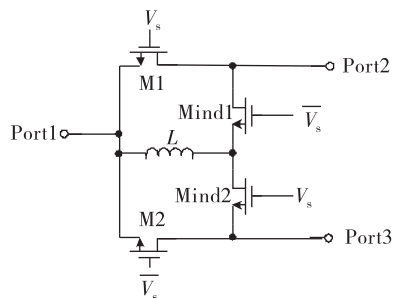


图2 对称型 SPDT 开关原理图

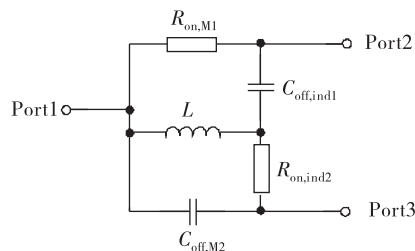
开关电感 (SI) 由一个电感 (L) 和两个 MOS 管 (Mind1、Mind2) 构成。该开关电感与关断状态下开关管的关断电容 (C_{off}) 谐振, 降低了开关的插入损耗, 提高了隔离度。同时, 避免了匹配网络的使用, 减小了芯片面积。

1.2 开关电感

开关电感的原理图如图 3(a) 所示, Port1 端到 Port2 端导通时的等效电路如图 3(b) 所示。



(a) 电路结构



(b) Port1 端到 Port2 端导通时的等效电路

图3 开关电感及等效电路原理图

Port1 端到 Port2 端导通时, M1 管导通, M2 管关闭; 同时, Mind1 管关闭, Mind2 管导通。导通和关闭的 MOS 管分别等效为一个小电阻 (R_{on}) 和一

个小电容(C_{off})。

假设 $R_{\text{on}, M1}$ 和 $R_{\text{on}, \text{ind}2}$ 远小于 C_{off} 的等效阻抗, 则由电感 L 和电容 $C_{\text{off}, M2}$ 构成的 LC 网络的谐振频率近似表示为:

$$\omega^2 \approx \frac{1}{L(C_{\text{off}, M2} + C_{\text{off}, \text{ind}1})} \quad (1)$$

式中, ω 为信号角频率, $\omega = 2\pi f$ 。

在该谐振频率附近, Port1 端到 Port2 端呈现低阻态, 具有低的插入损耗; Port1 端到 Port3 端呈现高阻态, 具有高的隔离度。

为了使插入损耗和隔离度均最优, 要合理选择 M1、M2 管的尺寸。通过增加开关管的宽度, 降低导通电阻 R_{on} , 减小插入损耗, 但关断电容 C_{off} 会显著增加, 使隔离度降低。

55 nm CMOS 工艺下, NMOS 管 R_{on} 、 C_{off} 随栅宽的变化曲线如图 4 所示。适当增大开关管尺寸, 将 R_{on} 降低到 5Ω 以下, C_{off} 控制在 40 fF 以内。

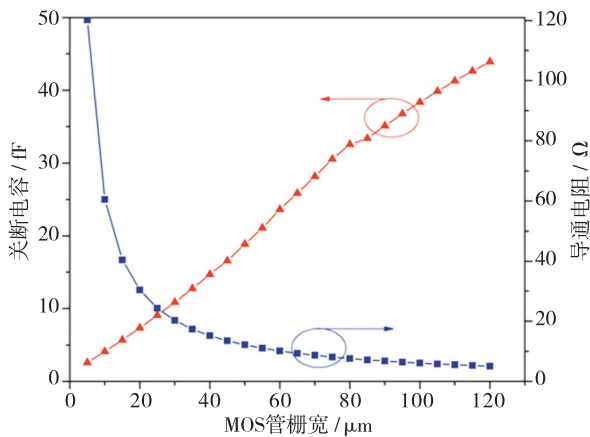


图 4 NMOS 管 R_{on} 、 C_{off} 随栅宽的变化曲线

为进一步提高性能, 需要对 Mind1、Mind2 管的尺寸优化。定义 Mind1、Mind2 管的关断电容 $C_{\text{off}, \text{ind}}$ 和 M1、M2 管的关断电容 $C_{\text{off}, M}$ 之比为 k , 为:

$$k = \frac{C_{\text{off}, \text{ind}}}{C_{\text{off}, M}} \quad (2)$$

28 GHz 频率下, 插入损耗和隔离度随 k 值的变化曲线如图 5 所示。可以看出, 当 k 值为 $0.4 \sim 0.5$ 范围时, 插入损耗和隔离度均达到最优。因此, 取 k 值为 $0.4 \sim 0.5$, 当 M1、M2 管的尺寸选定后, Mind1、Mind2 管的尺寸即可确定。

1.3 开关管悬浮衬底设计

为进一步减小插入损耗, 提高开关的线性度, 该微波开关中, 开关管采用悬浮衬底的设计, 能有效避免衬底电流对插入损耗的影响, 改善射频性能。

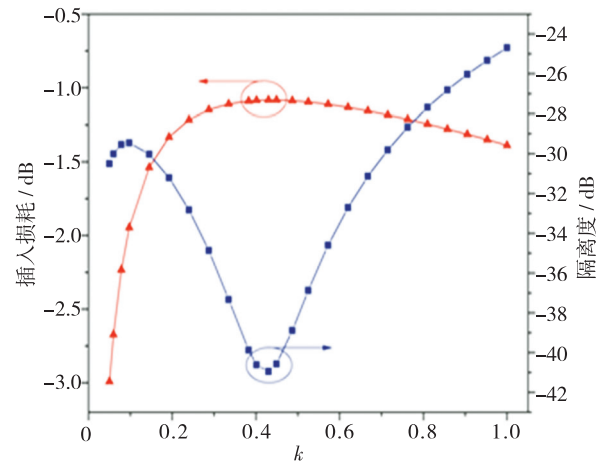


图 5 插入损耗和隔离度随 k 值的变化曲线

悬浮衬底设计的原理如下。将深 N 阱中 NMOS 开关管的体端浮空, 或连接一个大电阻 (几千欧姆) 到地, 使衬底呈现交流浮空的状态。同时, 在深 N 阱上串联一个大电阻, 避免信号由深 N 阱泄漏至电源。

导通串联 MOS 管及其等效电路如图 6 所示。可以看出, 随着输入功率的增加, 源极与漏极间的电压摆幅随之增大。当输入功率达到一定值时, 源、漏与衬底间的寄生 PN 结二极管导通, 产生从源、漏泄漏到衬底的漏电流, 造成信号的损失, 使插入损耗升高。采用悬浮衬底设计后, 衬底处于交流浮空状态, 源、漏与衬底间的寄生 PN 结二极管 P 端处于悬空状态, 显著减小了大信号下寄生二极管所致的漏电流, 从而减小了插入损耗。

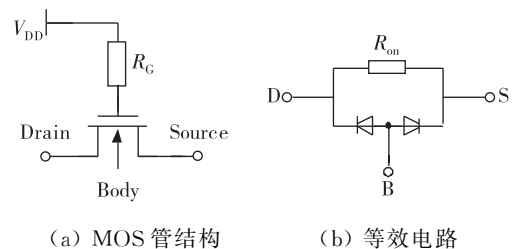
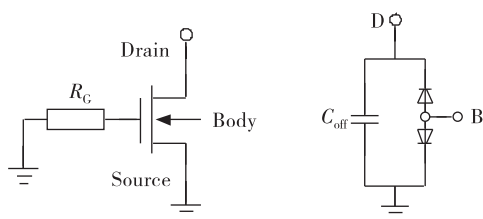


图 6 导通串联 MOS 管及其等效电路

关断并联 MOS 管及其等效电路如图 7 所示。在传统开关管设计中, MOS 管的衬底通常接源极。在输入功率较大时, 漏极与衬底间的寄生二极管导通, 使开关的功率处理能力降低。采用悬浮衬底设计后, 源、漏与衬底间寄生的 2 个二极管公共的正极处于交流悬浮状态, 无论输入功率多大, 始终都有 1 个二极管处于反偏状态, 不会导通。因此, 输入 1 dB 压缩点显著提高。



(a) MOS 管结构 (b) 等效电路

图 7 关断并联 MOS 管及其等效电路

采用悬浮衬底设计前后插入损耗和隔离度的仿真曲线如图 8 所示。可以看出,悬浮衬底可显著降低插入损耗,提高了开关的隔离度。

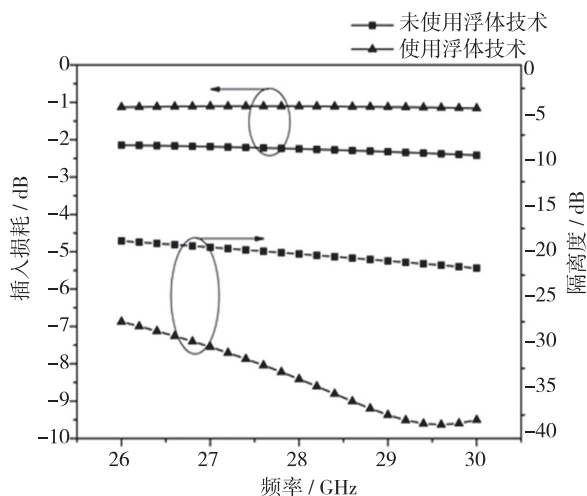


图 8 采用悬浮衬底设计前后插入损耗和隔离度曲线

本文微波开关采用 55 nm CMOS 工艺,通过 Cadence Spectre 完成仿真验证。为了保证开关在高频时的性能,对版图的寄生参数和电磁模型进行了混合仿真验证。

插入损耗、隔离度曲线如图 10 所示。输入输出回波损耗曲线如图 11 所示。可以看出,在 28 GHz 处,插入损耗小于 -1.7 dB,隔离度大于 30 dB,输入输出回波损耗皆小于 -20 dB。输入 1 dB 压缩点仿真曲线如图 12 所示。可以看出,输入 1 dB 压缩点大于 12 dBm。

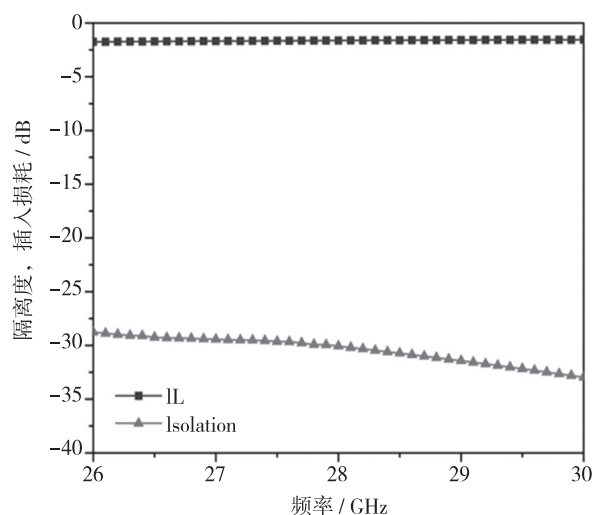


图 10 插入损耗、隔离度曲线

2 版图设计和电路仿真

本文 SPDT 微波开关的版图如图 9 所示。2 个通道采用对称的设计,提高通道间的一致性。采用了开关电感,只需 1 个电容实现对两个通道的匹配。芯片面积大幅减小,尺寸为 $240 \mu\text{m} \times 180 \mu\text{m}$ 。

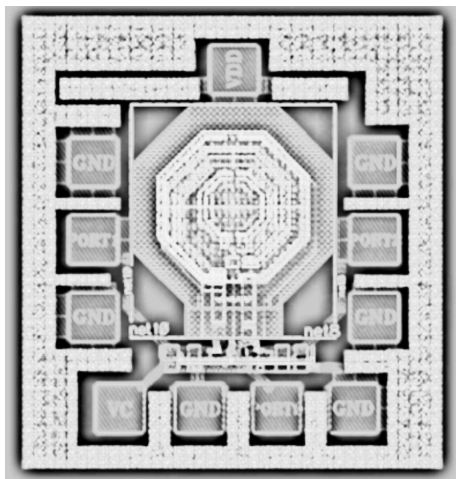


图 9 本文 SPDT 微波开关的版图

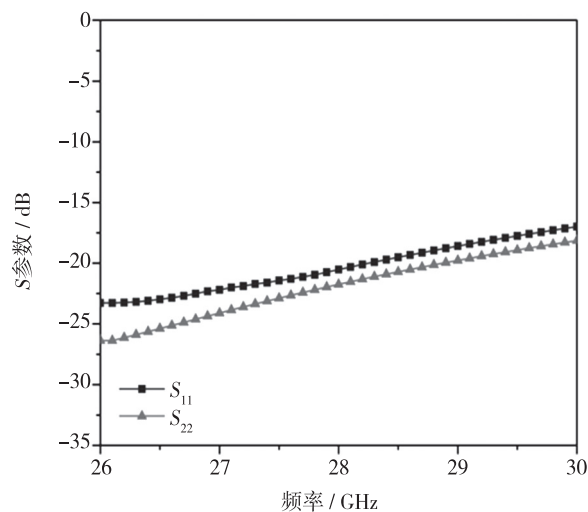


图 11 输入输出回波损耗曲线

本文与其他文献中 SPDT 开关的参数对比如表 1 所示。相比其他开关,本文 SPDT 微波开关兼具插入损耗低、隔离度高的优势,芯片面积较小。

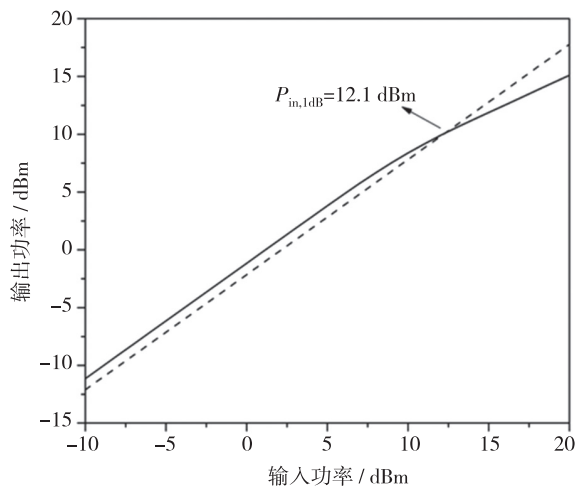
图 12 开关 $P_{1\text{dB}}$ 的仿真曲线

表 1 本文与其他文献中 SPDT 开关的参数对比

参数	文献[6]	文献[7]	文献[8]	本文
CMOS 工艺	90	180	65	55
尺寸/nm				
频率/GHz	DC~60	20~40	28	28
插入损耗/dB	<3	<2	1.8	1.7
隔离度/dB	>48	>15	24	30
$P_{1\text{dB}}$ /dBm	17	11	0	12
面积/ mm^2	0.591 6	0.025 2	0.063 4	0.043 2

3 结 论

本文基于 55 nm CMOS 工艺,设计了一种低插损、高隔离度 SPDT 微波开关。通过开关电感和悬浮衬底的设计,显著改善了微波开关的射频性能,同时提高了线性度。仿真结果表明,在 28 GHz 频率下,该微波开关的插入损耗小于 1.7 dB,隔离度大于 30 dB,输入 1 dB 压缩点大于 12 dBm。

参 考 文 献:

[1] LEE K H, CHOI S, KIM C Y. A 25-30-GHz

asymmetric SPDT switch for 5G applications in 65-nm triple-well CMOS [J]. IEEE Microwave & Wireless Compon Lett, 2019, 29(6): 391-393.

[2] MENG X Y, ZHENG Z P, ZHANG J Q, et al. A 28-GHz compact SPDT switch using LC-Based spiral transmission lines in 65-nm CMOS [C] // IEEE A-SSCC. Macao, China. 2019: 79-80.

[3] DESPOISSE T, DELTIMPLE N, GHIOTTO A, et al. Low-loss Ka-band SPDT switch design methodology for 5G applications in 65 nm CMOS SOI technology [C] // IEEE 20th Top Meet SiRF. San Antonio, TI, USA. 2020: 5-8.

[4] PENG N, ZHAO D X. A K-band low-loss high-isolation CMOS SPDT switch based on multi-tap inductor technique [C] // IEEE Int Symp RFIT. Nanjing, China. 2019: 1-3.

[5] UM Y, NGUYEN C. A millimeter-wave CMOS dual-bandpass T/R switch with dual-band LC network [J]. IEEE Microwave & Wireless Compon Lett, 2017, 27(7): 654-656.

[6] CHANG H Y, CHAN C Y. A low loss high isolation DC-60 GHz SPDT traveling-wave switch with a body bias technique in 90 nm CMOS process [J]. IEEE Microwave & Wireless Compon Lett, 2010, 20(2): 82-84.

[7] CARDOSO A S, SAHA P, CHAKRABORTY P S, et al. Low-loss, wideband SPDT switches and switched-line phase shifter in 180-nm RF CMOS on SOI technology [C] // IEEE Radio & Wireless Sympo. Newport Beach, CA, USA. 2014: 199-201.

[8] JANG S, KONG S, LEE H D, et al. 28 GHz 1.8 dB insertion loss SPDT switch with 24 dB isolation in 65 nm CMOS [C] // 48th EuMC. Madrid, Spain. 2018: 835-838.

一种易烧写高可靠的硅化物多晶熔丝修调电路

张 琳, 李 静, 付东兵, 万贤杰, 丁 一
(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 多晶硅熔丝是一种单次可编程(OTP)的非易失存储单元,常用于集成电路的修调,确保电路在 PVT 下性能稳定。对传统熔丝修调电路进行了改进,设计了一种常规修调电压下高可靠的硅化物多晶熔丝修调电路。该电路具有功耗低、易扩展和复用性强等优点。基于 0.25 μm CMOS 工艺流片测试,该电路在 3.3 V 电压下实现了 14 位 DAC 高 31 位温度计码恒流源的修调。

关键词: 熔丝修调; 硅化物多晶硅; 匹配设计

中图分类号: TN432

文献标志码: A

文章编号: 1004-3365(2021)02-0221-04

DOI: 10.13911/j.cnki.1004-3365.200353

An Easily Blowing and Highly Reliable Silicided Polysilicon Fuse Trimming Circuit

ZHANG Lin, LI Jing, FU Dongbing, WAN Xianjie, DING Yi

(The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: Polysilicon fuses are one time programmable non-volatile memory elements which are allowed to calibrate the integrated circuits to assure the circuit's performance stability at PVT corners. Based on the improvement of a traditional architecture of fuse trimming circuit, a kind of highly reliable silicided polysilicon fuse trimming circuit under normal blowing voltage was designed, which benefited from low power consume, easy to expand and strong versatility. This fuse trimming circuit was fabricated in a 0.25 μm CMOS process. The tested results showed that, under 3.3 V blowing voltage, the fuse trimming of 14 bit DAC's high 31 thermometer current sources was successful.

Key words: fuse trimming; silicided polysilicon; matching design

0 引 言

熔丝修调作为片上永久性的记忆单元,广泛应用于高精度模拟电路的修调、裸片标识等方面^[1]。多晶硅电熔丝(eFuse)修调电路的传统结构如图 1 所示。修调前后电压 V_f 的变化完全由 R_{fuse} 上的压降变化决定,为实现 OUT 从低到高的状态翻转, R_{fuse} 需从修调前的数十 Ω 急剧增大到修调后的 $\text{M}\Omega$ 量级。该传统电路功耗低、结构简单,但存在两个缺点:1)为了使修调后的 R_{fuse} 阻值急剧增大,对修调方法提出高的修调脉冲电压或精确地(ns 量级)控制

其脉冲宽度及下降时间的苛刻要求^[2-4],该修调电压甚至超过了电路最高额定电压,而为了找到适应于各种 PVT 下的脉宽及下降时间,只能通过批量修调来实现,耗时长、成本高;2)即使 R_{fuse} 的阻值熔断急剧增大(到 $\text{M}\Omega$ 量级),但在高温、应力或长时间工作下,该高电阻值可能发生回退变小,导致该修调电路存在状态逆转的风险。

本文基于多晶硅熔丝电熔断机制和匹配设计,在传统结构中引入一个参考电阻和一个伪差分放大器。放大器用来分担传统结构中完全依赖于修调电阻增大的压降变化,大大降低了对熔丝电阻熔断程度的要求,实现了常规电压下高可靠的熔丝修调。

收稿日期:2020-08-03;定稿日期:2021-01-12

作者简介:张 琳(1984—),男(汉族),山东烟台人,学士,工程师,研究方向为 IC 电源管理和混合信号处理。

该电路具备易烧写、无状态逆转风险、易扩展等优点。

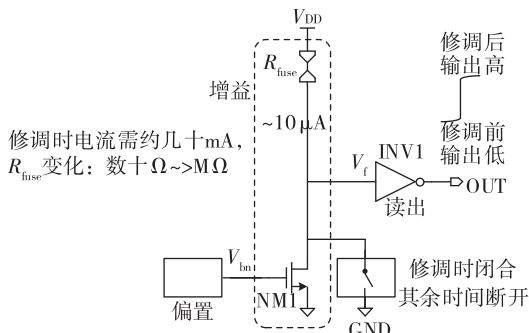


图1 传统的熔丝修调电路

1 多晶硅熔丝电熔断机制

1.1 多晶硅熔丝的结构

多晶硅熔丝物理结构如图2所示,现代工艺中的多晶硅熔丝被称为金属硅化物-多晶硅熔丝,主要包括金属硅化物和多晶硅两层。

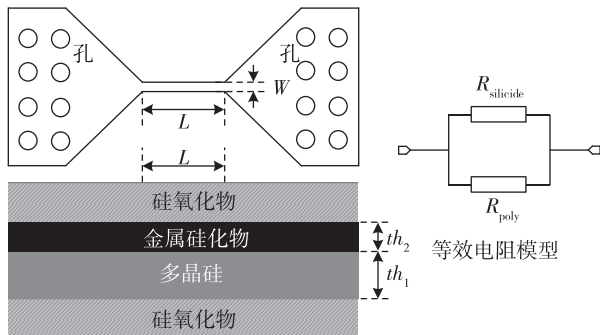


图2 多晶硅熔丝物理结构

多晶硅熔丝电阻宽为 W , 长为 L 。金属硅化物的厚度 th_2 远小于多晶硅的厚度 th_1 。电极端头面积大于中间面积,以减小接触电阻,因此电阻呈狗骨形。

1.2 多晶硅熔丝熔断机理

综合相关的文献研究^[2-3, 5-6],影响多晶硅熔丝修调特性的因素包括金属硅化物材料(如钨、镍等)、多晶硅掺杂类型和掺杂浓度、熔丝长度和宽度、熔丝端头形状(如矩形、锥形)、修调电压、脉冲宽度、下降时间等。主要的物理机制包括焦耳热、相变、电迁移、热迁移和应力迁移。熔断经历的非线性过程如图3所示。

第一阶段,加上修调电压后,在初始 t_0 时刻,金属硅化物电阻远小于多晶硅电阻,大多数电流流过金属硅化物,导致金属硅化物发热。随着温度上升,

金属硅化物的导电性降低,多晶硅载流子密度呈指数增加,金属硅化物成为主要的导电层,总电阻减小,形成“电阻减小-电流增大-温度升高-电阻减小”的正反馈。第二阶段,温度持续升高,导致金属硅化物-多晶硅熔丝、部分电极及熔丝周边的硅氧化物开始融化乃至部分汽化。第三阶段,多晶硅熔丝融化后比硅氧化物融化后的动态粘度低约三个数量级,电迁移驱动熔丝材料沿电场方向移动,并开始夹断熔丝。第四阶段,硅融化时的收缩效应导致熔丝裂开形成空洞,在此后很短的时间内,空洞持续增大。第五阶段,到 t_3 时刻,空洞增至最大,电阻达到 $1 \times 10^7 \Omega$ 量级,电流、电迁移力迅速下降,应力导致硅开始填充空洞,电阻减小,电流再次增大,应力迁移与热迁移达到暂态平衡。第六阶段,应力、焦耳热开始缓慢释放,空洞与本征硅共存,到 t_5 时刻, R_5 为约 $1 \times 10^3 \Omega$ 量级的金属硅化物完全消失后剩余的纯多晶硅电阻。

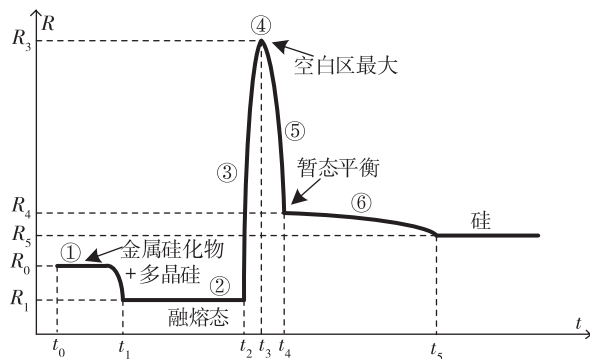


图3 多晶硅熔丝修调时电阻变化

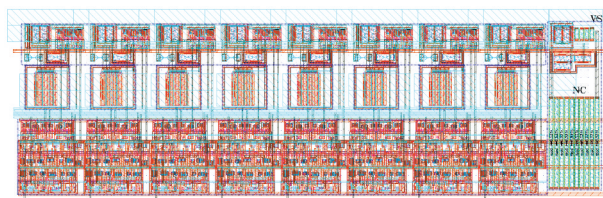
传统结构采用更高的修调脉冲电压或严格控制脉宽及其下降时间,使得电阻停留在第四、五阶段,达到 $1 \times 10^6 \Omega \sim 1 \times 10^7 \Omega$ 量级,实现修调前后状态翻转。

本文改进的熔丝修调电路基于修调前熔丝电阻约几十 Ω 量级、修调后至少为几 $k\Omega$ 量级的情况,在常规修调电压下无需严格控制修调脉宽、下降时间,即可确保状态翻转,而且无状态逆转。

2 改进后的熔丝修调电路

2.1 熔丝修调基本单元

改进后的熔丝修调基本单元如图4所示。在传统结构中引入一个参考电阻 R_{ref} 和一个伪差分放大器 AMP。设 NM1 和 NM2 的尺寸相同(宽为 W_N , 长为 L_N , 阈值电压为 V_{thn}), PM1 和 PM2 的尺寸相同(宽为 W_P , 长为 L_P , 阈值电压为 V_{thp})。为不失一



(b) 版图

图6 扩展为8 bit的熔丝修调电路图和版图

3 设计验证和测试结果

修调后的DAC恒流源如图7所示。8个8 bit共64 bit的熔丝用于修调14位DAC中的高5位温度计码的31个恒流源,每个恒流源含两个修调位,权重分别为1 LSB、0.5 LSB,即每个恒流源总共可向下修调1.5 LSB。

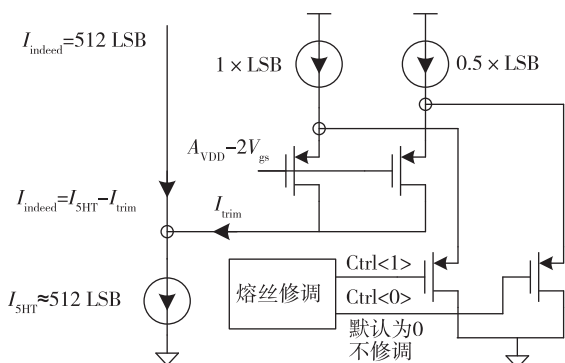


图7 修调后的DAC恒流源(单个)

DAC DNL修调前后对比测试如图8所示。由于布局布线等因素的影响,该DAC在修调前存在高31位恒流源电流偏大的系统性误差,最高可达5 LSB,最低至2.5 LSB。

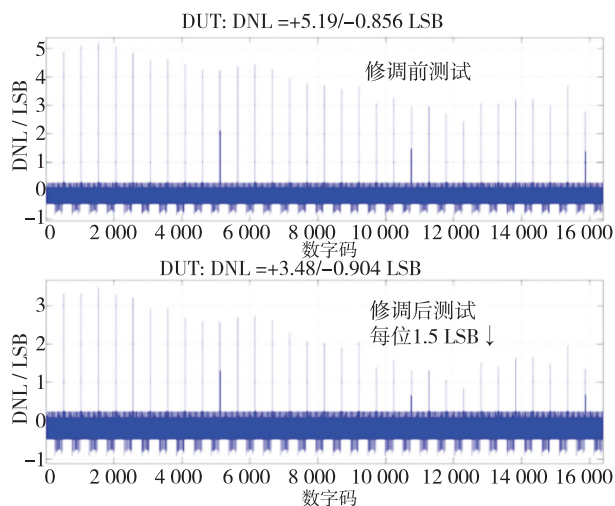


图8 DNL修调前后对比测试

本修调电路仅需时钟输入、数据输入、熔丝使能三个端口,通过两路移位寄存器即可实现修调。修调电压采用3.3 V常规供电电压。利用串行移位数据寄存器,先将熔修信息送入62个熔丝数据寄存器位(需熔断时该位为高,本例中全为高)。再将NC接地进行熔丝修调使能。最后,通过另一路串行移位控制寄存器送入单个高脉冲,该单脉冲依次与串行移位数据寄存器位做“与”操作,产生图6中的开关控制信号S,实现熔丝修调。

从图8可以看出,修调后高31位恒流源每一位的DNL误差都小了1.5 LSB,达到预期。对20只修调后的电路做125℃下240 h的动态老练、150℃下72 h的静态老练以及125℃下1 000 h的寿命试验。再对DNL进行测试,DNL测试结果依然保持为修调后的结果,熔丝修调无状态逆转。

4 结论

根据金属硅化物-多晶硅熔丝熔断机制,基于匹配设计思想,对传统熔丝修调电路进行了改进。该结构易修调、可靠性高、易扩展。实测表明,采用0.25 μm CMOS工艺,3.3 V修调电压下该熔丝修调电路成功地对14位DAC高31位恒流源的每一位实现了1.5 LSB的DNL修调,且在高温、长时间工作后无状态逆转。

参考文献:

- [1] 任鹏,李儒章,杨卫东.采用熔丝修调技术的高精度电流舵D/A转换器[J].微电子学,2017,47(3):317-321.
- [2] DOORN T S, ALTHEIMER M. Ultra-fast programming of silicided polysilicon fuses based on new insights in the programming physics [C] // IEEE IEDM. Washington D C, USA. 2005: 667-670.
- [3] WONG C C, CHANG S P, TU H F, et al. Performance enhancement of high-current-injected electrically programmable fuse with compressive-stress nitride layer [J]. IEEE Elec Dev Lett, 2014, 35(3): 297-299.
- [4] 吴熙文,顾卫民.一种利用迭代法实现的熔丝修调方案[J].电子与封装,2016,16(12): 23-25.
- [5] DOORN T S. A detailed qualitative model for the programming physics of silicided polysilicon fuses [J]. IEEE Trans Elec Dev, 2007, 54(12): 3285-3291.
- [6] LEE W T, FLOWER A C, POWER O, et al. Blowing of polycrystalline silicon fuses [J]. Appl Phys Lett, 2010, 97(2): 023502.

· 模型与算法 ·

一种多数据同步互斥管理机制的实现

林 康^{1,2}, 张 玲², 于宗光^{1,2}, 陈振娇², 薛海卫²

(江南大学 物联网工程学院, 江苏 无锡 214122;

2. 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035)

摘 要: 不同数据间同步互斥是影响多核处理器核间通信的重要因素。为提高不同数据节点间的通信效率,降低通信延迟,并减少数据传输的丢包现象,结合自适应随机早期检测(ARED)算法和二进制指数退避(BEB)算法,提出一种软硬件结合的同步互斥管理分配方式。通过 Matlab 建模分析两种算法的可行性,并移植到 ZYNQ7000 开发平台中进行仿真测试。测试结果表明,该通信机制具有较低的丢包率和延迟时间,提高了整体传输效率,降低了通信过程延迟等待时间。

关键词: 同步互斥; ARED 算法; 丢包率; 延迟

中图分类号: TP368.1; TN919.3

文献标志码: A

文章编号: 1004-3365(2021)02-0225-05

DOI: 10.13911/j.cnki.1004-3365.200470

Implementation of a Multi-Data Synchronization and Mutual Exclusion Management Mechanism

LIN Kang^{1,2}, ZHANG Ling², YU Zongguang^{1,2}, CHEN Zhenjiao², XUE Haiwei²

(1. School of Internet of Things Engineering, Jiangnan University, Wuxi, Jiangsu 214122, P. R. China;

2. The 58th Research Institute, China Electronics Technology Group Corp., Wuxi, Jiangsu 214035, P. R. China)

Abstract: Synchronous mutual exclusion between different data is an important factor affecting the communication between multi-core processor cores. In order to improve the communication efficiency between different data nodes, reduce the delay of communication, and reduce the loss of data transmission, combining Adaptive Random Early Detection (ARED) algorithm and Binary Exponential Backoff (BEB) algorithm, a management allocation method of synchronous mutual exclusion that was combining software and hardware was proposed. The feasibility of the two algorithms was analyzed by Matlab modeling, and the synchronous mutual exclusion management allocation method was transplanted to the ZYNQ7000 development platform for simulation testing. The test results showed that the communication mechanism had a lower packet loss rate and delayed time, which improved the efficiency of overall transmission and reduced the delayed time of communication process.

Key words: synchronous mutual exclusion; ARED algorithm; packet loss rate; delay

0 引 言

在多核通信过程中,同时访问众多节点常常会

导致数据总线出现拥塞、竞争。对于多核数据传输,自旋锁和信号量机制有效满足了不同数据间的同步互斥,但是,只能保证同一时刻有 1 个节点访存共享资源,长时间持有会造成其他进程进入睡眠状态。

收稿日期:2020-10-10;定稿日期:2020-11-14

基金项目:国家自然科学基金资助项目(61704161)

作者简介:林 康(1994—),男(汉族),江苏宝应人,硕士研究生,研究方向为数字集成电路设计。

张 玲(1968—),女(汉族),山东平度人,工程师,从事集成电路市场管理工作。

于宗光(1964—),男(汉族),山东潍坊人,博士,教授,从事集成电路技术研究工作。通信作者。

按此概率对检测到的新数据实施丢弃。当 $L_{\min} < L_{av} < L_{\max}$ 时, 根据文献[6]的计算方法进行改进, P 与中间值 P_b 与进入缓冲区数据量 $count$ 有关。

P_b 与最大丢包率 $P_{\max}$ 、 $L_{\min}$ 、 $L_{\max}$ 有关, P_b 随 L_{av} 的变大呈线性增大。 P_b 与 P 的关系式为:

$$P_b = P_{\max} \times \frac{L_{av} - L_{\min}}{L_{\max} - L_{\min}} \quad (4)$$

$$P = \frac{P_b}{1 - count \times P_b} \quad (5)$$

为提高传输队列的稳定性,对 P_b 进行改进。 $P_{\max}$ 不使用固定值,而通过定期检测 L_{av} 所处的范围进行比例调整。在 $[L_{\min}, L_{\max}]$ 范围内划分 3 个区域,分别为 $[L_{\min}, L_{m1}]$ 、 $[L_{m1}, L_{m2}]$ 、 $(L_{m2}, L_{\max}]$ 。

具体检测方法是:如果 L_{av} 在 $[L_{\min}, L_{m1})$ 内波动,说明数据丢失较激进,应适当减少 $P_{\max}$;如果 L_{av} 在 $(L_{m2}, L_{\max}]$ 内,说明数据丢失较保守,应适当增大 $P_{\max}$,保证 L_{av} 在 $[L_{m1}, L_{m2}]$ 内。 $P_{\max}$ 调整的关系式为:

$$P_{\max} = \begin{cases} P_{\max} \times \alpha, & L_{av} \in [L_{\min}, L_{m1}) \\ P_{\max}, & L_{av} \in [L_{m1}, L_{m2}] \\ P_{\max} \times \beta, & L_{av} \in (L_{m2}, L_{\max}] \end{cases} \quad (6)$$

式中, α 为 $[0.9, 1.0]$ 范围内的随机数, β 为 $[1.0, 1.1]$ 范围内的随机数。

通过不断调整 $P_{\max}$ 值,提高传输队列的连续性,使整个数据传输维持在稳定状态。丢弃率会随着 L_{av} 和 $count$ 的变化而缓慢变化,避免产生过激的丢包率。

1.3 同步互斥分配机制的实现

数据间通信控制的性能需求有:1)平均传输时间短;2)数据丢包率低;3)并行效率高。针对不同的拥塞竞争环境,当数据传输较大、拥塞程度较严重时,先考虑数据传输的完整性;当拥塞程度一般时,先考虑传输效率、等待延迟。本文设计了一套拥塞环境控制分配器,包括控制单元、采集模块、分析计算模块,框图如图 2 所示。该分配器采集拥塞环境的相关信息,分析实时环境下的竞争场景,调用合适的软件算法。

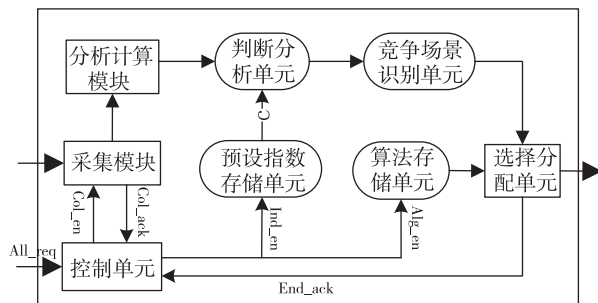


图 2 拥塞环境控制分配器框图

控制单元包含 3 个发送端和 3 个接收端。发送

端用于对采集模块、预设指数存储单元和算法存储单元发送控制使能信号,接收端用于接收外部、采集模块和选择分配单元的响应和请求信号。

当控制单元接收到外部传递的分配请求信号 All_req 时,便向采集模块发送采集使能信号 Col_en,开启采集模块的工作。

采集模块接收到 Col_en 后,开始采集当前环境的实时信息,包括运行队列中的数据节点数量 N_T 、处于运行状态和等待状态的节点数量等,再将采集好的信息传递给分析计算单元,同时向控制单元发送响应信号 Col_ack。

分析计算模块用于计算当前环境下节点的竞争指数,过程如下。设队列中处于运行状态的节点数量为 N_S ,拥塞环境下最长等待时间节点数量为 V_i 。运行队列的平均负载长度 A_L 为 N_T 除以 N_S 之值再向下取整^[8],即为:

$$A_L = \lfloor N_T / N_S \rfloor \quad (7)$$

此时,环境竞争指数 I_G 为:

$$I_G = A_L \times V_i \quad (8)$$

将计算得到的 I_G 传递给判断分析单元,并与存储单元提前发送的预设竞争指数 I_{Gy} 进行比较判断,再将判断结果发送给竞争场景识别单元。对预设竞争指数根据拥塞环境的变化情况进行实时调整。

竞争场景识别单元根据判断分析的结果对竞争场景进行识别。若 $I_G \geq I_{Gy}$,此时数据量传输较大,拥塞情况较为严重,认定竞争场景级别为高。当 $I_G < I_{Gy}$ 时,则认定竞争场景级别为低。再将识别结果传递给选择分配单元。

当选择分配单元接收到高竞争场景级别时,为避免传输过程不必要的数据丢失,提高数据传输准确率,需适当降低数据传输速率并调整数据丢包率。此时,从算法存储单元中调用 ARED 算法更为合适。当接收到低竞争场景级别时,此时传输丢失较小,为提高不同节点的并行传输效率,减少不同节点的等待时间,可选择 BEB 算法。

当选择分配单元完成算法的调用后,便向控制单元发送 End_ack 信号,表示当前分配结束。控制单元接收到 End_ack 后,根据提前设定的周期 T 重新开启分配工作,以解决当前拥塞情况突变造成的算法与竞争场景不匹配问题。

判断分析单元、竞争场景识别单元及选择分配单元仅需判断和选择逻辑,工作周期较短。为了提高整个分配模块的工作效率,在控制单元接收到 Col_en 后便发送 Ind_en 和 Alg_en 信号,提前将预

设指数存储单元和算法存储单元的数据传递出去。

2 Matlab 建模分析

对于两种同步互斥算法,使用 Matlab 进行建模分析。针对 ARED 算法,为方便分析,将 L_{av} 设置在 L_{min} 与 L_{max} 之间,根据式(4)、(5)、(6),设置 $L_{min}=50, L_{max}=100, count=100$, 随机测试 3 000 次。丢包率曲线如图 3 所示。可以看出,丢包率维持在 3% 以下,且丢包曲线相对平缓。

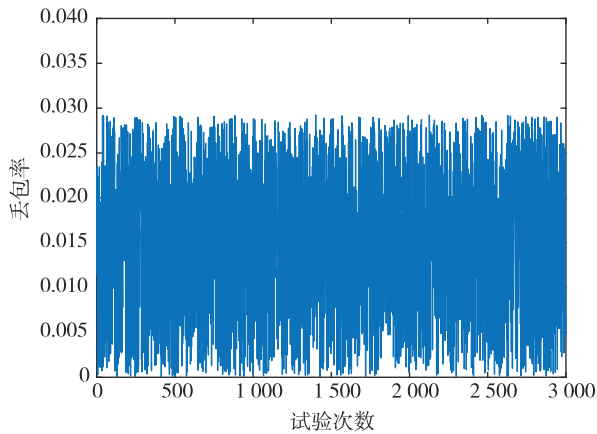


图 3 ARED 算法的丢包率曲线

对于 BEB 算法,提出了一种仿真模型。发送 N 次数据包,在每次发送前对当前节点动态设置 CW 值。BEB 算法仿真流程如图 4 所示。

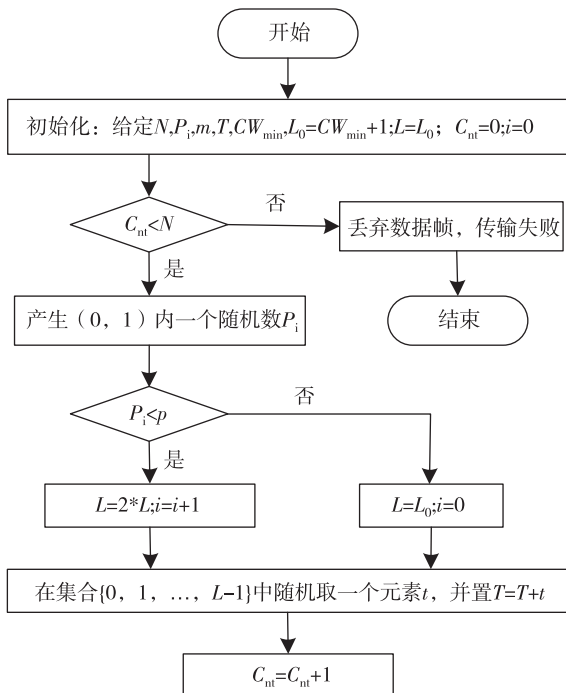
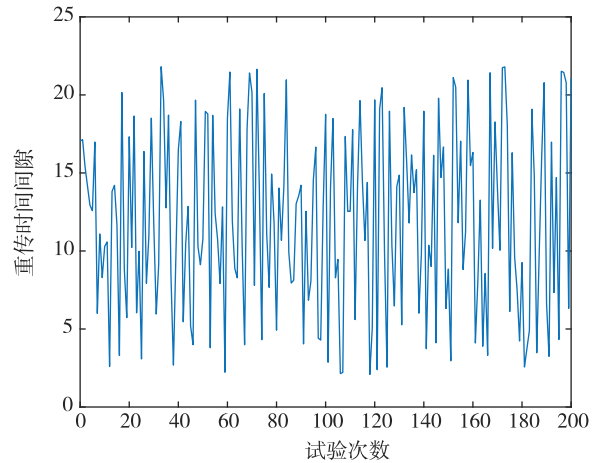


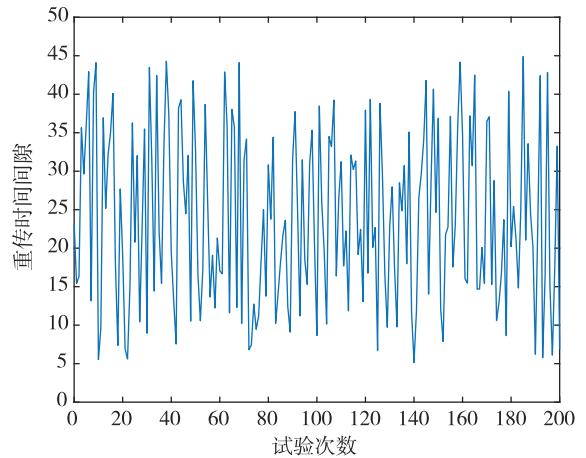
图 4 BEB 算法仿真流程

初始状态时,竞争窗口长度为 L_0 , T 对退避值进行累加。数据是否传输成功的判断使用随机数 P_i 与 p 比较,若 $P_i > p$,表示传输成功;否则,表示失败。变量 i 记录节点当前退避次数^[3]。

设置 $N=10$,通过 Matlab 随机测试 200 次。不同环境下的时隙间隔不同,分析时只考虑退避总时隙。重传时间间隔曲线如图 5 所示,当 $p=0.10$ 、 $aCW_{min}=10$ 时,时间间隔稳定在 3~22;当 $p=0.20$ 、 $aCW_{min}=25$ 时,重传时隙稳定在 5~46,且失败率较低。这有效满足了拥塞竞争场景较低的需求。



(a) $p=0.10, aCW_{min}=10$



(b) $p=0.20, aCW_{min}=25$

图 5 重传时间间隔曲线

3 FPGA 验证

本文将两种同步互斥算法移植到 ZYNQ7000 开发平台上进行仿真验证。ZYNQ7000 平台集成了具有 ARM Cortex A9 双核处理器的处理系统和 Xilinx 可编程逻辑^[9]。使用 DMA 方式对批量数据进行传输,DMA 读写测试框图如图 6 所示。

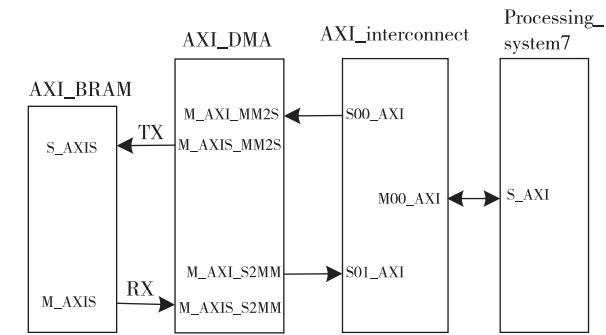


图 6 DMA 读写测试框图

在 AXI_DMA 与 AXI_BRAM 之间发送、接收相关数据。发送和接收时间采用滴答时钟配置的测量函数来计算。算法性能测试指标为传输时间、丢失率^[10-12]。

对传输时间设计测试程序,通过传输数量不同的数据产生不同的拥塞情况。传输数据量分别设置为 1 000、5 000、20 000、100 000、500 000。通过系统自动分配传输节点,同时引入 ARED 算法、BEB 算法、本文算法进行测试,每组数据测试 20 次,取平均值。三种算法的传输时间如表 1 所示。

表 1 三种算法的传输时间

传输数据量	传输时间/ μs		
	ARED 算法	BEB 算法	本文算法
1 000	18.07	15.91	15.93
5 000	83.12	74.23	74.17
20 000	315.53	310.71	309.24
100 000	1 511.41	1 851.33	1 451.14
500 000	7 214.32	9 411.23	6 823.45

针对数据量较大的情况,通过计算传输过程中正确到达的数据量,间接测算出数据丢失率,并与文献[6]进行对比。三种算法的数据丢失参数如表 2 所示。

表 2 三种算法的数据丢失参数

参数	ARED 算法	BEB 算法	本文算法	文献[6]
传输数据量	500 000	500 000	500 000	563 097
正确传输量	481 246	466 379	481 668	540 887
丢失数量	18 754	33 621	18 332	22 210
丢包率	3.75	6.72	3.67	3.94

可以看出,传输时间随着数据量的增大而变大。当传输量低于 20 000 时,BEB 算法的传输时间比 ARED 算法更小,与本文算法相近。这表明,当传输量较小时,BEB 算法更具优势。当传输量较大时,综合分析传输时间和丢包率,本文算法更具优

势。原因是,其他算法的最大退避次数增加,传输时间较大,丢包率较高。

4 结 论

本文分析了一种多数据同步互斥管理机制,比较分析了软硬件机制的优缺点,提出了一种改进的互斥管理分配机制,即针对拥塞竞争程度的不同选择使用 ARED 或 BEB 算法,满足了不同拥塞环境的需求。Matlab 建模、FPGA 仿真测试的结果表明,本文算法结合两种算法优势进行灵活管理分配,大幅降低了丢包率。本文研究对多核数据间同步互斥机制研究提供了有益价值。

参 考 文 献:

[1] POOVENDRAN R, SUMATHI S. An area-efficient FPGA implementation of network-on-chip (NoC) router architecture for optimized multicore-SoC communication [J]. Sensor Lett, 2018, 16 (7): 552-560.

[2] FREITAS H C, SANTOS T G S, NAVAUX P O A. Design of programmable NoC router architecture on FPGA for multi-cluster NoCs [J]. Elec Lett, 2008, 44 (16): 969-971.

[3] 彭静, 朱艺华. IEEE 802.11 无线局域网二进制指数退避算法改进与分析 [J]. 计算机工程与科学, 2012, 34(12): 39-44.

[4] ALI A. Efficient dynamic memory management for multiprocessor cyber-physical systems [J]. Int J Cyber Phys Syst, 2019, 1(1): 35-44.

[5] 张姿. 802.11DCF 机制的改进二进制指数退避算法 [J]. 广西科学院学报, 2013, 29(2): 83-84, 88.

[6] 薛礼. 一种改进 ARED 拥塞控制算法的实现 [J]. 计算机技术与发展, 2020, 30(3): 117-121.

[7] MARIA S, ANDRE R, MARC S. Two iterative metaheuristic approaches to dynamic memory allocation for embedded systems [C] // Europ Conf Evolution Comput Combina Optim-ization. Torino, Italy, 2011: 250-261.

[8] 于璠, 王振国. 一种自旋锁抢占调度算法选择方法及装置 [P]. CN103729242A, 2014-04-16.

[9] 蔡人和. 基于 ARM Cortex-A9 MPCore 嵌入式多核操作系统内核研究与实现 [D]. 成都: 电子科技大学, 2016.

[10] 汪健, 张磊, 王少轩, 等. 多核处理器核间高速通讯架构的研究 [J]. 电子与封装, 2011, 11(6): 41-48.

[11] 石优, 林琳, 吴岩. 基于布谷鸟搜索的模糊 PID 拥塞控制方法 [J]. 计算机工程, 2020, 46(11): 238-245.

[12] MAI T, YAO H, JING Y, et al. Self-learning congestion control of MPTCP in satellites communications [C] // IEEE 15th Int Wireless Commun & Mobile Comput Conf. Piscataway, Morocco, 2019: 775-780.

耦合式 MEMS 微波功率传感器集总参数模型的优化

左 文, 张聪淳, 谢嘉诚, 王德波

(南京邮电大学 电子与光学工程学院、微电子学院, 南京 210023)

摘 要: 耦合式 MEMS 微波功率传感器的集总参数模型可用于分析并计算器件的微波特性, 是设计传感器相关结构尺寸的重要参考依据。针对目前传感器日益复杂化的阻抗匹配结构, 对现有的集总参数模型进行了优化, 并进行了相关理论推导。实验结果表明, 优化后的模型计算出的反射系数最大误差为 6.0 dB, 插入损耗最大误差为 0.7 dB, 模型准确度相较于优化前有了明显的提升。因此, 优化的集总参数模型对耦合式 MEMS 微波功率传感器的设计与优化具有一定的应用价值与参考意义。

关键词: MEMS; 微波功率传感器; 集总参数模型; 优化

中图分类号: TN62; TP212

文献标志码: A

文章编号: 1004-3365(2021)02-0230-05

DOI: 10.13911/j.cnki.1004-3365.200197

Optimization of Lumped Parameter Model for Coupled MEMS Microwave Power Sensors

ZUO Wen, ZHANG Congchun, XIE Jiacheng, WANG Debo

(College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing 210023, P. R. China)

Abstract: The microwave characteristics of coupled MEMS microwave power sensor could be analyzed and calculated by the lumped parameter model, which had become an important reference for the design of sensor's structure and size. For the increasingly complex impedance matching structure of sensors, the lumped parameter model of the sensor was optimized and derived in this work. The measurement results showed that the maximum calculated error of reflection coefficient was 6.0 dB, and the insertion loss was 0.7 dB. The accuracy of the model was obviously improved after the optimization. Therefore, the lumped parameter model optimized in this work had certain application value and reference significance for the design and optimization of coupled MEMS microwave power sensors.

Key words: MEMS; microwave power sensor; lumped parameter model; optimization

0 引 言

随着微波技术的不断发展, 微波信号被广泛应

用于无线通信^[1]、雷达与电子对抗^[2]、军事装备^[3]以及医疗电子^[4]等领域。微波功率作为表征微波信号的重要参数, 对其进行精确快速地检测非常重要。基于微机电系统(MEMS)的微波功率传感器因具有

收稿日期: 2020-05-06; 定稿日期: 2020-05-26

基金项目: 国家自然科学基金青年基金资助项目(61704086); 中国博士后科学基金资助项目(2017M621692); 江苏省博士后基金资助项目(1701131B); 南京邮电大学国自基金孵化资助项目(NY215139, NY217039)

作者简介: 左 文(1999—), 男(汉族), 江苏苏州人, 本科生, 研究方向为 MEMS 微波功率传感器。

王德波(1983—), 男(汉族), 山东新泰人, 副教授, 研究方向为 MEMS 微波功率传感器。通信作者。

无需电源、可检测频带宽等优点,现已成为常用的微波检测仪器之一^[5]。耦合式 MEMS 微波功率传感器最早由 L. Han 等人在 2007 年提出^[6],此类微波功率传感器兼具了热电式功率传感器宽的动态检测范围和电容式功率传感器可在线检测等优点,有较高的应用价值。到目前为止,已有许多学者对此类微波功率传感器进行了研究。

2009 年, L. Han 等人对耦合式 MEMS 微波功率传感器进行了结构优化,加入了电容补偿结构和阻抗匹配结构,提高了传感器的微波性能,但集总参数模型只能对较简单结构进行推导计算^[7]。2010 年, Z. Q. Zhang 等人对耦合式 MEMS 功率传感器的封装进行了研究与优化,得到了提升微波性能的方案^[8]。2013 年,他们又对此类传感器建立了一种可进行相位分析的集总参数模型,实现了较高的准确度,但仅对不含阻抗匹配结构的传感器进行了实验验证,并未研究在传感器结构较为复杂时模型的准确度^[9]。2014 年, Z. X. Yi 等人在耦合式传感器的基础上加以改进,提出了一种具有更高动态检测范围的传感器,但未对传感器的集总参数模型进行优化,仍无法对具有较为复杂阻抗匹配结构的传感器进行计算与分析^[10]。

可以看出,现有的耦合式 MEMS 微波功率传感器的集总参数模型适用范围较窄,只能对较简单结构进行分析。目前,耦合式微波功率传感器为了实现更好的微波匹配性能,大多采用较复杂的阻抗匹配结构,现有的集总参数模型已经无法很好地满足传感器设计的需要。针对上述不足,本文对现有的集总参数模型进行了优化与分析,使模型具有了更强的适应性。首先,根据加入阻抗匹配结构后传感器的特点,对集总参数模型的相关部分进行了更细致的划分;接着,使用微波网络分析法对模型进行了推导,得出了传感器集总参数模型的解析公式;最后,将模型优化前后的结果与实验测试的数据进行了对比分析。结果表明,经过优化后的集总参数模型具有较高的准确性,可以对结构复杂的耦合式 MEMS 微波功率传感器进行较为准确的计算与分析。

1 工作原理

耦合式 MEMS 微波功率传感器的结构如图 1 所示。其工作原理为:通过共面波导(CPW)传输线将微波信号从端口 1 传输至端口 2,实现了功率检

测过程中信号的在线传输。图中的 MEMS 双悬臂梁结构起到耦合的作用,将 CPW 信号线上固定比例的微波功率耦合出来并传输至负载电阻进行吸收,负载电阻将吸收的微波功率转化为热能,使得热电堆的冷热两端产生温度差。基于塞贝克效应,两个输出电极之间会产生电势差,其大小与负载电阻吸收的微波功率大小成正比。由于悬臂梁的耦合比例为固定值,因此通过测量两个输出电极之间的电势差,便可以得出微波信号功率的大小,实现微波功率的在线检测。图中空气桥的作用是连接被悬臂梁分隔开的地平面。金属块的作用是稳定热电堆的冷端温度,防止两侧的热电堆产生串扰。阻抗匹配结构的作用是改善器件的传输线阻抗匹配特性以及优化器件的微波性能。

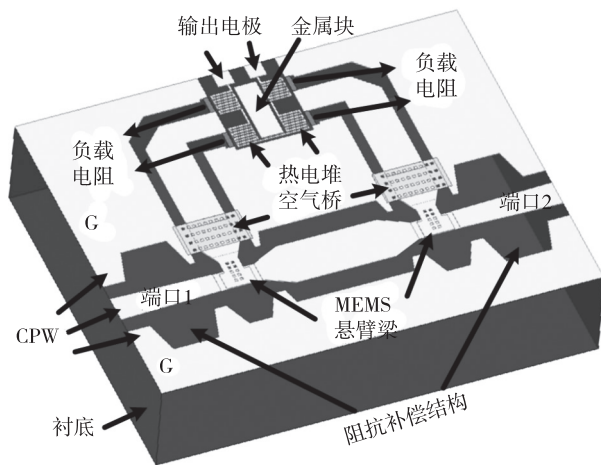


图1 耦合式 MEMS 微波功率传感器结构图

2 模型优化与推导

2.1 集总参数模型的优化

在耦合式 MEMS 微波功率传感器的结构中, MEMS 悬臂梁通过与 CPW 之间产生电容来实现微波功率的耦合,会在一定程度上破坏 CPW 传输线的匹配特性,导致器件微波性能下降。所以在设计过程中,通过加入匹配阻抗结构来实现更低的反射系数与插入损耗。匹配阻抗结构通过在 MEMS 梁的附近加入共面波导不均匀区来实现,如图 2 所示。

可以看出,加入阻抗匹配结构之后,在不同位置上,共面波导传输线的特性阻抗会有所不同。在制造工艺不变的条件下,为了在获得更高耦合度的同时保持芯片的成品率,用于耦合的 MEMS 梁也从原本的单梁结构改进为双梁结构。因此,提出的适用于单固支梁、无阻抗匹配结构的集总参数模型已无

法满足传感器相关参数的推导与计算。针对这种情况, 本文对现有传感器的集总参数模型进行了改进, 如图 3 所示。

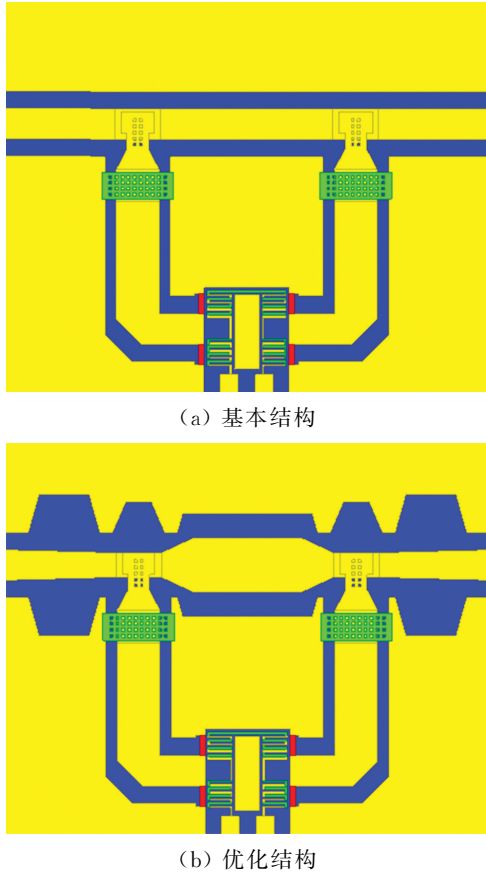


图 2 耦合式 MEMS 微波功率传感器结构对比图

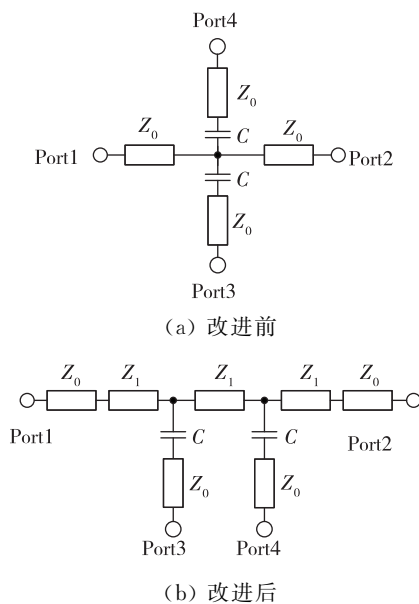


图 3 改进前后传感器的集总参数模型对比图

可以看出, 本文提出的新集总参数模型对不同区域的共面波导传输线作了更为详细的划分。图

中, Z_0 表示未加入阻抗匹配结构的 CPW 特性阻抗, Z_1 则表示经过阻抗匹配优化之后的 CPW 特性阻抗。根据不同传感器的结构特点, 模型参数可以作相应调整, 使模型与传感器更加契合。改进后的集总参数模型具有更强的适应能力, 可以对阻抗匹配结构复杂的传感器进行计算与分析。

2.2 模型的推导与计算

使用微波网络分析法对改进过后的集总参数模型进行推导。首先将模型划分为 7 个区域, 如图 4 所示。

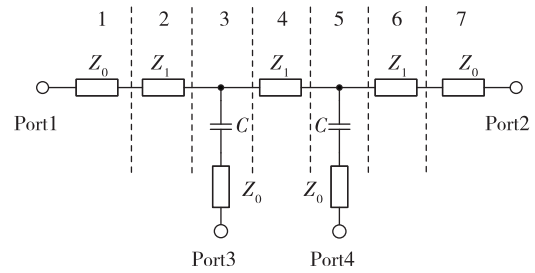


图 4 模型区域划分

根据微波技术相关理论^[11], 计算得出每一个区域的转移矩阵 A_i :

$$A_i = \begin{cases} \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}, & i=1, 7 \\ \begin{bmatrix} \cos(\theta_1) & jZ_1 \sin(\theta_1) \\ j\sin(\theta_1)/Z_1 & \cos(\theta_1) \end{bmatrix}, & i=2, 6 \\ \begin{bmatrix} 1 & 0 \\ \frac{1}{Z_0 - j(\frac{1}{\omega C})} & 1 \end{bmatrix}, & i=3, 5 \\ \begin{bmatrix} \cos(\theta_2) & jZ_1 \sin(\theta_2) \\ j\sin(\theta_2)/Z_1 & \cos(\theta_2) \end{bmatrix}, & i=4 \end{cases} \quad (1)$$

式中, ω 为微波信号的角频率, θ_1 和 θ_2 为对应区域传输线的电长度, C 为 MEMS 悬臂梁耦合器与 CPW 信号传输线之间的电容, 可表示为:

$$C = \frac{\epsilon_0 \omega l}{g_0 + g_1/\epsilon_r} + C_f \quad (2)$$

式中, ϵ_0 为真空中的介电常数, g_0 为悬臂梁与 CPW 间的距离, ω 为悬臂梁的宽度, l 为悬臂梁的长度, g_1 为介质层的厚度, ϵ_r 为介质层的相对介电常数, C_f 为梁边缘电容, 其值约为总电容的 20%~50%。

根据式(1)和式(2), 可以计算出整个网络的总转移矩阵:

$$A_{\text{total}} = \prod_{i=1}^7 A_i = \begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix} \quad (3)$$

端口 1 和端口 2 的匹配负载阻抗均为 Z_0 , 根据归一化 $\bar{\mathbf{A}}$ 参数与非归一化 $\mathbf{A}$ 参数的关系可得:

$$\bar{\mathbf{A}}_{\text{total}} = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12}/Z_0 \\ A_{21} \cdot Z_0 & A_{22} \end{bmatrix} \quad (4)$$

联立式(1)、式(3)和式(4), 利用 Mathematica 软件计算出归一化散射矩阵中各元素的值:

$$\begin{aligned} a_{11} = a_{22} = & (4\omega C(1+j\omega CZ_0)Z_1 \sin(2\theta_1 + \theta_2) + \\ & (-4 - 8j\omega CZ_0 + \omega^2 C^2(4Z_0^2 + Z_1^2))\cos(2\theta_1 + \theta_2) - \\ & \omega^2 C^2 Z_1^2 \cos(2\theta_1 - \theta_2)) / (4(-j + \omega CZ_0)^2) \end{aligned} \quad (5)$$

$$\begin{aligned} a_{12} = & -jZ_1((8j\omega CZ_0 + 4 - 4\omega^2 C^2 Z_0^2 - \omega^2 C^2 Z_1^2)\sin(2\theta_1 + \theta_2) + \\ & (4\omega C + j4\omega^2 C^2 Z_0)Z_1 \cos(2\theta_1 + \theta_2) + \\ & 4(\omega C - j\omega^2 C^2 Z_0)Z_1 \cos(\theta_2) + \\ & \omega^2 C^2 Z_1^2 (\sin(2\theta_1 - \theta_2) + 2\sin(\theta_2))) / (4Z_0(-j + \omega CZ_0)^2) \end{aligned} \quad (6)$$

$$\begin{aligned} a_{21} = & -jZ_0(4\omega CZ_1(1+j\omega CZ_0)(\cos(2\theta_1 + \theta_2) + \cos(\theta_2)) + \\ & (4 - 4\omega^2 C^2 Z_0^2 - \omega^2 C^2 Z_1^2 + j8\omega CZ_0)\sin(2\theta_1 + \theta_2) + \\ & \omega^2 C^2 Z_1^2 (\sin(2\theta_1 - \theta_2) - 2\sin(\theta_2))) / (4Z_1(\omega CZ_0 - j)^2) \end{aligned} \quad (7)$$

根据散射矩阵和转移矩阵之间的转换关系, 得到微波网络的 S 参量矩阵:

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \frac{1}{a_{11} + a_{12} + a_{21} + a_{22}} \times \begin{bmatrix} a_{11} + a_{12} - a_{21} - a_{22} & 2|\bar{\mathbf{A}}_{\text{total}}| \\ 2 & -a_{11} + a_{12} - a_{21} + a_{22} \end{bmatrix} \quad (8)$$

根据式(8), 计算出反射系数 S_{11} 和插入损耗 S_{21} 的数值。在不考虑介质损耗的情况下, 根据能量守恒定律, 计算出悬臂梁耦合比例 β :

$$\beta = S_{31}^2 + S_{41}^2 = \frac{1 - (|S_{11}|^2 + |S_{21}|^2)}{2} \quad (9)$$

根据推导出的解析公式, 在部分条件确定的情况下, 针对性地对某项参数进行优化与分析。当需要优化的变量较多时, 模型的建立与求解需要花费较长的时间, 计算量较大。因此, 在设计过程中, 借助 ADS 软件进行验证性的仿真运算。S 参数电路模型如图 5 所示。

利用 ADS 软件, 可以根据集总参数模型, 较快地得出器件相应的微波参数值。在对传感器阻抗匹配结构进行设计优化的前期, 结合模型优化求解与 ADS 仿真验证这两种方法, 可以较快地缩小传输线相关尺寸参数的范围, 以缩短后期使用 HFSS 软件进行最终优化和求解的时间。

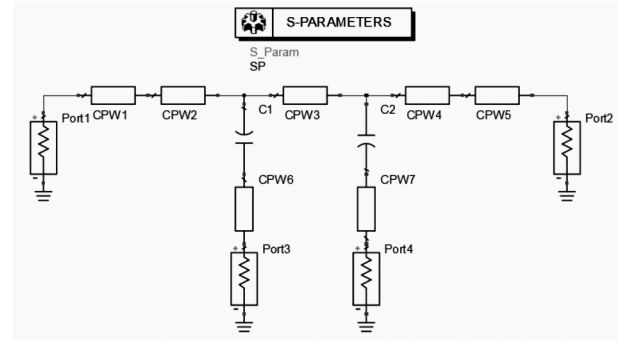


图 5 S 参数电路模型

3 测试与分析

对耦合式 MEMS 微波功率传感器进行优化设计, 最终制备的传感器 SEM 图如图 6 所示。

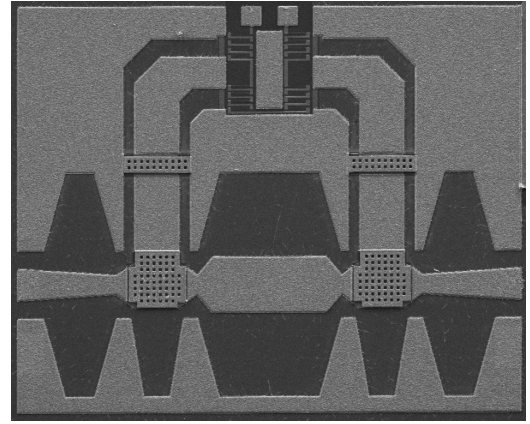
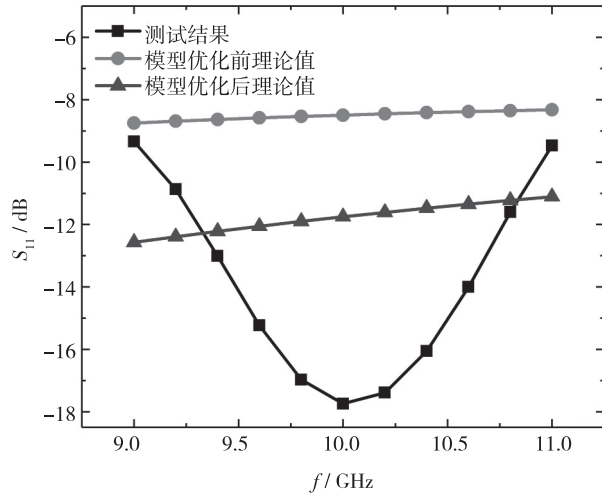
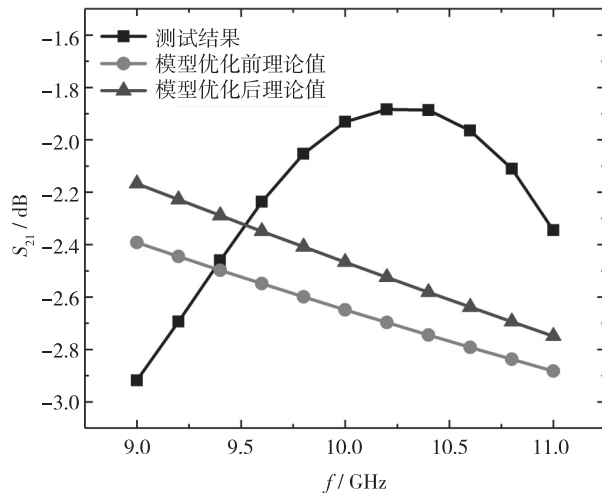


图 6 传感器 SEM 图

使用 Cascade Microtech 1200 Probe Station 微波探针平台和 KEYSIGHT E5071C 矢量网络分析仪对传感器的反射系数 S_{11} 和插入损耗 S_{21} 进行测试。在 9~11 GHz 的频段内, 将实验测数据与优化前后集总参数模型计算出的 S 参数进行对比, 结果如图 7 所示。

可以看出, 相较于优化前的传感器集总参数模型, 本文优化后模型计算出的传感器 S 参数与实测结果的差距较小, 反射系数 S_{11} 的最大误差为 6.0 dB, 插入损耗 S_{21} 的最大误差为 0.7 dB。在 S 参数的变化趋势方面, 实验测试的结果随频率波动较大, 而利用模型计算出的结果则变化平缓。这是因为在传感器制备的过程中, 存在一些不理想的因素, 例如梁的弯曲和工艺误差等。在测试过程中, 梁可能发生振动, 进而影响仪器测试结果的稳定性。因此, 传感器 S 参数的实测结果随频率波动较大。

(a) 反射系数 S_{11} (b) 插入损耗 S_{21} 图 7 模型计算出的 S 参数与测试结果的对比

优化前后,传感器集总参数模型的准确度对比如表 1 所示。可以看出,优化后模型在计算准确度方面有了较明显的提升,能更准确地计算出耦合式 MEMS 微波功率传感器的 S_{11} 和 S_{21} 。

表 1 优化前后模型准确度对比

S 参数名称	S_{11}	S_{21}
未优化模型的平均误差	62.42%	13.77%
优化后模型的平均误差	54.84%	11.66%
提高的百分比	7.58%	2.11%

4 结 论

为了更好地对耦合式 MEMS 微波功率传感器的微波特性进行计算与分析,本文对现有传感器集

总参数模型进行了优化,使其可以应用于阻抗匹配结构较为复杂的传感器上,扩大了模型的适用范围。实验测试结果表明,优化之后的模型具有较高的准确度,能更好地对传感器的微波性能进行计算与分析。

参 考 文 献:

- [1] SONG X, LI J, FAN Y, et al. Six-port direct modulator with carrier suppression technology for high-speed high-frequency wireless communications [J]. IEEE Microw Wirel Compon Lett, 2017, 27(8): 745-747.
- [2] ZHANG F, PAN S. Microwave photonic signal generation for radar applications [C] // IEEE iWEM. Nanjing, China. 2016: 1-3.
- [3] NAKARMI B, CHEN H, WON Y H, et al. Microwave frequency generation, switching, and controlling using single-mode FP-LDs [J]. J Lightwave Technol, 2018, 36(19): 4273-4281.
- [4] SINGHVI A, BOYLE K C, FALLAHPOUR M, et al. A microwave-induced thermoacoustic imaging system with non-contact ultrasound detection [J]. IEEE Trans Ultrason Ferroelectr Freq Control, 2019, 66(10): 1587-1599.
- [5] 王德波, 白文娟, 郭艳艳, 等. 双通道 MEMS 微波功率传感器的悬臂梁设计 [J]. 微电子学, 2015, 45(3): 408-412.
- [6] HAN L, HUANG Q, LIAO X, et al. A microwave power sensor based on GaAs MMIC technology [J]. J Micromech Microeng, 2007, 17(10): 2132-2137.
- [7] HAN L, HUANG Q, LIAO X, et al. A micromachined inline-type wideband microwave power sensor based on GaAs MMIC technology [J]. J Microelectromech Syst, 2009, 18(3): 705-714.
- [8] ZHANG Z, LIAO X. Microwave performance and sensitivity solutions for an inline coupling RF MEMS power sensor packaging [C] // ICEPT. Xi'an, China. 2010: 730-732.
- [9] ZHANG Z, LIAO X. A lumped model with phase analysis for inline RF MEMS power sensor applications [J]. Sens Actuators A Phys, 2013, 194: 204-211.
- [10] YI Z, LIAO X, ZHANG Z, et al. A cascade RF power sensor based on GaAs MMIC for improved dynamic range application [C] // IEEE Symp RFIC. Tampa, FL, USA. 2014: 201-204.
- [11] 王新稳, 李延平, 李萍, 等. 微波技术与天线 [M]. 第四版. 北京: 电子工业出版社, 2016.

· 动态与综述 ·

斩波放大器输出纹波抑制方法综述

张三锋, 周 雄, 李 强

(电子科技大学 电子科学与工程学院 低功耗集成电路与系统研究所, 成都 610054)

摘 要: 通过调制和解调, 斩波调制技术可以有效降低放大器的输入噪声和失调电压, 提升放大器的共模抑制能力, 近年来广泛应用于高性能模拟前端设计。放大器的失调电压和低频噪声被调制到斩波频率, 放大器输出会产生较大的纹波, 需要进行滤波处理。文章介绍了斩波放大器工作原理及输出纹波的产生机制, 总结了目前用于斩波放大器输出纹波抑制的研究成果, 讨论了各种相关结构技术的优缺点。这为采用斩波技术的芯片设计研发人员提供了有益参考。

关键词: 斩波; 放大器; 输入失调; 纹波

中图分类号: TN722

文献标志码: A

文章编号: 1004-3365(2021)02-0235-05

DOI: 10.13911/j.cnki.1004-3365.200281

Review of Output Ripple Suppression Methods for Chopper Amplifiers

ZHANG Sanfeng, ZHOU Xiong, LI Qiang

(Institute of Integrated Circuits and Systems, School of Electronic Science and Engineering, University of Electronic Science and Technology of China, Chengdu 610054, P. R. China)

Abstract: Through modulation and demodulation, the chopping technique could effectively reduce amplifier's input referred noise and offset, and improve the common-mode rejection ability. Therefore, it had been widely used in high-performance analog front-end design. Due to the up modulated offset and low frequency noise, large ripple appeared at the output of the amplifier, which required additional filtering process. An introduction of working principles of chopper amplifiers and mechanisms of output ripple were presented in this paper. A review of state-of-the-art ripple rejection techniques was given, which provided a useful reference for designers adopting the chopping technique.

Key words: chopping; amplifier; input offset; output ripple

0 引 言

物联网技术的发展加大了对微型传感器的需求, 包括用于医疗监控的生物传感器, 以及用于基础设施、工业和环境监控的物理传感器。以生物信号传感器为例, 被检测的电信号非常微弱, 甚至低至数十 μV , 并且伴随着数百 mV 的共模干扰。这要求前端检测电路具有低输入噪声、低失调和高共模抑

制能力。

斩波技术通过调制解调的方法可以实现以上性能要求^[1]。然而, 输入失调电压和低频噪声被调制到斩波频率时, 放大器输出会受到较大的纹波干扰, 可能影响后续电路的工作, 甚至使得放大器本身产生输出饱和, 严重影响电路性能, 因此需要进一步处理。

文章第 1 节分析介绍了斩波调制技术的工作原理和纹波产生机理; 第 2 节介绍了在信号通路中加

收稿日期: 2020-06-17; 定稿日期: 2020-08-17

基金项目: 国家自然科学基金资助项目(61534002, 61904027, 61761136015)

作者简介: 张三锋(1992—), 男(汉族), 河南三门峡人, 博士研究生, 研究方向为模拟集成电路设计。

滤波器的方案;第3节介绍了引入反馈通路的滤波方案;第4节给出结论。

1 斩波调制的原理和纹波产生机理

1.1 斩波技术的基本原理

图1给出了斩波调制技术电路模型及其时域、频域表示。输入低频信号 V_{IN} 经过第一级斩波器后,时域上被转换为频率为 f_{CH} 的方波,频域上被调制到 f_{CH} 和其奇次谐波处。调制信号和放大器低频误差叠加后被放大,此时放大器的输入输出包含高频的调制信号和低频误差。第二级斩波器将调制信号重新解调到低频,低频误差则被调制到高频。最终,高频的调制误差通过滤波器滤除,降低了放大器的输入失调和噪声。

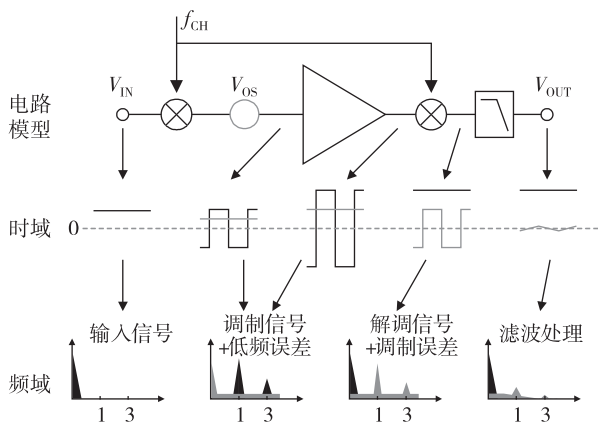


图1 斩波调制技术电路模型及其时域和频域表示

低频误差是指放大器的输入失调电压和输入闪烁噪声($1/f$ 噪声)。从图1可知,为了有效去除 $1/f$ 形式的噪声,斩波频率应高于闪烁噪声的转角频率。

斩波技术还可以显著提高放大器的共模抑制能力,原理如图2所示。

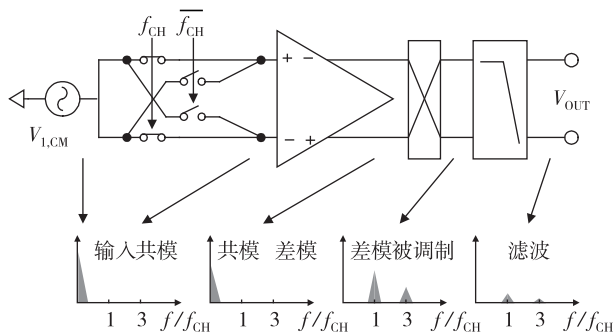


图2 斩波调制技术提高共模抑制比的原理分析

不同于差模输入信号,斩波技术是连续时间调制技术,共模输入信号的传递不受输入斩波开关切

换的影响。因此,低频共模干扰信号在经过第一级斩波器后并未被调制,其频率范围不变。放大器的共模抑制比有限,经过放大器后,共模信号会转换成相应幅度的差模,且其频率分布范围与输入共模信号一致,幅度取决于放大器的共模到差模增益。在经过第二级斩波器后,差模信号被调制到高频,被滤波器滤除,从而提升了整体的共模抑制能力。

由上述分析可知,斩波调制技术可以有效降低放大器的输入噪声、输入失调,并提高共模抑制能力。

1.2 纹波产生机理

在图1的时域波形中可以看到,滤波之前的信号中包含被放大后所需的输入信号和放大后调制到高频的误差。通常将输出所包含的调制到高频的误差称作纹波。一般情况下,放大器的输入失调为毫伏量级,被放大调制的纹波可能达到数百 mV,这会严重影响后级电路的工作,甚至使放大器饱和,较大的纹波还会限制放大器的有效信号摆幅。纹波的幅度取决于放大器的输入失调和实际应用下输入失调到输出端的增益。

纹波是由对低频误差的一次调制而产生,相应的输入信号则经过两次调制。这种经过不同次数的调制将低频误差和信号在频域上分离,这是斩波技术提高电路性能的根本原因。

2 信号通路输出纹波抑制

输出纹波抑制的最直接方案是在信号通路上加滤波器,用于衰减调制后纹波形式的调制误差或者未调制的低频误差。纹波衰减的幅度取决于滤波器的种类和阶数。

2.1 低通滤波器

采用有源低通滤波器滤除纹波的方案如图3所示。这种方案简单易行,由 G_{M1} 输出的电流要在 C_1 上进行积分后到达输出端^[2]。这种结构还可以作为传统的两级运放使用,第一级提供低噪声低失调,第二级提供输出所需要的驱动能力和摆幅,同时将电容 C_1 用作密勒补偿电容,以满足稳定性要求。整体的两级放大器可以当作一个核心放大器,用于反馈回路。使用密勒电容来达到滤除纹波的目的,需要使用较大的 C_1 电容来实现低的低通截止频率,这会增加电路的面积消耗。图3所示的放大器的输入失调受限第二级放大器的输入失调 V_{OS2} 和第一级的增益。假设第二级失调电压为 20 mV、第一级增益

为100倍,输入失调电压则受限在 $200\ \mu\text{V}$ 。输出级采用自调零技术可以降低这一影响,但会带来额外的电路复杂度和功耗开销,且自调零技术是离散时间技术,工作过程中引入了采样操作,会引入噪声折叠等问题。

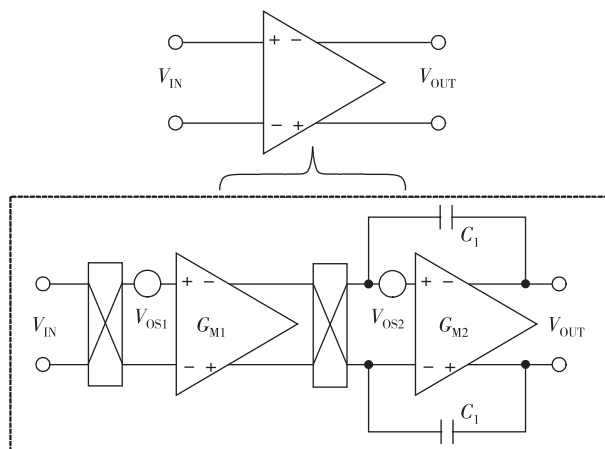


图3 采用有源低通滤波器滤除纹波的方案

2.2 陷波滤波器

输出纹波的频谱分量主要集中在斩波频率及其奇次谐波处,只有在这些频率点附近的滤波是有效的。低通滤波器在这些频率点的衰减程度与低通滤波器的截止频率和滤波器阶数有关,而截止频率受限于信号带宽。假设信号带宽为 $5\ \text{kHz}$ 、斩波频率为 $20\ \text{kHz}$,如果低通滤波的截止频率为 $5\ \text{kHz}$,则1阶滤波器在斩波频率处只有 $12\ \text{dB}$ 的衰减。更高的滤波器则提升了电路设计成本。

采用采样保持陷波滤波器滤除纹波的方案如图4所示。这种方案可以更有效地衰减输出纹波^[3]。

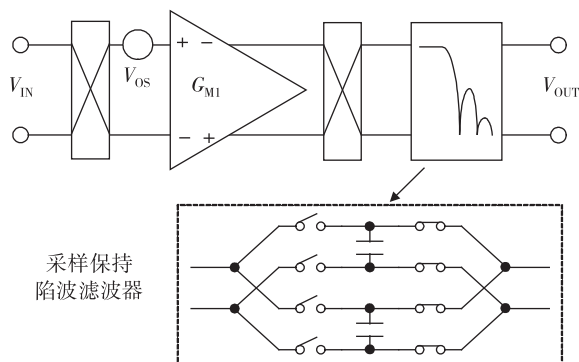


图4 采用采样保持陷波滤波器滤除纹波的方案

零阶采样保持的传输函数为:

$$H(f) = e^{-j\pi f T} \times \frac{\sin(\pi f T)}{\pi f} \quad (1)$$

式中, T 为采样周期,与斩波时钟周期一致。可以看出,斩波频率处的传输函数为零,可以非常有效地衰

减输出纹波。

采用采样保持陷波器的缺点是:1)采样是离散时间操作,会引入噪声折叠问题;2)会在斩波频率引入相移,当电路用于反馈系统时,这会导致电路不稳定,增加了频率补偿的难度。

还可以采用连续时间陷波滤波器来滤除纹波。然而,对于连续时间电路,陷波频率通常由无源元件确定,难以对准斩波频率,需要额外的复杂电路来保持陷波器的频率和斩波频率一致,否则会降低纹波抑制效果。

2.3 解调前高通滤波

上述方案在输出级加上低通滤波器或者陷波滤波器,以滤除已经被搬移到高频的纹波。滤波器设计需要考虑稳定性及对后级的驱动能力,这增加了电路的设计复杂度和成本。由图1可以看出,在放大器的输入和输出端,信号和低频误差在频谱上可以明显区分,信号位于高频,而误差位于低频。解调前高通滤波如图5所示。在第二级斩波器之前加入高通滤波器,滤除了低频误差,有效地抑制了输出纹波。

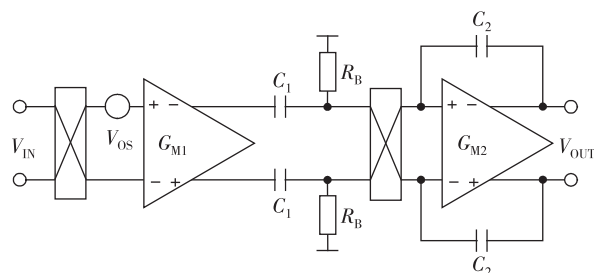


图5 解调前高通滤波

文献[4]采用了这种结构。由于存在输入失调电压和第一级增益,第一级放大器的输出可能有较大的失调甚至饱和,从而影响电路正常工作,因此需要抑制第一级放大器的直流增益,并保护斩波频率附近的增益。在文献[4]中,两级斩波放大器被放置在由电容组成的反馈回路中,在第一级放大器的输入和输出跨接一个适当阻值的电阻,可以保证直流增益为1,且不影响高频增益。电容 C_1 和 R_B 组成的高通角要在满足滤除低频误差的同时,不影响斩波频率附近的信号通过。电容 C_2 用作密勒补偿以满足稳定性,也有一定的滤波效果。相比于在输出端添加滤波器,该方案成本没有额外的功耗开销,滤波效果取决于中间高通滤波器的阶数和转角频率的设置。

2.4 使用自调零的斩波放大器

自调零技术也是一种用来有效降低放大器低频

误差的动态技术^[1]。与斩波调制不同,自调零是一种采样技术,会造成噪声折叠,且输出不连续。斩波放大器产生纹波的根本原因是低频误差的频谱搬移,如果放大器更精密,产生的输出纹波会更小。使用自调零的斩波放大器如图 6 所示。采用自调零放大器作为核心放大器^[5],可有效降低输出纹波,但自调零技术增加了噪底,需要更大的功耗以满足噪声性能要求。

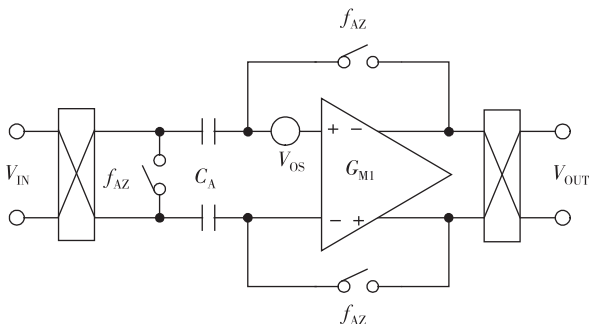


图 6 使用自调零的斩波放大器

文献[6]展示了另外一种调零技术。该调零技术在原有的电容反馈框架上仅添加两个额外的开关,消耗的硬件成本较低。缺点是该技术利用了调零的速度大于失调电压的恢复建立速度的原理,要求电路具有较大的时间响应系数,即只适合具有高通特性且转角频率较低的设计,如应用于生物电信号采集的放大器。另外,与自调零技术一样,该技术也会引入一定程度的噪声折叠。

3 反馈通路输出纹波抑制

在信号通路中加入滤波器是一种直接的纹波抑制方案,本质上是直接阻止纹波或阻止引起纹波的成分向下级传递,但实质上没有补偿放大器的输入失调电压。放大器的输出依然含有较大的纹波,只是经过滤波后,纹波会衰减到不影响后级电路的程度。但是,高能量斩波频率中纹波的存在会限制放大器输出级的有效信号摆幅,降低放大器的线性度,甚至造成输出饱和。因此,为了同时保证电路的性能,需要在抑制纹波的同时,降低电路内部由低频误差导致的较大的电压/电流波动,这要求对放大器的输入低频误差进行补偿。

3.1 陷波型反馈补偿

含陷波器的反馈纹波抑制电路如图 7 所示,它是一种使用反馈电路来抑制输出纹波的斩波放大器^[7]。 G_{M3} 首先检测并放大 G_{M2} 的输入,再经过一次

斩波调制,此时斩波器的输出含有低频的误差干扰和被调制到高频的信号。陷波滤波器滤除被调制到高频的信号,只剩下低频误差。最后通过 G_{M4} 将检测到的低频误差反馈回电路,并抵消原有的低频误差。最终, G_{M2} 输入端的纹波被反馈回路的增益 (G_{M3} 的高频增益和 G_{M4} 的低频增益相乘) 所衰减,从而达到抑制纹波的目的。这里的陷波滤波器通常由第 2 节介绍的采样保持陷波滤波器实现,但会引入噪声折叠。 G_{M1} 和 G_{M4} 可以通过传统的差动差分放大器 (DDA) 实现。

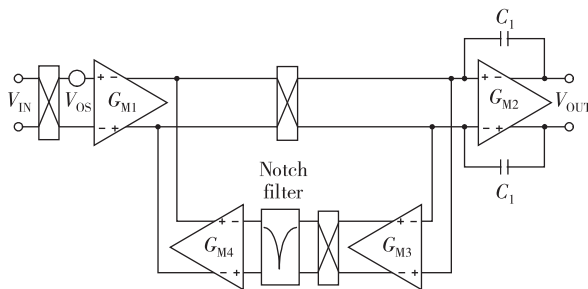


图 7 含陷波器的反馈纹波抑制电路

与在信号通路中采用的陷波器不同,这里的反馈通路只用来补偿输入低频误差,不引入信号通路的相移,且补偿了电路内部由低频误差引入的抖动,增加了电路性能。但是,需要关注反馈回路本身的稳定性,因为陷波器本身会在斩波频率处引入较大的相移。出于对稳定性的考虑,需要保证回路的单位增益频率低于斩波频率,这与回路建立时间的要求相互矛盾。因此,通常需要更高的斩波频率来保证稳定性和建立时间,但是,更高的斩波频率会引入大的电流噪声和剩余失调电压。

3.2 积分型反馈补偿

图 8 给出了含积分器的反馈纹波抑制方案^[8]。

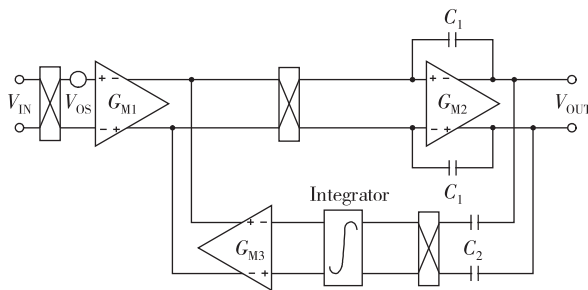


图 8 含积分器的反馈纹波抑制方案

与图 7 相比,该方案有以下不同点:1)检测点不同,图 8 结构在输出端进行检测,输出级 G_{M2} 也属于反馈回路,可以提供更高的回路增益;2)图 8 所示结构的 V_{OUT} 先经过由 C_2 构成的高通回路,其有效信号被衰减,纹波部分无损通过,然后被调制到低频,

被积分器放大,积分器进一步滤除了调制到高频的信号;3)图8中的反馈回路不含离散时间操作,不引入噪声折叠,噪声性能更好;4)图8结构采用了连续时间反馈电路,没有采样保持电路引入大的相移的问题,稳定性更好。

3.3 带失调补偿的解调前高通滤波

在2.3节中,介绍了在放大器解调前插入高通滤波的简单纹波抑制实现方案,但要求 G_{M1} 具有较低的低频增益,否则会造成第一级输出饱和。含失调补偿的解调前高通滤波电路如图9所示。通过检测隔直电容 C_1 两端的直流电压差,并反馈补偿该差异,最终保持电容 C_1 两端的直流电平相等^[9]。通过反馈的方式,降低了 G_{M1} 的输出失调,因此不再要求 G_{M1} 具有较低的低频增益,避免了输出饱和,扩大了电路的可适用范围。

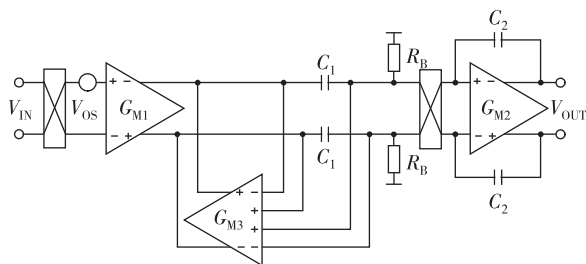


图9 含失调补偿的解调前高通滤波电路

3.4 其他方案

反馈回路的精度同样会限制电路的性能,可以在反馈回路中进一步采用斩波调制、自调零等技术增强反馈回路的精度,如文献[10]采用了自调零的积分器。另外,文献[11]采用数字校正的反馈回路,回路检测输出纹波的大小,进而调整输入对管的尺寸,直接降低输入失调电压。

4 结 论

本文分析了采用斩波调制技术提升电路性能的原理,介绍了纹波产生的机理和目前被广泛应用的纹波抑制技术。纹波抑制主要包含信号通路滤波和反馈通路滤波两大类。反馈方案补偿了放大器的低频误差,通常性能更好,但电路成本更高。设计人员需要在性能和设计开销方面折中考虑。

参 考 文 献:

[1] ENZ C C, TEMES G C. Circuit techniques for

reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization [J]. Proc IEEE, 1996, 84(11): 1584-1614.

[2] WITTE J F, MAKINWA K A A, HUIJSING J H. A CMOS chopper offset-stabilized opamp [J]. IEEE J Sol Sta Circ, 2007, 42(7): 1529-1535.

[3] BURT R, ZHANG J. A micropower chopper-stabilized operational amplifier using a SC notch filter with synchronous integration inside the continuous-time signal path [J]. IEEE J Sol Sta Circ, 2006, 41(12): 2729-2736.

[4] CHANDRAKUMAR H, MARKOVIC D. A high dynamic-range neural recording chopper amplifier for simultaneous neural recording and stimulation [J]. IEEE J Sol Sta Circ, 2017, 52(3): 645-656.

[5] WITTE J F, HUIJSING J H, MAKINWA K A A. A current-feedback instrumentation amplifier with 5 μ V offset for bidirectional high-side current-sensing [J]. IEEE J Sol Sta Circ, 2008, 43(12): 2769-2775.

[6] FANG L, GUI P. A 14 nV/ $\sqrt{\text{Hz}}$ 14 μ W chopper instrumentation amplifier with dynamic offset zeroing (DOZ) technique for ripple reduction [C] // Proc IEEE CICC. Austin, TX, USA. 2019: 1-4.

[7] KUSUDA Y. Auto correction feedback for ripple suppression in a chopper amplifier [J]. IEEE J Sol Sta Circ, 2010, 45(8): 1436-1445.

[8] WU R, MAKINWA K A A, HUIJSING J H. A chopper current-feedback instrumentation amplifier with a 1 mHz $1/f$ noise corner and an AC-coupled ripple reduction loop [J]. IEEE J Sol Sta Circ, 2009, 44(12): 3232-3243.

[9] ZHENG J, KI W H, TSUI C Y. Analysis and design of a ripple reduction chopper bandpass amplifier [J]. IEEE Trans Circ Syst I: Regu Pap, 2017, 65(4): 1185-1195.

[10] FAN Q, SEBASTIANO F, HUIJSING J H, et al. A 1.8 μ W 60 nV/ $\sqrt{\text{Hz}}$ capacitively-coupled chopper instrumentation amplifier in 65 nm CMOS for wireless sensor nodes [J]. IEEE J Sol Sta Circ, 2011, 46(7): 1534-1543.

[11] AKITA I, ISHIDA M. A 0.06 mm² 14 nV/ $\sqrt{\text{Hz}}$ chopper instrumentation amplifier with automatic differential-pair matching [C] // Proc IEEE ISSCC. San Francisco, CA, USA. 2013: 178-179.

· 半导体器件与工艺 ·

表面贴装元件粘胶加固工艺质量优化

廖希异, 邓 丽, 高振奎

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 介绍了一种提升表面贴装元件粘胶加固工艺质量的方法。归纳了表征表面贴装元件粘胶加固工艺质量的关键指标,通过正交试验优化了胶体固化工艺,大幅提升了片式元件粘胶加固的工艺质量一致性。观察了改进前后胶体分布情况,以及胶体流淌对周边元器件的影响,简要分析了胶体固化工艺对粘胶加固质量的影响机理。

关键词: 元件粘胶加固; 粘接剂固化工艺; 正交试验

中图分类号: TN305.94

文献标志码: A

文章编号: 1004-3365(2021)02-0240-06

DOI: 10.13911/j.cnki.1004-3365.200174

Optimization of Reinforced Component with Glue Process for Surface Mount Components

LIAO Xiyi, DENG Li, GAO Zhenkui

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: A method for improving the reinforcing quality of the surface mount components with glue was introduced. The key indexes to characterize the adhesive reinforcement process quality of surface mount elements were summarized. Based on the indexes, the orthogonal experiment was studied. According to the results, the reinforced component's adhesive-force was improved and had high consistency. Moreover, some differences in the glue morphology and the influence of glue flowing on the nearby components were observed before and after improvement. The mechanism of reinforcing components with glue was discussed around the mainly factors.

Key words: reinforced component with glue; glue curing process; orthogonal experiment

0 引 言

混合集成电路(HIC)作为微电子领域的一个重要分支,正朝着高性能、多功能、小型化和高可靠性方向发展^[1]。为应对恶劣应用环境,通常要对 HIC 内部的表面贴装元件(SMD)进行加固处理,以提升抗振性能和整体可靠性。

底部填充技术多用于倒装芯片封装技术^[2],也适用于混合 IC 内部的元件粘胶加固。元件粘胶加固工艺是将粘接剂对元件底部进行填充,消除元件下方的镂空区域来改善安装结构,从而提升牢固性

和质量可靠性。底部填充方式的粘胶加固工艺的相关研究集中于组装结构设计、粘接剂选型、粘接剂施加等方面。应用粘接剂固化工艺时,通常套用粘接剂厂商提供的固化温度、固化时间,对工艺参数的研究较少^[3]。本文优化了粘接剂固化工艺的参数,大幅提升了粘胶加固工艺质量。

1 粘胶加固质量评价标准

1.1 国军标评价标准

为评价混合 IC 内部元件的牢固性,标准《GJB548B-2005 微电子器件试验方法和程序》中“方

收稿日期:2020-04-22;定稿日期:2020-05-26

基金项目:模拟集成电路国家重点实验室基金资助项目(6142802040805)

作者简介:廖希异(1981—),男(汉族),重庆人,高级工程师,硕士,从事混合集成电路工艺技术研究。

法 2019.2 芯片剪切强度”规定了片式元件剪切强度的测量方法,根据残留模式规定了不同的失效判据。剪切强度评价标准的示意图如图 1 所示^[4]。

本文关于剪切强度的测量按照该标准方法,符合以下任一条判据的器件均视为失效:1) 达不到 1 倍曲线的剪切强度要求;2) 达不到 1.25 倍曲线的剪切强度要求,元件在附着材料上的残留面积小于附着区面积的 50%;3) 达不到 2 倍曲线的剪切强度要求,元件在附着材料上的残留面积小于附着区面积的 10%。

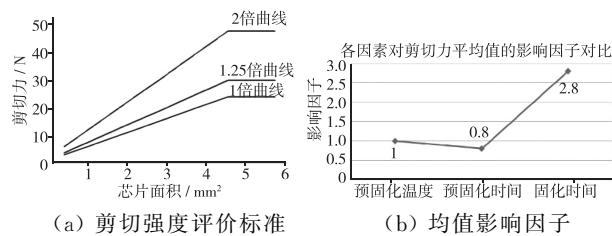


图 1 剪切强度评价标准及首次试验因素对剪切平均值的影响因子曲线

为简化试验,本文以 2 倍曲线作为元件剪切强度的最低要求。本次试验以 0603 片式元件为样品,其剪切强度的计算以《火炬牌电容器选项指南》^[5]为依据。根据 2 倍曲线计算出 0603 片式元件剪切强度下限,约为 15.4 N。

1.2 企业评价标准

标准 GJB548 明确了元件剪切强度的下限,未对剪切强度的一致性做出规定。这不利于控制底部填充工艺的质量一致性。高可靠性的应用要求是同一只电路中相同封装元件的剪切强度的最大值和最小值的商小于 3。

现代企业采用统计过程控制技术(SPC)和工艺能力指数(CPK)评估工艺能力^[6],本文以剪切强度均值的 0.5 倍、1.5 倍为上、下限,计算 CPK 值,CPK 值越高,表示剪切强度的一致性越高。企业通常要求 CPK 值大于 1.33。

2 固化条件优化

2.1 影响因素确定

粘接剂固化工艺中,使用电热鼓风烘箱,方式为随炉升温固化。为改善粘接剂在元件底部的流动性能,提高了填充率,从而提升了剪切强度,本文采用预固化工艺,即烘箱稳定于预固化温度后放入电路进行预固化,预固化后再升温到固化温度,按固化时间进行固化。

固化工艺的影响因素包括预固化温度和时间、固化温度和时间。本文选用的固化条件为:150 ℃、固化时间 30 min。固化温度由材料特性确定,不宜变更,所以本文重点研究其余三个因素,即预固化温度、预固化时间、固化时间。

2.2 首次正交试验

依据表 1 选定因素、水平,依据表 2 进行正交试验,记录试验数据,依据表 3、表 4 进行试验数据处理。试验结果如图 1、图 2、图 3 所示。

表 1 首次正交试验的因素-水平表

水平	预固化 温度/℃	预固化 时间/min	固化时 间/min
试验 1-水平 1	80	10	30
试验 1-水平 2	120	30	60

表 2 首次正交试验的正交试验表

试验	预固化 温度	预固化 时间	固化 时间	剪切强度 平均值/N	剪切强度 CPK 值
试验 1-A	水平 1	水平 1	水平 1	$L_1=46.3$	$C_1=1.2$
试验 1-B	水平 1	水平 2	水平 2	$L_2=49.9$	$C_2=1.78$
试验 1-C	水平 2	水平 1	水平 2	$L_3=50.1$	$C_3=1.89$
试验 1-D	水平 2	水平 2	水平 1	$L_4=48.1$	$C_4=1.94$

表 3 首次正交试验中各因素及水平对剪切强度平均值的影响

参数	因素			
	水平	预固化温度	预固化时间	固化时间
剪切	试验 1-	$(L_1+L_2)/2$	$(L_1+L_3)/2$	$(L_1+L_4)/2$
强度	水平 1(K_1)	=48.1	=48.2	=47.2
平均	试验 1-	$(L_3+L_4)/2$	$(L_2+L_4)/2$	$(L_2+L_3)/2$
值/N	水平 2(K_2)	=49.1	=49.0	=50.0
影响	$K= K_2-K_1 $	1	0.8	2.8
因子				

表 4 首次正交试验中各因素及水平对剪切强度 CPK 值的影响

参数	因素			
	水平	预固化温度	预固化时间	固化时间
剪切 强度	试验 1-	$(C_1+C_2)/2$	$(C_1+C_3)/2$	$(C_1+C_4)/2$
	水平 1(k_1)	=1.49	=1.545	=1.57
CPK 值	试验 1-	$(C_3+C_4)/2$	$(C_2+C_4)/2$	$(C_2+C_3)/2$
	水平 2(k_2)	=1.915	=1.86	=1.835
影响 因子	$k= k_2-k_1 $	0.425	0.315	0.265

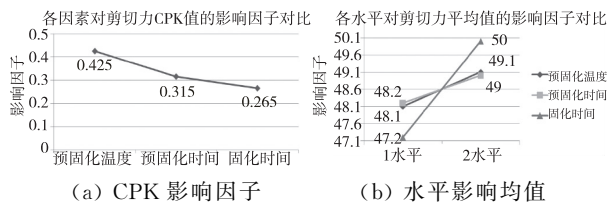


图 2 首次正交试验结果一示意图

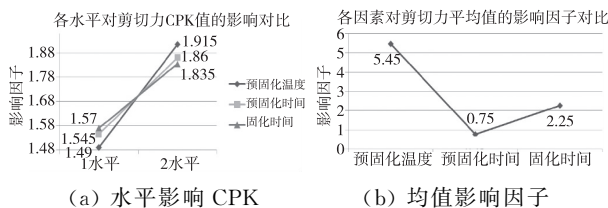


图 3 首次正交试验结果二示意图

表中, $L_1 \sim L_4$ 是某一实验分组获得的所有剪切强度值的平均值。 $C_1 \sim C_4$ 是某一试验分组获得的所有剪切强度值的 CPK 值。 $K_1 \sim K_2$ 是某一因素某一水平对应的剪切强度平均值, 表示其他因素综合作用相同时该因素在该水平时的综合剪切强度平均值。 K 是某一因素对剪切强度平均值的影响因子, 表示该因素对于剪切强度平均值影响的显著性。 $k_1 \sim k_2$ 是某一因素某一水平对应的剪切强度 CPK 值, 表示其他因素综合作用相同时该因素在该水平时的综合剪切强度 CPK 值。 k 是某一因素对剪切强度 CPK 值的影响因子, 表示该因素对于剪切强度 CPK 值影响的显著性。

在本次试验选取的因素和水平范围内, 对于剪切强度平均值, 预固化温度的影响 $\approx$ 预固化时间的影响 $<$ 固化时间的影响; 对于剪切强度 CPK 值, 预固化温度的影响 $>$ 预固化时间的影响 $>$ 固化时间的影响。当预固化温度升高, 预固化时间延长, 固化时间延长时, 剪切强度的平均值及 CPK 值均呈上升趋势。因此, 在第二次正交试验中, 选择更高的预固化温度、更长的预固化时间、更长的固化时间。

2.3 第二次正交试验

依据表 5 选定因素、水平, 依据表 6 进行正交试验, 记录试验数据, 依据表 7、表 8 进行试验数据处理。试验结果如图 4、图 5 所示。

在本次试验选取的因素和水平范围内, 对于剪切强度平均值, 预固化温度的影响 $>$ 固化时间的影响, 预固化时间的影响较小, 可忽略; 对于剪切强度 CPK 值, 预固化温度的影响 $>$ 预固化时间的影响 $>$ 固化时间的影响。当预固化温度升高, 预固化时间

延长, 固化时间延长时, 剪切强度平均值及 CPK 值均呈上升趋势。因此, 选择与固化温度相同的预固化温度, 则将预固化时间并入固化时间一并考虑, 重点研究固化时间对剪切强度的影响。

表 5 第二次正交试验的因素-水平表

水平	预固化 温度/ $^{\circ}\text{C}$	预固化时 间/min	固化时 间/min
试验 2-水平 1	135	30	60
试验 2-水平 2	150	60	120

表 6 第二次正交试验的正交试验表

试验	预固化 温度	预固化 时间	固化 时间	剪切强度 平均值/N	剪切强度 CPK 值
试验 2-A	水平 1	水平 1	水平 1	$L_1 = 53.8$	$C_1 = 1.85$
试验 2-B	水平 1	水平 2	水平 2	$L_2 = 55.3$	$C_2 = 2.44$
试验 2-C	水平 2	水平 1	水平 2	$L_3 = 61.5$	$C_3 = 2.48$
试验 2-D	水平 2	水平 2	水平 1	$L_4 = 58.5$	$C_4 = 2.49$

表 7 第二次正交试验中各因素及水平对剪切强度平均值的影响

参数	因素			
	水平	预固化温度	预固化时间	固化时间
剪切 强度 平均 值/N	试验 2- 水平 1(K_1)	$(L_1 + L_2)/2$ $= 54.55$	$(L_1 + L_3)/2$ $= 57.65$	$(L_1 + L_4)/2$ $= 56.15$
	试验 2- 水平 2(K_2)	$(L_3 + L_4)/2$ $= 60$	$(L_2 + L_4)/2$ $= 56.9$	$(L_2 + L_3)/2$ $= 58.4$
影响 因子	$K = K_2 - K_1 $	5.45	0.75 (绝对值)	2.25

表 8 第二次正交试验中各因素及水平对剪切强度 CPK 值的影响

参数	因素			
	水平	预固化温度	预固化时间	固化时间
剪切 强度 CPK 值	试验 2- 水平 1(k_1)	$(C_1 + C_2)/2$ $= 20.145$	$(C_1 + C_3)/2$ $= 20.165$	$(C_1 + C_4)/2$ $= 2.17$
	试验 2- 水平 2(k_2)	$(C_3 + C_4)/2$ $= 20.485$	$(C_2 + C_4)/2$ $= 20.465$	$(C_2 + C_3)/2$ $= 2.46$
影响 因子	$k = k_2 - k_1 $	0.34	0.3	0.29

2.4 固化时间对剪切强度的影响

固化时间对剪切强度的关系表如表 9 所示。固化时间影响 CPK 曲线如图 6 所示。可以看出,随着固化时间延长,剪切强度均值和剪切强度 CPK 值均呈上升趋势。当固化时间大于 150 min 时,上升趋势明显减慢。考虑到固化周期和产能等因素,确定固化时间为 150 min。

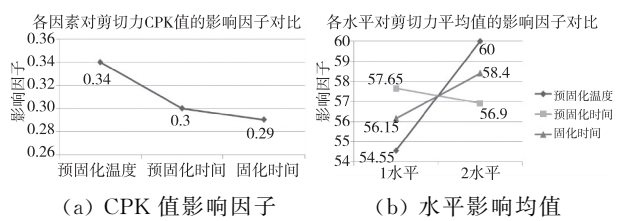


图 4 第二次正交试验结果一示意图

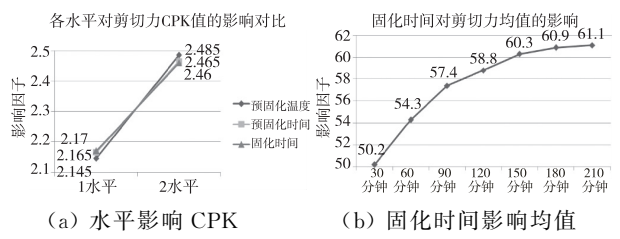


图 5 第二次正交试验结果二示意图

表 9 固化时间-剪切强度关系表				
试验序号	预固化、固化温度/℃	固化时间/min	剪切强度平均值/N	剪切强度 CPK 值
1	150	30	50.2	1.76
2	150	60	54.3	1.93
3	150	90	57.4	2.15
4	150	120	58.8	2.39
5	150	150	60.3	2.48
6	150	180	60.9	2.50
7	150	210	61.1	2.49

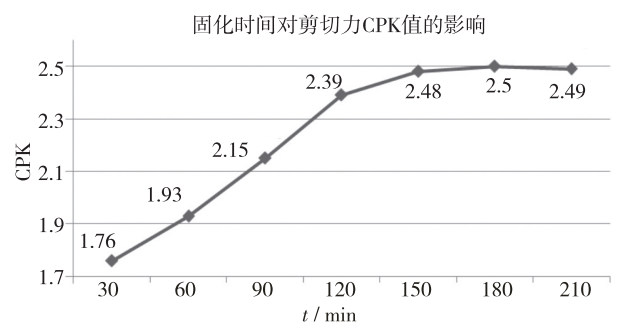


图 6 固化时间影响 CPK 曲线

2.5 改进前后对比

改进前后的参数对比如表 10 所示。可以看出,通过优化固化工艺,大幅提升了剪切强度平均值和 CPK 值,剪切强度平均值达到 60.3 N,大幅超过 GJB548 要求的 15.4 N。

表 10 改进前后的参数对比				
状态	预固化温度/℃	固化时间/min	剪切强度平均值/N	剪切强度 CPK 值
改进后	150	150	60.3	2.48
改进前	25	30	39.8	0.95

3 粘胶加固后质量检验

样品均采用自动点胶机进行粘胶加固工艺,保证胶体的质量一致性。片式元件加固示意图如图 7 所示。

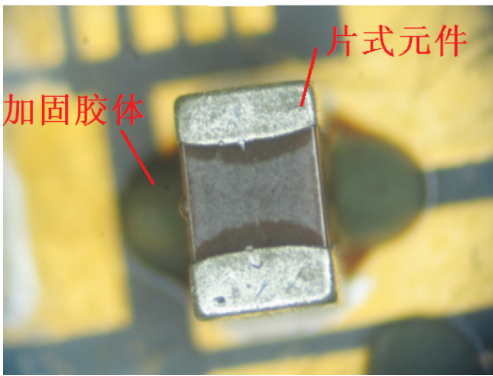


图 7 片式元件加固示意图

改进前后片式元件底部胶体分布如图 8 所示,改进前后基板上胶体残留示意图如图 9 所示。可以看出,改进前,片式元件底部与基板之间的缝隙存在较大空洞。改进后,片式元件底部与基板之间的缝隙完全被胶体填充,因此剪切强度平均值和 CPK 值得到明显提升。

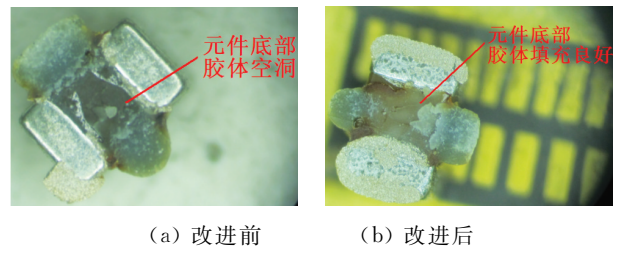


图 8 改进前后元件底部胶体示意图

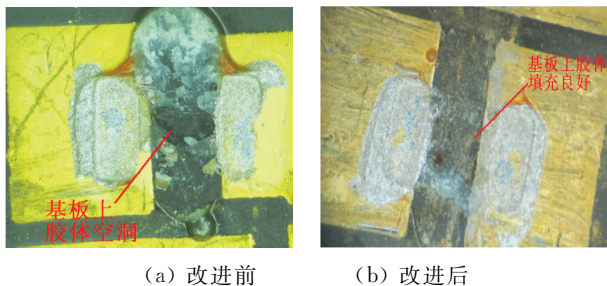


图 9 改进前后基板上胶体残留示意图

4 胶体流散的影响

元件加固胶的主要成分为环氧树脂,其在高温下粘度降低、流淌性增加。胶体一旦流动且沾污其他元件,会造成电路返工,甚至电路失效。因此,需减少胶体流散对周边元件的影响。胶体边界不易测量,常规的平面点胶试验无法验证电路内部三维结构受到的影响。

本文模拟电路的实际结构,设计了一种用于衡量胶体流散程度的试验。胶体流淌试验示意图如图 10 所示。元件组装、粘胶加固、金丝键合均采用自动设备,保证与正式生产过程一致。将胶体边界设计为紧贴键合金丝压焊点,观察改进前后胶体边界与压焊点的位置关系。

改进前后胶体边界示意图如图 11 所示。

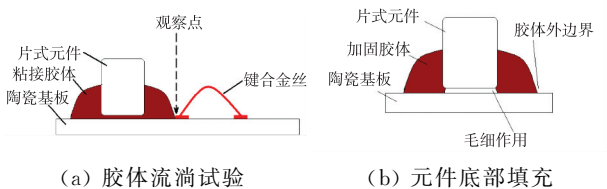


图 10 胶体流淌试验示意图

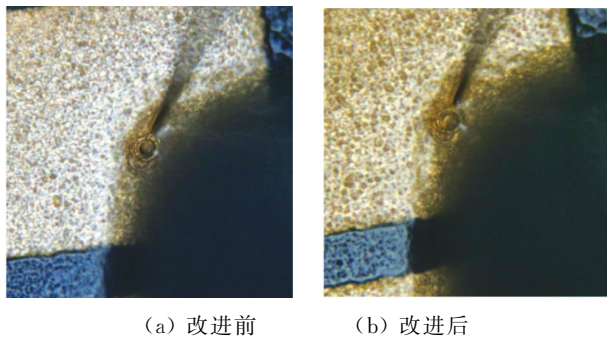


图 11 改进前后胶体边界示意图

可以看出,改进前与改进后相比较,胶体边界与压焊点的位置关系没有明显变化。这表明,本文方法在改善底部胶体填充的同时,不会使胶体流散及

沾污。胶体在底部与基板间隙之间的填充存在毛细作用,胶体粘度的降低可显著改善填充效果。本文方法是通过优化固化条件降低胶体粘度。在胶体外边界位置,不存在毛细作用,胶体粘度的降低对胶体流淌的影响不大。

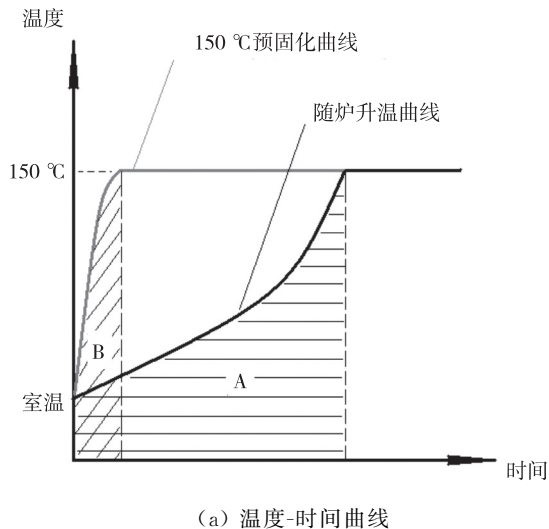
5 机理分析

剪切强度平均值及 CPK 值取决于粘接剂在底部的填充率和粘接剂固化度。填充率取决于粘接剂的粘度和流动时间。工艺试验表明,在固化过程中,粘度发生显著变化所需的时间远远大于粘接剂在该粘度下填充底部所需的时间。因此,填充率取决于粘接剂所能达到的最低粘度,而不是粘接剂在最低粘度维持的时间,即最低粘度越低,粘接剂就能填充更多的底部面积,填充率就越高。

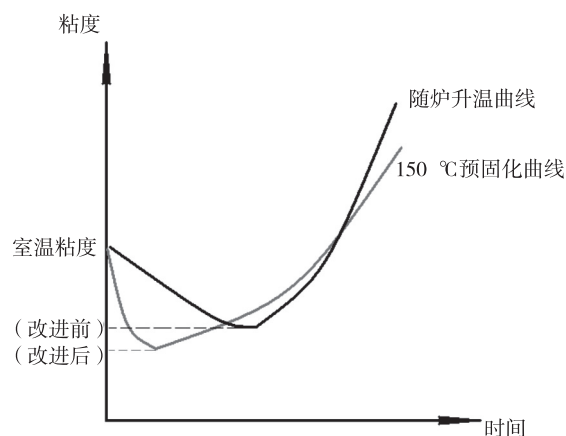
对于聚合物体系,固化度越低,粘度越低^[7]。胶体的温度-时间曲线如图 12(a)所示。可以看出,曲线的面积反映了固化度。样品在 150 °C 时,面积 B 小于面积 A。150 °C 预固化的样品与随炉升温的样品相比,固化度更低,粘度更低。

胶体的粘度-时间曲线如图 12(b)所示。可以看出,样品在 150 °C 时,粘度是最低的。150 °C 预固化的样品与随炉升温的样品相比,最低粘度更低,填充率更高,剪切强度平均值及 CPK 值更高。

延长粘接剂固化时间,有助于提升粘接剂固化度、增加粘接剂在分子尺度上的交联固化^[8],有效消除内部缺陷,提高剪切强度的平均值及 CPK 值。



(a) 温度-时间曲线



(b) 粘度-时间曲线

图 12 胶体温度-时间曲线和胶体粘度-时间曲线

6 结 论

本文通过正交试验优化了粘接剂固化工艺,显著提升了片式元件的粘胶加固质量,大幅提升了剪切强度平均值及CPK值。主要方法有:通过提高粘接剂的预固化温度,降低了粘接剂在固化过程中的最低粘度,提高了粘接剂在底部的填充率;通过延长粘接剂的固化时间,提高了粘接剂的固化度;采用正交试验,有效减少了试验次数,提高了试验效率。

本文提出的优化固化工艺成本低、效果好,对于粘胶加固工艺优化具有一定借鉴意义。固化工艺对底部填充质量的影响很大程度上取决于粘接剂的材料特性,今后将进一步开展不同粘接剂材料的影响试验。

参 考 文 献:

- [1] 李振亚,赵钰. 混合集成电路技术与展望[J]. 中国电子科学研究院学报,2009,4(2): 119-124.
- [2] 张涛,张忠新. 底部填充工艺探讨[J]. 印制电路信息,2011,19(6): 66-70.
- [3] 张文杰,朱朋莉,赵涛,等. 倒装芯片封装技术概论[J]. 集成技术,2014,3(6): 84-91.
- [4] 信息产业部电子第四研究所. 微电子器件试验方法和程序方法 GJB548B-2005 [S]. 北京:信息产业部电子第四研究所,2005: 229-232.
- [5] 火炬牌电容器选项指南 [M]. 泉州:福建火炬电子科技股份有限公司,2015: 32.
- [6] 袁学成,胡湘洪. 统计过程控制(SPC)体系 [M]. 北京:中国标准出版社,2009: 5-8.
- [7] 代晓青,曾竟成,肖加余,等. 一种预测反应性树脂体系黏度随时间变化关系的新方法[J]. 复合材料学报,2010,28(3): 78-85.
- [8] 胡宏纹. 有机化学 [M]. 北京:高等教育出版社,2015: 254.

一种具有部分高介电常数介质调制效应的 IGBT

陈为真, 程骏骥

(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘 要: 提出了一种具有高介电常数介质填充沟槽的绝缘栅双极晶体管(IGBT)。分析了高介电常数介质调制效应。结果表明,与普通场阻型 IGBT 相比,该器件的击穿电压提高了 8%,通态压降减小了 8%,关断损耗降低了 11%;在相同通态压降下,该器件的关断损耗降低了 35%。在栅极与原 HK 介质之间增加介电常数更高的介质,进一步提升了该 IGBT 的性能。与普通场阻型 IGBT 相比,在相同击穿电压与通态压降下,改进器件的关断损耗降低了 57%。

关键词: 绝缘栅双极晶体管;高介电常数;关断损耗;功率器件

中图分类号:TN322⁺.8

文献标志码:A

文章编号:1004-3365(2021)02-0246-05

DOI:10.13911/j.cnki.1004-3365.200310

An IGBT with Partial High Permittivity Dielectric Modulation

CHEN Weizhen, CHENG Junji

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: An Insulated Gate Bipolar Transistor (IGBT) with a trench filled with high permittivity dielectric was presented. The effect of high permittivity dielectric modulation was analyzed. The results showed that, compared with the field stop IGBT, the breakdown voltage of the proposed device was increased by 8%, the on-state voltage and turn-off loss were decreased by 8% and 11%, respectively. At the same on-state voltage drop, the turn-off loss of the device was reduced by 35%. Moreover, by adding another dielectric between gate and the previous HK dielectric, the performance of the proposed device could be enhanced further. Compared with the common field stop IGBT, the turn-off loss of the modified device was reduced by 57% at the same breakdown voltage and on-state voltage drop.

Key words: IGBT; high- k ; turn-off loss; power device

0 引 言

功率器件是转换电能的关键部件之一,为了节约能源,必须减小功率器件的工作损耗。这对 IGBT^[1]而言,需降低通态损耗、关态损耗和开关过程中的损耗。然而,通态损耗的降低与关断损耗的降低存在矛盾关系。

为了改善 IGBT 的性能,超结 IGBT (SJ-IGBT)^[2]和具有高介电常数介质调制效应的 IGBT

(HK-IGBT)^[3]均被提出。SJ-IGBT 和 HK-IGBT 能使漂移区快速耗尽,相比普通场阻型 IGBT (FS-IGBT),它们的关断损耗均大幅降低。

与 MOSFET 相比,IGBT 的漂移区的厚度更大。从工艺角度来看,无论是采用多次外延-多次注入法^[4],还是采用刻槽-填充法^[5],超结工艺在 IGBT 中的应用难度都较大。超结工艺对电荷平衡的要求很高,在 N 柱与 P 柱的杂质存在电荷失衡时,器件性能会严重衰退^[6]。对于 HK-IGBT,在制作高深宽比沟槽时,无论是刻蚀工艺^[7],还是填充适配高介

收稿日期:2020-07-09;定稿日期:2020-07-29

基金项目:国家自然科学基金青年基金资助项目(61604030)

作者简介:陈为真(1994—),男(汉族),湖北武汉人,博士研究生,从事功率半导体器件研究工作。

程骏骥(1985—),男(汉族),江西景德镇人,副教授,从事功率半导体器件研究工作。通信作者。

电常数的介质工艺^[8],均存在工艺难度大的问题。

本文在 HK-IGBT 的基础上,提出了一种具有部分高介电常数介质调制效应的 IGBT (PHK-IGBT)。本器件中, HK 介质处沟槽的深度仅为 HK-IGBT 的一半。

1 PHK-IGBT 的结构及原理

1.1 结构及原理

本文提出的 PHK-IGBT 与普通 FS-IGBT 的结构分别如图 1(a)、图 1(b)所示。与 FS-IGBT 不同,本文 PHK-IGBT 的沟槽栅下方增加了一块 HK 的介质。

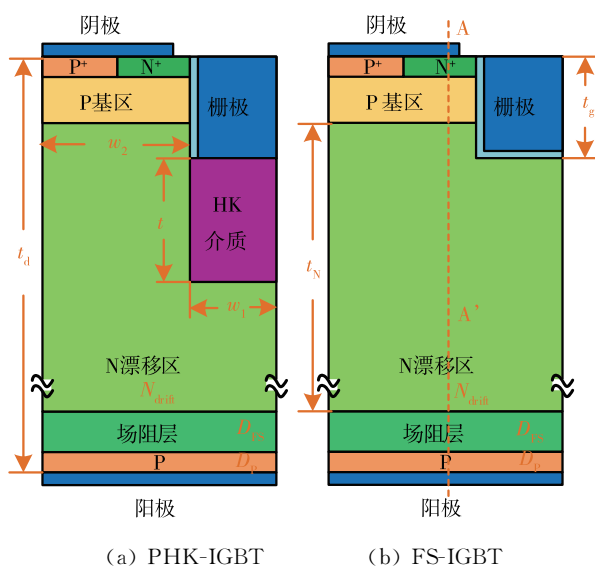


图 1 两种 IGBT 的结构剖面图

HK 介质具有比半导体材料更高的介电常数。图 1(a)中,介质的上界面与栅极直接相接,其余界面与 N 漂移区相接。HK 介质厚度为漂移区厚度的一半,目的是使介质所处沟槽的深宽比更适用于制作工艺。

与 FS-IGBT 相比, PHK-IGBT 的优势如下: 1) HK 介质增大了栅极与漂移区间的电容,有利于通态时漂移区中电子积累层的产生及其浓度的增大; 2) HK 介质具有转移电通量的作用^[9],能优化关态时漂移区的电场分布; 3) 高介电常数介质调制效应加速关断过程中漂移区的耗尽^[3],缩短了拖尾电流持续的时间。

1.2 结构参数的影响

基于 Medici 仿真软件,本文对 1 200 V 击穿电压 PHK-IGBT 进行了仿真研究,并与 1 200 V FS-

IGBT 进行比较。两种 IGBT 的部分结构参数如表 1 所示。除 HK 介质以外, PHK-IGBT 与 FS-IGBT 的其余结构相同。

表 1 两种 IGBT 的部分结构参数

参数	符号	仿真结果
元胞厚度/ μm	t_d	120
漂移区厚度/ μm	t_N	110
半元胞宽度/ μm	$w_1 + w_2$	5
半槽栅宽度/ μm	w_1	2
槽栅深度/ μm	t_g	5
N 漂移区掺杂浓度/ cm^{-3}	N_{drift}	5×10^{13}
场阻层掺杂剂量/ cm^{-2}	D_{FS}	9×10^{12}
阳极 P 区掺杂剂量/ cm^{-2}	D_p	2.5×10^{13}

栅极电压为 15 V 时, PHK-IGBT 与 FS-IGBT 的通态特性如图 2 所示。可以看出, HK 介质的厚度增大时, PHK-IGBT 的通态电流密度减小。原因是 HK 介质不导电, 占用了漂移区的导电面积^[3]。HK 介质的厚度越大, 漂移区的导电面积越小。这是因为导通电阻越大, 通态电流密度越小。

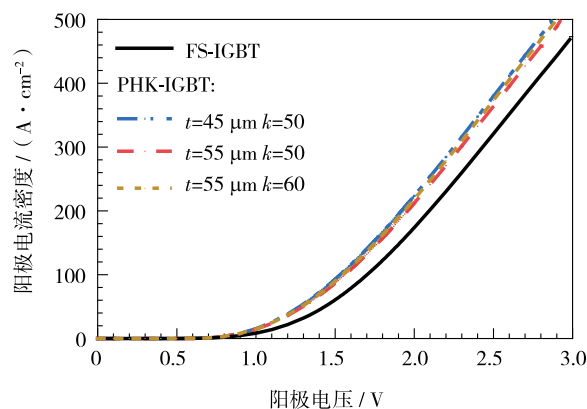


图 2 两种 IGBT 的通态特性

从图 2 还可知, PHK-IGBT 的通态电流密度高于 FS-IGBT。原因是, 具有高介电常数的介质在栅极与漂移区间构成更大的电容。通态时, 栅极电位高于漂移区, 通过该电容在漂移区产生浓度更高的电子积累层。

栅极电压为 15 V、阳极电压为 2 V 时, IGBT 的电子浓度分布如图 3 所示。可以看出, PHK-IGBT 的漂移区电子浓度分布曲线高于 FS-IGBT, 尤其在阴极一侧, 增幅更明显。这使得 PHK-IGBT 的漂移区载流子浓度分布更均匀, 导通电阻更低, 通态电流密度更高。PHK-IGBT 的 HK 介质具有更高介电常数时, 栅极与漂移区间的电容进一步增大, 漂移区

载流子浓度得以提升。

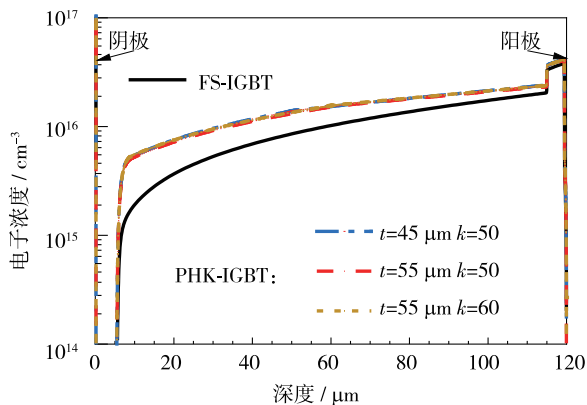


图3 通态时两种 IGBT 的电子浓度分布

不同厚度 HK 介质、不同相对介电常数时,两种 IGBT 的关态特性如图 4 所示。可以看出,PHK-IGBT 的击穿电压高于 FS-IGBT。HK 介质具有转移电通量的作用^[9],关态时漂移区内电离施主电通量会部分通过 HK 介质,转移到栅极,使 N 漂移区与 P 基区间的电场峰值降低。

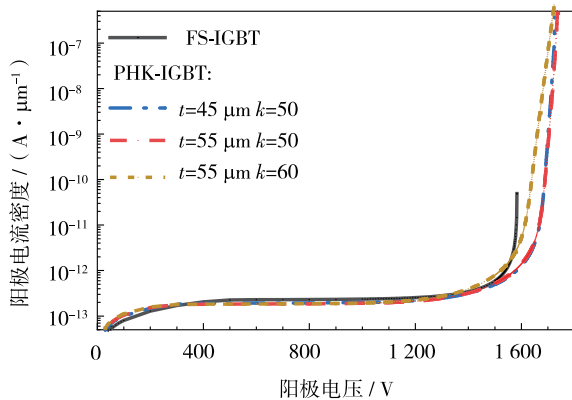


图4 两种 IGBT 的关态特性

临近击穿电压时两种 IGBT 的电场分布如图 5 所示。

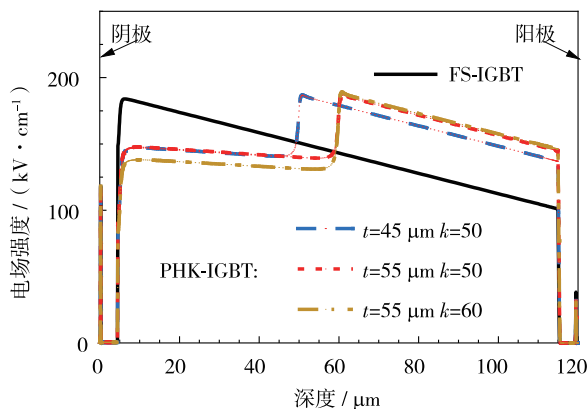


图5 临近击穿时两种 IGBT 的电场强度分布

可以看出,PHK-IGBT 中阴极一侧的电场分布更均匀平坦。在 HK 介质的下界面附近,垂直通过界面的电通量密度在 HK 介质与半导体材料内是相等的^[9]。因此,通过该界面的电场发生突变(如图 5 所示)。在该界面附近,漂移区电场约为 HK 介质电场的 e_{HK}/e_S 倍^[3], e_{HK} 与 e_S 分别为 HK 介质、半导体材料的介电常数。与 FS-IGBT 相比,PHK-IGBT 中 HK 介质具有一定厚度和介电常数时,阴极侧电场分布更均匀,阳极侧电场分布曲线更高,击穿电压则更大。

HK 介质厚度增大时,可微弱提高 PHK-IGBT 的击穿电压。HK 介质介电常数增大时,击穿电压降低。因为漂移区电场为 HK 介质电场的 e_{HK}/e_S 倍,漂移区电场峰值达到临界击穿电场时,更高介电常数 HK 介质的电场分布会更低。

从图 5 还可知,HK 介质的厚度为 55 μm 时,相对介电常数为 50、60 的 PHK-IGBT 的阳极侧电场分布几乎相同,后者的阴极侧电场分布更低。这表明,HK 介电常数越大,击穿电压越小。

负载电感为 5 mH、寄生电感为 7 nH、栅极电阻为 5 Ω 时,两种 IGBT 的关断特性如图 6 所示。可以看出,相比 FS-IGBT,PHK-IGBT 的阳极电压上升速率更慢。这是由于 HK 介质增大了密勒电容,使电压变化速率减小^[3]。

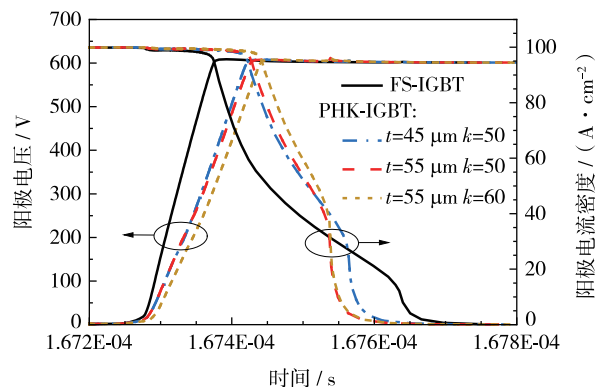


图6 感性负载电路中两种 IGBT 的关断特性

相比 FS-IGBT,PHK-IGBT 的电流下降过程更快速。图 6 中,在 1.676×10^{-4} s 时,PHK-IGBT 的阳极电流几乎降为零,而 FS-IGBT 的电流仍缓慢下降。原因是存在电流拖尾现象^[3]。

临近击穿时两种 IGBT 的电子浓度分布如图 7 所示。相同的关断时间条件下,PHK-IGBT 的空间电荷区更宽,准中性区宽度更窄。相比 FS-IGBT,PHK-IGBT 更窄的准中性区获得了更短的电流拖

尾时间。

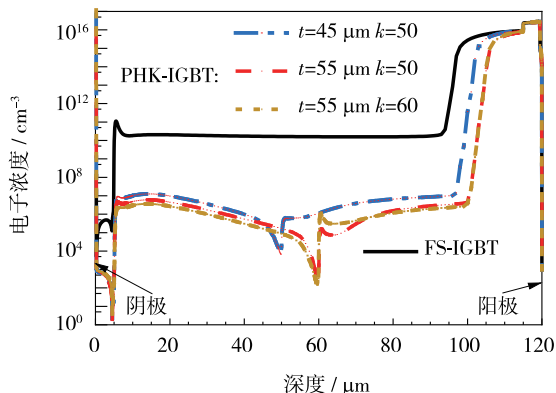


图 7 临近击穿时两种 IGBT 的电子浓度分布

1.3 性能比较

HK 介质厚度为 55 μm 、相对介电常数为 50 时,两种 IGBT 的性能参数如表 2 所示。

表 2 两种 IGBT 的性能参数

参数	PHK-IGBT	FS-IGBT
击穿电压/V	1 708	1 583
通态压降/V	1.56	1.70
关断损耗/($\text{mJ} \cdot \text{cm}^{-2}$)	8.65	9.72

可以看出,与 FS-IGBT 相比,PHK-IGBT 的击穿电压提高了 8%,通态压降减小了 8%,关断损耗降低了 11%。PHK-IGBT 的通态压降为 1.7 V 时,关断损耗为 6.3 mJ/cm^2 ,此时,PHK-IGBT 的关断损耗比 FS-IGBT 降低了 35%。

2 更高介电常数介质的引入

2.1 结构参数的影响

由第 1 节可知,HK 介质可增大栅极与漂移区间的电容,提高通态时漂移区载流子浓度,减小了通态压降。但是,HK 介质在漂移区内引入了额外的电场峰值。介质的电场峰值越大,越容易发生击穿。因此,考虑在栅极与原 HK 介质间增加另一种介电常数更高的介质。这样,可在提升通态特性的同时,减轻 HK 介质介电常数的提高对器件关态特性的不利影响。改进后 PHK-IGBT 的结构如图 8 所示。

PHK-IGBT 的部分结构参数如表 3 所示。变量 x 指 HK 介质 2 的厚度。

HK 介质 2 相对介电常数为 500 时,其厚度对 PHK-IGBT 的性能影响如图 9 所示。可以看出,与

FS-IGBT、未改进 PHK-IGBT 相比,改进 PHK-IGBT 的通态压降更小。在厚度达到 7 μm 以前,介质 2 厚度越大,改进 PHK-IGBT 的通态压降越低。介质 2 厚度的增加使改进 PHK-IGBT 的击穿电压减小。介质 2 厚度达到 10 μm 时,改进 PHK-IGBT 的击穿电压为 1 584 V。

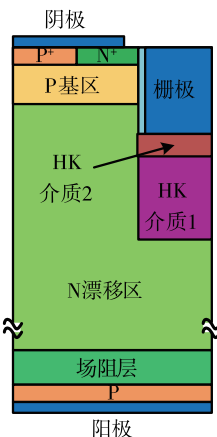


图 8 改进 PHK-IGBT 的结构剖面图

表 3 PHK-IGBT 的结构参数

参数	PHK-IGBT	改进后的 PHK-IGBT
介质 1 厚度/ μm	55	55~ x
介质 1 相对介电常数	50	50
介质 2 厚度/ μm	-	1~10
介质 2 相对介电常数	-	200~800

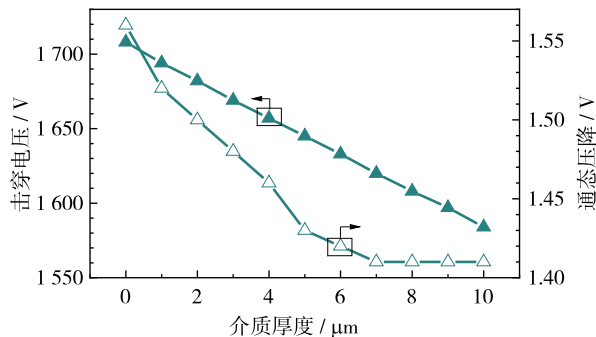


图 9 HK 介质 2 厚度对改进 PHK-IGBT 的性能影响

介质 2 厚度为 8 μm 时,HK 介质 2 相对介电常数对改进 PHK-IGBT 的性能影响如图 10 所示。可以看出,介质 2 介电常数增加,使得改进 PHK-IGBT 的通态压降和击穿电压均降低,击穿电压受到的影响较微弱。

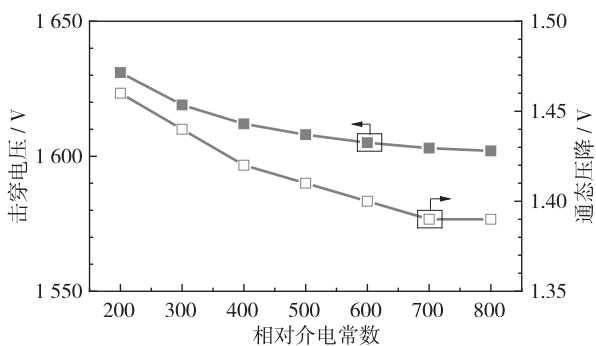


图 10 HK 介质 2 相对介电常数对改进 PHK-IGBT 的性能影响

2.2 性能比较

FS-IGBT、PHK-IGBT 和改进 PHK-IGBT 的通态压降与关断损耗的折中曲线如图 11 所示。可以看出,改进 PHK-IGBT 中 HK 介质 2 厚度为 $8\ \mu\text{m}$,相对介电常数为 500。

可以看出,与未改进 PHK-IGBT 相比,改进 PHK-IGBT 获得了更低的关断损耗。在通态压降为 $1.7\ \text{V}$ 时,改进 PHK-IGBT 的关断损耗仅有 $4.19\ \text{mJ}/\text{cm}^2$,比 FS-IGBT 降低了 57%。

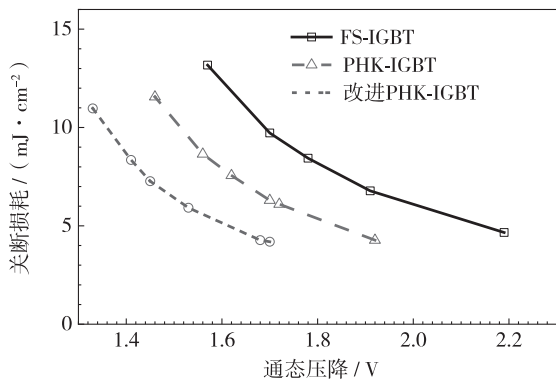


图 11 三种 IGBT 通态压降与关断损耗的折中曲线

3 结 论

本文提出了一种具有部分高介电常数介质调制效应的 IGBT。通过在 IGBT 的沟槽栅下方填充一块具有高介电常数的介质,实现了更高的击穿电压、更小的通态压降、更低的关断损耗等良好性能。在相同通态压降下,本文 IGBT 的关断损耗比 FS-

IGBT 的关断损耗降低了 35%。通过在栅极与原 HK 介质间引入具有更高介电常数的介质,进一步提升了 PHK-IGBT 的性能。在相同通态、关态特性下,与 FS-IGBT 相比,改进 PHK-IGBT 的关断损耗降低了 57%。

参 考 文 献:

- [1] LASKA T, MUNZER M, PFIRSCH F, et al. The field stop IGBT (FS-IGBT): a new power device concept with a great improvement potential [C] // Proceed ISPSD. Toulouse, France. 2000: 355-358.
- [2] ANTONIOU M, UDREA F, BAUER F. The superjunction insulated gate bipolar transistor optimization and modeling [J]. IEEE Trans Elec Dev, 2010, 57(3): 594-600.
- [3] CHEN W Z, CHENG J J, CHEN X B. A novel IGBT with high- k dielectric modulation achieving ultralow turn-off loss [J]. IEEE Trans Elec Dev, 2020, 67(3): 1066-1070.
- [4] OH K H, KIM J, SEO H. Experimental investigation of 650 V superjunction IGBTs [C] // Proceed ISPSD. Prague, Czech Republic. 2016: 299-302.
- [5] IWAMOTO S, TAKAHASHI K, LURIBAYASHI H, et al. Above 500 V class superjunction MOSFETs fabricated by deep trench etching and epitaxial growth [C] // Proceed ISPSD. Santa Barbara, CA, USA. 2005: 31-34.
- [6] WANG H, NAPOLI E, UDREA F. Breakdown voltage for superjunction power devices with charge imbalance: an analytical model valid for both punch through and non punch through devices [J]. IEEE Trans Elec Dev, 2009, 56(12): 3175-3183.
- [7] CHENG J J, CHEN W Z, LIN J J. Potential of utilizing high- k film to improve the cost performance of trench LDMOS [J]. IEEE Trans Elec Dev, 2019, 66(7): 3049-3054.
- [8] LIN J J, CHENG J J, LI P. Study on SrTiO₃ film for the application of power devices [J]. Superlattices and Microstructures, 2019, 130: 168-174.
- [9] CHEN X B, HUANG M M. A vertical power MOSFET with an interdigitated drift region using high- k insulator [J]. IEEE Trans Elec Dev, 2012, 59(9): 2430-2437.

90 nm PDSOI MOSFET 热阻研究

李桐帅^{1,2,3}, 王 芳^{2,3}, 王可为^{1,2,3}, 卜建辉^{2,3}, 韩郑生^{1,2,3}, 罗家俊^{2,3}

(1. 中国科学院大学, 北京 100049; 2. 中国科学院 微电子研究所, 北京 100029;
3. 中国科学院 硅器件技术重点实验室, 北京 100029)

摘 要: 对 90 nm PDSOI MOSFET 的热阻进行了提取与研究。以 H 型栅 MOSFET 为研究对象, 将源体二极管作为温度敏感器, 通过测量源体结电流与器件温度的关系以及源体结电流与器件功率的关系, 获得 MOS 器件功率与器件温度的关系, 从而获取 MOS 器件热阻值。实验结果表明, 该工艺下 PMOS 器件的热阻比 NMOS 器件大, 其原因是 PMOS 体区掺杂浓度比 NMOS 高, 而掺杂浓度越高, 导热性越差, 热阻就越大; H 型栅器件的归一化热阻随沟道宽度的增加而增大, 其原因是随着沟道宽度的增加, 体引出区域对器件导热的贡献变小; 热阻随环境温度的上升而减小, 其原因是二氧化硅埋氧层的导热率随温度的升高而增大。

关键词: 部分耗尽 SOI; 自加热效应; 热阻; 源体二极管法; H 型栅

中图分类号: TN386

文献标志码: A

文章编号: 1004-3365(2021)02-0251-04

DOI: 10.13911/j.cnki.1004-3365.200231

Study on Thermal Resistance of 90 nm PDSOI MOSFETs

LI Tongshuai^{1,2,3}, WANG Fang^{2,3}, WANG Kewei^{1,2,3}, BU Jianhui^{2,3},

HAN Zhengsheng^{1,2,3}, LUO Jiajun^{2,3}

(1. Univ. of Chinese Academy of Sci., Beijing 100049, P. R. China; 2. Institute of Microelec., Chinese Academy of Sci., Beijing 100029, P. R. China; 3. Key Lab. of Silicon Dev. and Technol., Chinese Academy of Sci., Beijing 100029, P. R. China)

Abstract: The thermal resistance of the 90 nm H-gate PDSOI MOSFET was investigated. The source-body diode was used as the thermometer, and the thermal resistance was obtained by measuring the relationship between the junction current and temperature, and the relationship between the junction current and MOS device power. The experimental results showed that the thermal resistance of the PMOS was larger than that of the NMOS in this technology. The reason was that the doping concentration in the body region of the PMOS was higher than that of the NMOS, and the thermal resistance increased with the increase of the doping concentration. Due to the contribution of the body-tied region to the heat conduction was decreased, the normalized thermal resistance of the H-gate device increased with the increase of the channel width. Since the thermal conductivity of SiO₂ increased with temperature, the thermal resistance decreased with the increasing ambient temperature.

Key words: PDSOI; self-heating effect; thermal resistance; the method of source-body diode; H-gate

0 引 言

绝缘体上硅(Silicon-On-Insulator, SOI)器件以其独具的绝缘层结构, 在消除闩锁效应、减小寄生电

容、抗辐照、减小静态功耗等方面有着天然优势^[1], 在亚微米技术开发中有着巨大潜力。然而, 埋氧层的导热率远小于体硅, 约为体硅的百分之一^[2], 这严重阻碍了器件的散热, 导致器件工作时温度上升, 从而使器件的性能变差, 即自加热效应。

收稿日期: 2020-05-25; 定稿日期: 2020-06-29

基金项目: 国家自然科学基金资助项目(61874135)

作者简介: 李桐帅(1994—), 男(汉族), 河北石家庄人, 硕士研究生, 研究方向为器件机理及模型研究。

1980 年代,自加热效应引起的负微分电导现象被发现^[3]。随后,自加热效应引起的载流子迁移率退化、碰撞电离几率增加、结漏电增加等现象也逐渐被认识并广泛研究^[4-5]。一般通过改变绝缘层的结构和材料^[6-7]来减小自加热效应的影响,但都无法完全消除自加热效应。为了准确模拟 SOI 器件特性,SOI 器件模型中需考虑自加热效应的影响。在业界标准模型 BSIMSOI4 中,热阻 R_{th} 是自加热效应的重要参数,表示单位功耗下温度的变化量,其值与工艺密切相关。对不同工艺的器件,都需要进行热阻的提参建模,供电路仿真使用。

目前有多种热阻提取方法,如交流电导法^[8]、热镜像法^[9]、栅电阻法^[10]、热噪声谱法^[11]以及源体二极管法^[12]等。源体二极管法不需要特殊测试器件结构,且仅需要半导体参数测试仪即可完成全部测试。本文采用源体二极管法对 90 nm PDSOI MOSFET 的热阻进行了提取与研究。

1 实验

1.1 器件结构

本文的研究对象为 90 nm PDSOI 工艺制备的 H 型栅 MOSFET,其 NMOS 器件结构示意图如图 1 所示。

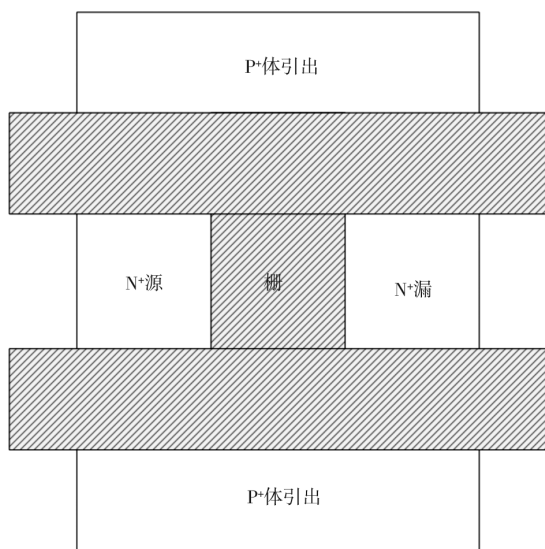


图 1 H 型栅 NMOS 器件结构

1.2 测试方法

本文所用测试仪器为半导体参数测试仪 Keithley4200。

MOSFET 器件热阻 R_{th} 可表示为:

$$R_{th} = \frac{\Delta T}{\Delta P} = \frac{d \lg(I_{bs}) / dP}{d \lg(I_{bs}) / dT} \quad (1)$$

式中, I_{bs} 为源体结电流, P 为器件的功率 ($P = I_{ds} \cdot V_{DS}$), T 为器件温度。

直接测试获得温度与功率关系比较困难,因此通过测量 I_{bs} 与 T 的关系以及 I_{bs} 与 P 的关系,可间接得到 P 与 T 的关系,从而在此基础上提取 MOSFET 器件热阻。

源体二极管为温度敏感器。首先测量器件未开启时 I_{bs} 与 T 的关系,得到 $d \lg(I_{bs}) / dT$ 。然后测量器件开启时 I_{bs} 与 P 的关系,得到 $d \lg(I_{bs}) / dP$ 。最后计算出热阻值。下面分别对 I_{bs} 与 T 的关系的测量及 I_{bs} 与 P 的关系的测量进行详细说明。

1.2.1 I_{bs} 与 T 的关系的测量

以 NMOS 器件为例,测量 I_{bs} 与 T 关系的电压偏置如图 2 所示。栅端、源端、漏端及衬底均接地, V_{BS} 为 0~1 V 的扫描电压,步长为 0.05 V。分别在环境温度为 25 °C、50 °C、75 °C、100 °C 下对 I_{bs} 进行测试。

体电压的选择既不能过小,也不能过大。如果小于二极管的开启电压,则电流过小,测试带来的误差较大;如果过大,则会产生额外的功耗,产生自加热效应,将影响测试结果。实验选取的体电压为 0.75 V。在此偏置下,漏体结之间也存在电流,需要在源端测量 I_{bs} 。由此可以得出在 V_{BS} 为 0.75 V 条件下 T 与 I_{bs} 的关系。在 $\lg(I_{bs})$ 与 T 的关系图中,其曲线斜率即为 $d[\lg(I_{bs})] / dT$ 的值。

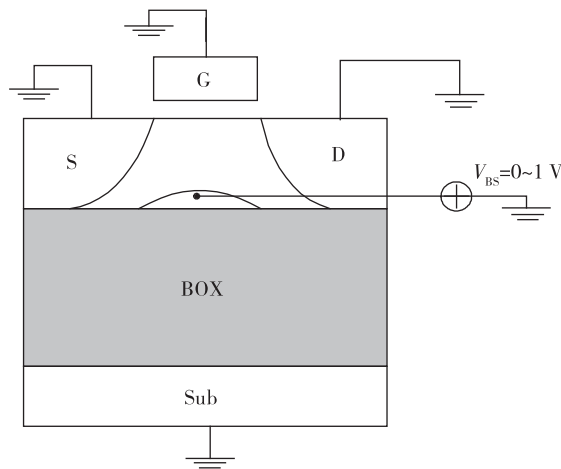


图 2 测量 I_{bs} 与 T 关系的电压偏置示意图

1.2.2 I_{bs} 与 P 的关系的测量

以 NMOS 器件为例,测量 I_{bs} 与 P 关系的电压偏置如图 3 所示。源端及衬底均接地, V_{GS} 电压为 1.5 V。需要注意的是,两个实验中 V_{BS} 要保持一

致。MOS管开启后,无法再从源端测量源体结电流,因此需从体端进行测量。为了防止漏体结电流影响 I_{bs} 的测量,漏体结反偏,将 V_{DS} 设置为 1~1.5 V 的扫描电压,步长为 0.05 V。根据实验数据做出 $\lg(I_{bs})$ 与 P 的关系图,其曲线的斜率即为 $d[\lg(I_{bs})]/dP$ 的值。

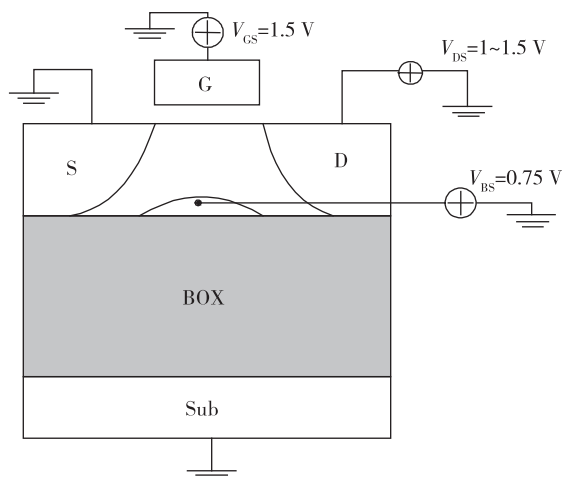


图3 测量 I_{bs} 与 P 关系的电压偏置示意图

2 结果与分析

在 BSIMSOI4 中,对于不同沟道宽度 W 的器件,归一化热阻 $R_{th0} = R_{th} \cdot W$ 。下面以沟道宽度为 1.2 μm 、沟道长度为 90 nm 的 NMOS 器件为例来说明热阻提取的过程。

不同温度下的 I_{bs} 随 V_{BS} 变化的曲线如图 4 所示,将其转换为在 $V_{BS} = 0.75 \text{ V}$ 条件下的 $\lg(I_{bs})$ - T 图,如图 5 所示。可知,曲线的斜率为 0.018 4,即为 $d[\lg(I_{bs})]/dT$ 的值。

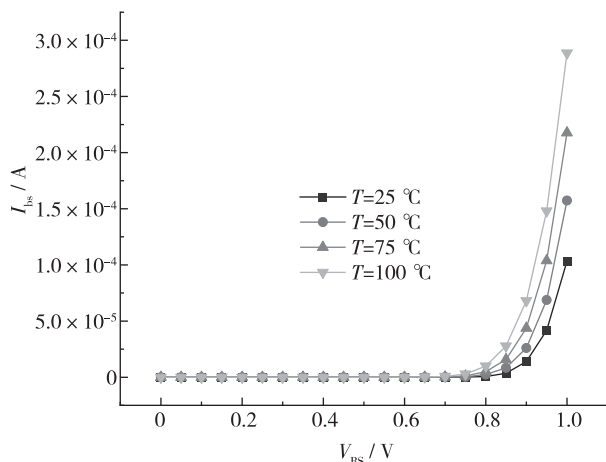


图4 不同环境温度下 I_{bs} 与 V_{BS} 的关系曲线

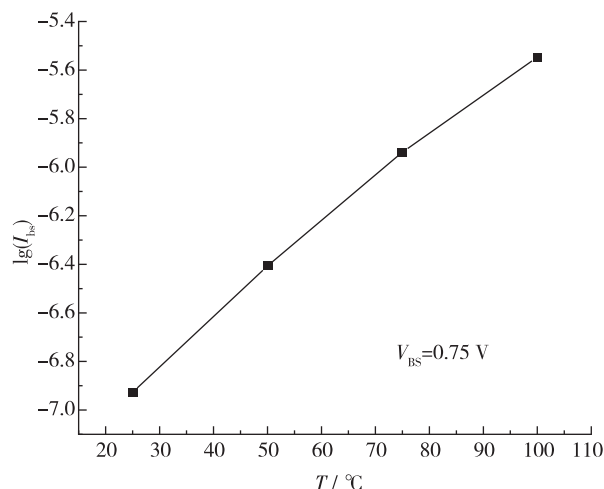


图5 $\lg(I_{bs})$ 与 T 的关系曲线

在环境温度为 25 $^{\circ}\text{C}$ 、 $V_{BS} = 0.75 \text{ V}$ 条件下的 $\lg(I_{bs})$ - P 图如图 6 所示。可知,曲线斜率为 443.557 0,即为 $d\lg(I_{bs})/dP$ 的值。

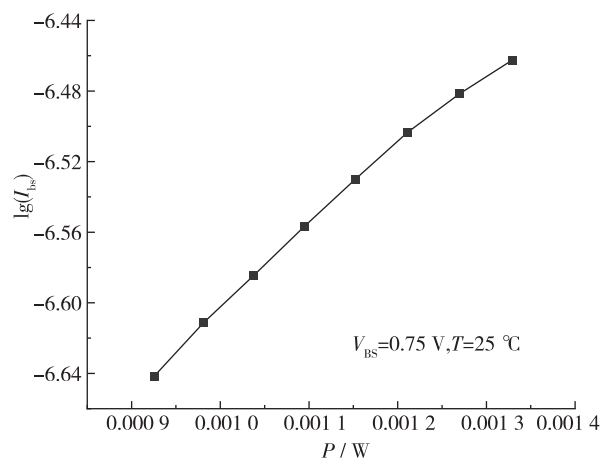


图6 $\lg(I_{bs})$ 与 P 的关系曲线

由式(1)可以得出,热阻 R_{th} 的值为 24 106 $^{\circ}\text{C}/\text{W}$, 归一化热阻值 R_{th0} 为 0.028 9 $\text{m}^{\circ}\text{C}/\text{W}$ 。用同样的方法,测试了相同条件的 PMOS 器件, R_{th} 值为 32 221 $^{\circ}\text{C}/\text{W}$, R_{th0} 值为 0.038 7 $\text{m}^{\circ}\text{C}/\text{W}$ 。可以看出,同尺寸下 PMOS 的热阻比 NMOS 大。原因是,90 nm PDSOI 工艺中,PMOS 体区掺杂浓度比 NMOS 高,而掺杂浓度越高,对声子传输产生的散射作用越强,导热性越差^[13],热阻就越大。

在 25 $^{\circ}\text{C}$ 下,不同沟道宽度的 NMOS 器件热阻如表 1 所示。可以看出,随着沟道宽度的增大, R_{th0} 增大。原因是,对于如图 1 所示的 H 型栅器件,当沟道宽度变化时,栅两侧作为体引出的 P^+ 体引出面积并不发生变化。当沟道宽度较大时, P^+ 体引出端的散热可忽略不计。但随着沟道宽度的减小, P^+ 体

引出端的散热便占据一定比重。在 25 °C 下,不同沟道宽度的器件归一化输出曲线(纵坐标为 I_{ds}/W)如图 7 所示。从图 7 饱和电流的曲率可以明显看出,沟道宽度较大的器件自加热效应更明显。 I_{ds} 的归一化值随沟道宽度的增大而减小,这是由反窄沟道效应^[14]造成的。当 MOS 器件沟道宽度较小时,沟道边缘部分耗尽层深度的增加会使耗尽层的整体平均深度增加,从而使得阈值电压 V_{th} 下降,饱和电流增大。

表 1 25 °C 下不同沟道宽度的 NMOS 热阻

(W/L)	0.3/0.09	1.2/0.09	10/0.09
$R_{th}/(^{\circ}\text{C} \cdot \text{W}^{-1})$	38 410	24 106	4 714
$R_{th0}/(\text{m}^{\circ}\text{C} \cdot \text{W}^{-1})$	0.011 5	0.028 9	0.047 1

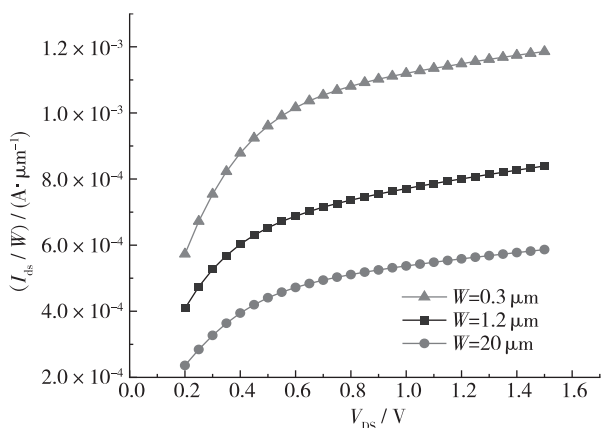


图 7 不同沟道宽度的归一化输出曲线

在 125 °C 下,不同沟道宽度的 NMOS 热阻如表 2 所示。对比表 1 和表 2 可知,在温度较高时,同尺寸器件的归一化热阻 R_{th0} 较小。这是因为二氧化硅埋氧层的导热率随温度的升高而增大,导致 R_{th0} 变小。

表 2 125 °C 下不同沟道宽度的 NMOS 热阻

(W/L)	0.3/0.09	1.2/0.09	10/0.09
$R_{th}/(^{\circ}\text{C} \cdot \text{W}^{-1})$	19 346	9 468	1 387
$R_{th0}/(\text{m}^{\circ}\text{C} \cdot \text{W}^{-1})$	0.005 8	0.011 4	0.013 9

3 结 论

本文采用源体二极管法对 90 nm PDSOI 工艺制备的 H 型栅 MOSFET 的热阻进行提取与研究。研究结果表明,对于 H 型栅 MOSFET,归一化热阻随着沟道宽度的增加而增大,随环境温度的升高而降低;在该工艺下,同尺寸 PMOS 器件热阻比 NMOS 器件大。

参 考 文 献:

- [1] 郑晓虎,黄安平,肖志松. SOI 自加热效应研究进展 [EB/OL]. <http://www.paper.edu.cn/releasepaper/content/201201-827>.
- [2] 孙自敏,刘理天,李志坚. 包含自加热效应的短沟道 SOIMOSFET 直流模型 [J]. 固体电子学与进展, 1999(2): 47-52.
- [3] MAUTYR P G, TRGER J. Self-heating and temperature measurement in sub- μm MOSFETs [C] // ESSDERC '89. Berlin, Germany. 1989: 675-678.
- [4] 李家贵,李德昌. SOILDMOS 晶体管的自加热效应 [J]. 电子科技, 2009, 22(4): 72-74.
- [5] MOHAMED M, AKSAMIJA Z, VITALE W, et al. A conjoined electron and thermal transport study of thermal degradation induced during normal operation of multigate transistors [J]. IEEE Trans Elec Dev, 2014, 61(4): 976-983.
- [6] BHOL S, MISHRA S, MOHANTY S S, et al. Investigation of a nanoscale grooved stepped gate MOSFET to explore the self-heating effect [C] // DEVIC. Kalyani, India. 2019: 49-52.
- [7] 曹磊. 新型纳米 SOI MOS 器件结构分析与可靠性研究 [D]. 西安: 西安电子科技大学, 2013.
- [8] WEI J, FUNG S K H, LIU W D, et al. Self-heating characterization for SOI MOSFET based on AC output conductance [C] // IEDM. Washington D C, USA. 1999: 175-178.
- [9] POLONSKY S, JENKINS K A. Time-resolved measurements of self-heating in SOI and strained-Si MOSFETs using off-state leakage current luminescence [C] // ISDRS. Washington D C, USA. 2003: 359-360.
- [10] SU L T, GOODSON K E, ANTONIADIS D A. Measurement and modeling of self-heating effects in SOI nMOSFETs [C] // IEDM. San Francisco, CA, USA. 1992: 357-360.
- [11] BUNYAN R J T, UREN M J, ALDERMAN C. Use of noise thermometry to study the effects of self-heating in submicrometer SOI MOSFETs [J]. IEEE Electron Device Lett, 1992, 13(5): 279-281.
- [12] WAV H, SU P, FUNG S K H, et al. RF modeling for FDSOI MOSFET and self heating effect on RF parameter extraction [C] // NSTI Nanotech. Anaheim, CA, USA. 2005: 151-154.
- [13] ASHEGHI M, KURABAYASHI K, KASNAVI R, et al. Thermal conduction in doped single-crystal silicon films [J]. J Appl Phys, 2002, 91(8): 5079-5088.
- [14] 郑凯磊,贺光辉. 40 nm 工艺下反向窄沟道效应对 VLSI 电路设计的影响 [J]. 微电子学与计算机, 2014, 31(4): 100-102.

悬臂梁压电式能量收集器频带扩展研究

刘琪才, 何 渊, 王德波

(南京邮电大学 电子与光学工程学院、微电子学院, 南京 210023)

摘 要: 为了扩宽悬臂梁压电式能量收集器的工作频带,提出了一种新型的电气连接方案。通过将悬臂梁表面电极分为两个对称区域,实现扭转模态下正负电荷的有效收集。对悬臂梁的结构尺寸进行优化,使弯曲模态接近扭转模态的谐振频率,以扩宽压电式能量收集器频带。根据 Erturk 的分布参数机电模型,研究了两种模态下的输出电压与固有频率。研究结构表明,当悬臂梁长宽比在 3.25~3.35 范围内,1 阶扭转模态频率接近 2 阶弯曲模态频率,实现了能量收集器的频带扩宽。该工作对悬臂梁压电式能量收集器的研究和应用具有一定的借鉴意义。

关键词: 能量收集器; 扭转模态; 频带扩宽; 谐振频率

中图分类号: TN384; TM919

文献标志码: A

文章编号: 1004-3365(2021)02-0255-05

DOI: 10.13911/j.cnki.1004-3365.200247

Research on Frequency Band Extension of Cantilever Beam Piezoelectric Energy Harvester

LIU Qicai, HE Yuan, WANG Debo

(College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing 210023, P. R. China)

Abstract: In order to widen the working frequency band of the piezoelectric energy harvester based on cantilever beam, a novel electrical connection scheme was proposed. By dividing the surface electrode of the cantilever beam into the symmetrical regions, the positive and negative charge under the torsional mode could be effectively collected. Then the structural size of the cantilever beam was optimized to make the resonant frequency of the bending mode and torsional mode close, so as to achieve the purpose of widening the frequency band of the piezoelectric energy harvester. Finally, according to Erturk's distributed parameter electromechanical model, the output voltage and the natural frequency of two modes were studied. It was found that when the length-to-width ratio of the cantilever beam was within the range of 3.25 to 3.35, the first-order frequency of the torsional mode was close to that of the second-order bending mode, which realized the frequency band extension of the energy harvester. This work had certain reference significance for the research and application of the piezoelectric energy harvester based on cantilever beam.

Key words: energy harvester; torsional mode; frequency band extension; resonant frequency

收稿日期: 2020-06-01; 定稿日期: 2020-07-13

基金项目: 国家自然科学基金青年基金资助项目(61704086); 中国博士后科学基金资助项目(2017M621692); 江苏省博士后基金资助项目(1701131B); 南京邮电大学国自基金孵化资助项目(NY215139, NY217039)

作者简介: 刘琪才(1999—), 男(汉族), 安徽安庆人, 本科生, 研究方向为微机电系统能量收集器。

王德波(1983—), 男(汉族), 山东新泰人, 副教授, 研究方向为微机电系统能量收集器。通信作者, E-mail: wdb@njupt.edu.cn。

0 引言

近十年来,无线传感器高速发展,因其低功耗、分布式、自组织等突出特点,可广泛地应用于医疗、农业等领域^[1]。为了能以较低成本应用无线传感器,研究者提出通过能量收集技术来替代电池供电的方案。压电能量收集是一种能够将环境中的振动能量转换为电能的技术,具有功率密度较高、结构简单、易于进行 MEMS 集成等优点,因此成为研究热点。但是,压电式能量收集器在实际应用中存在着工作频带窄、各阶谐振频率相差较大的问题。

针对上述问题,研究者提出了多种方法来扩宽压电能量收集器的频带。马天兵等人提出一种以 Z 型梁代替集中质量块的压电振动能量收集结构,在 Z 型梁中引入非线性质量,从而拓宽采集频带,但其结构要求梁的弯曲角度十分精确,实际加工难度较大^[2]。景来钊等人设计了一种由 n 段梁和 n 个质量块构成的新型采集器,实现了在 20.32 Hz 有效工作频带内,输出电压在 80 mV 以上,达到了扩宽频带的目的,但适用范围过窄^[3]。T. Yildirim 等人提出了一种三自由度的阵列式振动能量收集装置,通过调节悬臂梁压电振子的悬臂梁宽度和质量块质量,利用多个压电振子叠加来实现频带扩宽,但结构较复杂^[4]。O. J. Aldrahem 等人提出了一种双自由度的压电能量收集器,可实现小范围扩宽频带,但需要有较大质量的动态放大器才可实现频带扩宽^[5]。

上述扩宽频带的解决方案中,能量收集器皆工作在弯曲振动模式下,因此有研究者提出了利用多种振动模式的耦合来实现频带的扩宽。在扭转振动模式下,压电层表面会产生极性相反的电荷相互抵消,无法实现能量的有效收集^[6-7]。为了解决这一问题,本文首先提出了一种新型的电学连接方式,实现有效收集扭转模式下产生的正负电荷。然后对该模型进行输出特性分析,得到了两种模式下输出电压与谐振频率的计算公式。最后利用 COMSOL Multiphysics 仿真软件对悬臂梁的结构尺寸仿真优化,调整压电能量收集器的长宽比,使弯曲模式的固有频率接近扭转模式,以实现压电式能量收集器频带扩宽。在实际应用中,则需考虑振动源情况,即是否能够使收集器在扭转模式下起振。

1 模态分析

压电效应由居里兄弟首次在 α 石英晶体上发现,它反映了压电材料弹性和介电性之间的相互耦合作用。当压电元件在外力作用下产生形变时,材料内部正负电荷中心发生相对移动,产生点的极化,导致压电元件两个表面上产生异号束缚电荷,实现了振动能量转换成电能。再通过压电能量俘获电路,将产生的交流电转化成直流电后存储于储能系统中,并对电负载供电进行控制^[8]。这样就实现了对环境中振动能量的收集利用。

压电能量收集器通常工作在振动的弯曲模态,其极化情况如图 1 所示。通过在压电层表面覆盖上电极,收集压电材料因应变产生的极性相同的电荷,从而实现能量收集的目的。

扭转模态下的极化情况如图 2 所示。在此模式下,压电层表面会产生极性相反的电荷,相互抵消,传统能量收集方法的能量转换率将大大降低。可以看出,在 1 阶扭转振动模式下,悬臂梁压电层表面产生的正负电荷主要分散于两侧靠近固定端的位置,而固定端中心位置则不产生形变。因此,为了使扭转模态下的正负电荷不相互抵消,本文对压电层表面根据正负电荷的聚集范围划分了两个电极区域,并利用整流器进行整流。



图 1 悬臂梁弯曲模式下的极化情况



图 2 悬臂梁扭转模式下的极化情况

压电能量收集器的电学连接如图 3 所示。根据扭转振动模式下的压电层极化情况,在压电层表面

划出两个面积相等的区域作为电极,将两个电极分别与全波整流桥两端相连接,其中电阻 R 作为电学负载与全波整流桥并联。无论悬臂梁处于振动模式还是扭转模式,电阻 R 受到的电压始终为同向直流电压。

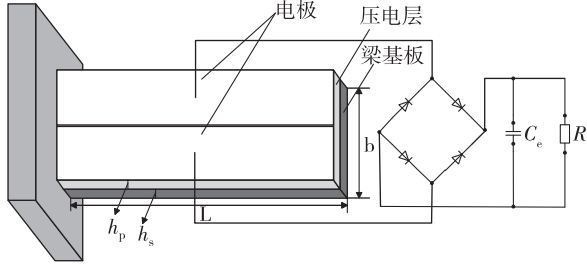


图3 电学连接示意图

2 输出电压特性分析

根据电极的分布情况,仅考虑 z 轴压电层应变所产生的电能。压电本构方程可表示为标量形式:

$$D_3 = \bar{e}_{31} S_1^p + \bar{\epsilon}_{33}^s E_3 \quad (1)$$

式中, D_3 为电位移, $\bar{e}_{31}$ 为有效压电应力常数, S_1^p 为压电陶瓷的轴应变分量, $\bar{\epsilon}_{33}^s$ 为常应变下的介电常数, E_3 为 z 轴方向上的电场分量。

外部电路导纳为 $1/R$, 根据高斯定律的积分形式可以得到输出电流:

$$\frac{d}{dt} \left(\int_A D \cdot n dA \right) = \frac{v(t)}{R} \quad (2)$$

式中, D 为压电层的电位移矢量, n 为外法线单位矢量, A 为电极所覆盖的面积。因为电极垂直于 z 轴方向, 所以对 D 有影响的只有 D_3 。将压电陶瓷中的弯曲应变用曲率描述, 并将电场用电势差表示 (即 $E_3 = -v(t)/h_p$), 根据式 (1) 和式 (2), 可得:

$$\frac{\bar{\epsilon}_{33}^s b L}{h_p} \frac{dv(t)}{dt} + \frac{v(t)}{R} + \bar{e}_{31} h_{pc} b \int_0^L \frac{\partial^3 u(x,t)}{\partial x^2 \partial t} dx = 0 \quad (3)$$

式中, b 、 h_p 、 L 分别为压电陶瓷层的宽度、厚度和长度, $u(x,t)$ 为悬臂梁在 z 轴方向的振动响应, h_{pc} 为压电陶瓷层中心到中性轴的距离:

$$h_{pc} = \frac{E_s h_s (h_p + h_s)}{2E_p h_p + 2E_s h_s} \quad (4)$$

悬臂梁的振动响应可以写为本征函数的收敛级数形式:

$$u(x,t) = \sum_{r=1}^{\infty} \varphi_r(x) \eta_r(t) \quad (5)$$

式中, $\varphi_r(x)$ 为 r 阶模态的质量归一化本征函数,

$\eta_r(t)$ 为力学域的第 r 阶模态坐标。代入到式 (3) 中, 可得:

$$\frac{\bar{\epsilon}_{33}^s b L}{h_p} \frac{dv(t)}{dt} + \frac{v(t)}{R} + \sum_{r=1}^{\infty} \kappa_r \frac{d\eta_r(t)}{dt} = 0 \quad (6)$$

κ 为电路方程中的模态耦合项, 即:

$$\kappa = \bar{e}_{31} h_{pc} b \left. \frac{d\varphi_r(x)}{dx} \right|_{x=L} \quad (7)$$

将图 3 中能量收集器模型的整流桥视为理想整流桥, 将压电层等效为受控电源与内部电容的并联组合。图 3 中的压电层电极被划分为两个部分, 可将该压电层等效为两对受控电源与内部电容的并联组合。该模型处于弯曲模式与扭转模式两种振动情况的等效电路模型如图 4 所示。

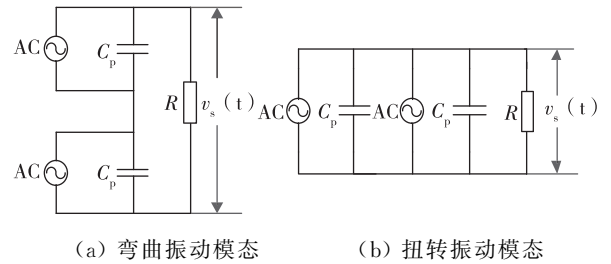


图4 压电能量收集器等效电路模型

扭转模式与弯曲模式的等效电路模型与双晶压电悬臂梁串联和并联情况下的耦合电路模型相似。假设悬臂梁受到的外界激励为 $F e^{j\omega t}$, 可根据 Erturk 的分布参数机电模型^[9] 得到该模型的电压响应的表达式。

弯曲振动情况下, 电压响应方程为:

$$v_s(t) = \frac{\sum_{r=1}^{\infty} \frac{-j\omega\kappa F}{\omega_r^2 - \omega^2 + j2\zeta_r\omega_r\omega}}{\frac{1}{2R} + j\omega C_p + \sum_{r=1}^{\infty} \frac{j\omega\kappa\chi_r^p}{\omega_r^2 - \omega^2 + j2\zeta_r\omega_r\omega}} e^{j\omega t} \quad (8)$$

$$\chi_r^p = \frac{\bar{e}_{31} b}{h_p} \left[\left(h_p + \frac{h_s}{2} \right)^2 - \frac{h_s}{4} \right] \left. \frac{d\varphi_r(x)}{dx} \right|_{x=L} \quad (9)$$

扭转振动情况下, 电压响应方程为:

$$v_s(t) = \frac{\sum_{r=1}^{\infty} \frac{-j\omega\kappa F}{\omega_r^2 - \omega^2 + j2\zeta_r\omega_r\omega}}{\frac{1}{R} + j\omega \frac{C_p}{2} + \sum_{r=1}^{\infty} \frac{j\omega\kappa\chi_r^s}{\omega_r^2 - \omega^2 + j2\zeta_r\omega_r\omega}} e^{j\omega t} \quad (10)$$

$$\chi_r^s = \frac{\bar{e}_{31} b}{2h_p} \left[\left(h_p + \frac{h_s}{2} \right)^2 - \frac{h_s}{4} \right] \left. \frac{d\varphi_r(x)}{dx} \right|_{x=L} \quad (11)$$

3 响应频率特性分析

3.1 横向振动响应频率

在横向振动的情况下,根据欧拉-伯努利假设,梁的振动方程可以描述为:

$$EI \frac{\partial^4 u(x,t)}{\partial x^4} + \rho A \frac{\partial^2 u(x,t)}{\partial t^2} = 0 \quad (12)$$

式中, EI 为扭转刚度, ρ 为悬臂梁的密度, A 为梁横截面的面积。当梁处于横向振动模态时,各点的变化是时间的简谐函数,即:

$$u(x,t) = \sum_{r=1}^{\infty} \varphi_r(x) \sin(\omega t + \theta) \quad (13)$$

根据悬臂梁的边界条件:

$$\begin{cases} \varphi_r(0) = 0 \\ \left(\frac{d\varphi_r(x)}{dx} \right)_{x=0} = 0 \\ \left(\frac{d^2\varphi_r(x)}{dx^2} \right)_{x=l} = 0 \\ \left(\frac{d^3\varphi_r(x)}{dx^3} \right)_{x=l} = 0 \end{cases} \quad (14)$$

可以得到 $\varphi_r(x)$ 的解:

$$\varphi_r(x) = \sum_{r=1}^{\infty} \left[\cos\left(\frac{\lambda_r}{L}x\right) - \cosh\left(\frac{\lambda_r}{L}x\right) + \zeta \left(\sin\left(\frac{\lambda_r}{L}x\right) - \sinh\left(\frac{\lambda_r}{L}x\right) \right) \right] \quad (15)$$

λ_r 满足特征方程:

$$\cos(\lambda_r) \cosh(\lambda_r) + 1 = 0 \quad (16)$$

ζ 的表达式为:

$$\zeta = \frac{\sinh \lambda_r - \sin \lambda_r}{\cosh \lambda_r + \cos \lambda_r} \quad (17)$$

横向振动模态下的第 r 阶无阻尼固有频率可以表示为:

$$\omega_r^b = \left(\frac{\lambda_r}{L} \right)^2 \sqrt{\frac{EI}{\rho A}} \quad (18)$$

3.2 扭转振动响应频率

根据动量矩定理,忽略剪切变形以及转动惯量的影响,则梁的扭转振动方程可以表示为:

$$I_p G \frac{\partial^2 \varphi(x,t)}{\partial x^2} - \rho I_p \frac{\partial^2 \varphi(x,t)}{\partial t^2} = 0 \quad (19)$$

式中, $\varphi(x,t)$ 为扭转位移, $I_p G$ 为扭转刚度, I_p 为横截面面积的极惯矩, G 为剪切模量。

该振动方程的通解形式为:

$$\varphi(x,t) = \left[A \sin\left(\omega \sqrt{\frac{\rho}{G}} x\right) + B \cos\left(\omega \sqrt{\frac{\rho}{G}} x\right) \right] \times [C \sin(\omega t) + D \cos(\omega t)] \quad (20)$$

根据悬臂梁边界条件:

$$\begin{cases} \varphi(x,t)_{x=0} = 0 \\ \left. \frac{\partial \varphi}{\partial x} \right|_{x=L} = 0 \end{cases} \quad (21)$$

可以得到扭转振动第 r 阶无阻尼固有频率的表达式:

$$\omega_r^t = (r+1) \frac{\pi}{L} \sqrt{\frac{G}{\rho}} \quad (22)$$

4 仿真验证

根据上述理论分析,确定了两种振动模式电压输出的可行性,且得到了悬臂梁两种模态下谐振频率计算公式。本节通过 COMSOL Multiphysics 仿真软件进行仿真验证。

能量收集器的结构参数和材料参数分别如表 1 和表 2 所示:

表 1 能量收集器的结构参数

结构名称	结构材料	长/mm	宽/mm	高/mm
梁基板	铜	80	25	0.5
压电层	PZT-5H	80	25	0.4

表 2 能量收集器的材料参数

材料	弹性模量/GPa	泊松比	密度/(kg · m ⁻³)
铜	110	0.35	8 960
PZT-5H	70	0.36	7 500

仿真得到了在弯曲振动与扭转振动模式下压电能量收集器开路电压与激励频率响应曲线,如图 5 所示。可以看出,弯曲模态下前两阶谐振频率为 77.1 Hz、480.2 Hz,对应的开路电压为 8.75 V、3.42 V,扭转模态的 1 阶谐振频率为 468.9 Hz,对应的开路电压为 18.03 V,结果与上文公式计算结果相似。相比于弯曲振动的 1 阶谐振频率,悬臂梁扭转振动模式下的 1 阶谐振频率更接近弯曲振动模式下的 2 阶谐振频率。

根据响应频率分析,得到在两种振动模式下的频率计算公式,式(18)与式(22)。可对悬臂梁的结构尺寸进行优化,调整悬臂梁的长宽比,使 2 阶弯曲模态谐振频率接近 1 阶扭转模态谐振频率。保持悬臂梁宽度恒为 25 mm,调整长度,进行仿真,结果如图 6 所示。

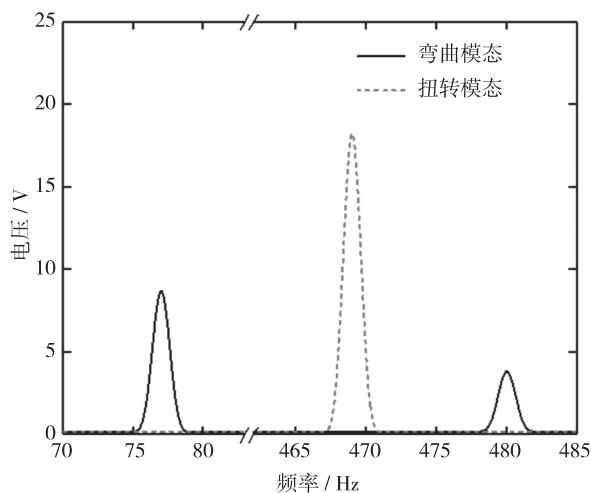


图5 扭转模式与弯曲模式电压频率响应曲线

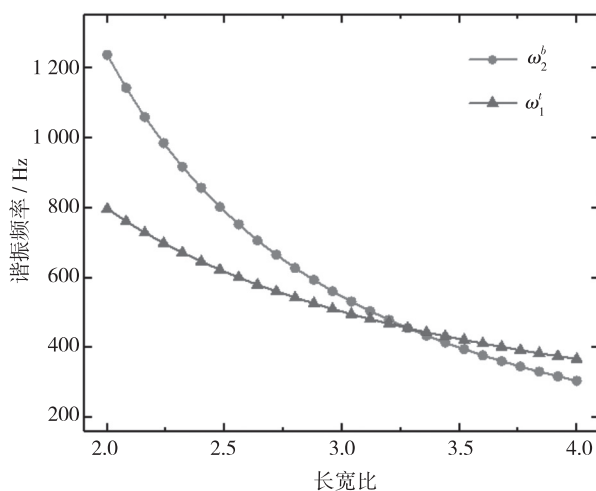


图6 响应频率与长宽比关系曲线图

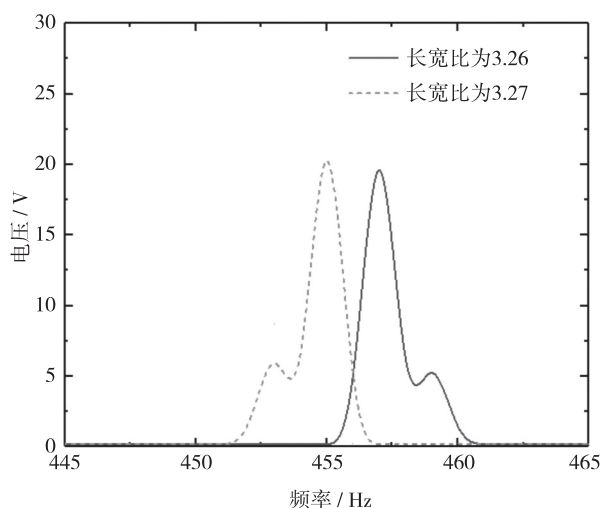


图7 优化后扭转模式与弯曲模式耦合电压频率响应曲线

当长宽比范围为 3.25~3.30 时, ω_1^t 与 ω_2^b 范围为 445 Hz~455 Hz, 且频率相差不超过 5 Hz。当长宽比为 3.26 和 3.27 时, 在弯曲振动与扭转振动模

式耦合下, 压电能量收集器的开路电压与激励频率响应曲线如图 7 所示。可以看出, 扭转与弯曲两种振动模式的耦合使压电能量收集器的工作频带相比于图 5 所示的单一模式的工作频带拓宽了近一倍。

5 结 论

本文利用弯曲与扭转振动模式耦合的方式, 实现了悬臂梁压电式能量收集器的频带拓宽。首先提出了一种新型的电气连接方式, 通过电极划分以及整流桥整流实现了扭转模式下的正负电荷有效收集。然后利用 Erturk 的分布参数机电模型对该电气连接模型进行了输出特性分析, 得到了输出电压与谐振频率的计算公式。最后利用 COMSOL Multiphysics 仿真软件对悬臂梁的结构尺寸进行仿真优化, 使 1 阶扭转模式谐振频率接近 2 阶弯曲模式谐振频率。该能量收集器的工作频带增加了一倍。

参 考 文 献:

- [1] 陈仲生. 压电式振动能量俘获理论与方法 [M]. 北京: 国防工业出版社, 2017.
- [2] 马天兵, 陈南南, 吴晓东, 等. Z 型压电振动能量收集装置 [J]. 光学精密工程, 2019, 27(9): 1968-1980.
- [3] 景来钊, 霍睿, 王伟科, 等. 低频宽带压电能量采集器的设计与性能分析 [J]. 压电与声光, 2018, 40(4): 491-495.
- [4] YILDIRIM T, ZHANG J, SUN S, et al. Design of an enhanced wideband energy harvester using a parametrically excited array [J]. J Sound Vib, 2017, 410: 416-428.
- [5] ALDRAIHEM O J, BAZ A. Energy harvester with a dynamic magnifier [J]. J Intell Mater Syst Struct, 2011, 22(6): 521-530.
- [6] ABDELKEFI A, NAYFEH A H, HAJJ M R, et al. Energy harvesting from a multifrequency response of a tuned bending-torsion system [J]. Smart Mater Struct, 2012, 21(7): 075029.
- [7] ABDELMOULA H, SHARPES N, ABDELKEFI A, et al. Low-frequency zigzag energy harvesters operating in torsion-dominant mode [J]. Appl Energy, 2017, 204: 413-419.
- [8] 郭丽, 周星德, 杨菁. 悬臂式压电能量采集器模型修正 [J]. 压电与声光, 2020, 42(6): 777-781.
- [9] ERTURK A, INMAN D J. A distributed parameter electromechanical model for cantilevered piezoelectric energy harvesters [J]. J Vib Acoust, 2008, 130(4): 041002.

用于 3.3 V 电源的高维持电压 ESD 防护器件

王军超, 李浩亮, 陈 磊, 杨 波
(郑州大学 信息工程学院, 郑州 450000)

摘 要: 为了解决传统 LVTSCR 易发生闩锁效应的问题,提出了一种增强型嵌入 P 浅阱可控硅 (EEP_LVTSCR) 结构。通过在传统 LVTSCR 中 NMOS 管漏极与阳极之间植入 PSD/NSD 有源区,引入了额外的复合作用,降低了发射极注入效率;通过 NMOS 管下方 P 浅阱增强基区的复合作用,同时降低了 PNP、NPN 管的电流增益,提高了维持电压。基于 0.18 μm BCD 工艺,采用 TCAD 软件模拟了新型 EEP_LVTSCR 和传统 LVTSCR 的电流电压 (I - V) 特性。仿真结果表明,新型 EEP_LVTSCR 的维持电压从传统的 1.73 V 提升到 5.72 V。该 EEP_LVTSCR 适用于 3.3 V 电源的 ESD 防护。

关键词: 静电放电; LVTSCR; 闩锁效应; 维持电压

中图分类号: TN342; TN306

文献标志码: A

文章编号: 1004-3365(2021)02-0260-05

DOI: 10.13911/j.cnki.1004-3365.200300

A High Maintenance Voltage ESD Protection Device for 3.3 V Power Supply

WANG Junchao, LI Haoliang, CHEN Lei, YANG Bo

(School of Information Engineering, Zhengzhou University, Zhengzhou 450000, P. R. China)

Abstract: In order to solve the problems of latch-up effect in the traditional LVTSCRs, an EEP_LVTSCR structure was proposed. By inserting a PSD/NSD active region between the drain and anode of the conventional LVTSCR NMOS, an additional recombination action was introduced. The emitter injection efficiency was reduced. The base area recombination action was enhanced through the P shallow well below NMOS, while the current gain of PNP and NPN was reduced to improve the holding voltage. Based on a 0.18 μm BCD process, the current and voltage (I - V) characteristics of the new EEP_LVTSCR and the traditional LVTSCR were simulated by TCAD simulation. Simulation results showed that the holding voltage of the new EEP_LVTSCR was increased from the traditional 1.73 V to 5.72 V. The EEP_LVTSCR was suitable for the ESD protection of 3.3 V power supply.

Key words: ESD; LVTSCR; latch-up; holding voltage

0 引 言

随着半导体制造工艺的迅速发展,越来越小的芯片导致器件对静电放电 (ESD) 愈发敏感,需要采用合适的 ESD 防护方案。LVTSCR 是 SCR 基础上

的改进结构,与 SCR 相比,LVTSCR 的触发电压更低,但仍没解决 SCR 易发生闩锁效应的问题。

目前,为了保护器件不发生闩锁效应,主要采用两种方法。一种方法是提高维持电流。文献[1]通过植入额外的 P^+ 区,与栅电容形成 RC 耦合结构,提高了维持电流。第二种方法是通过优化电路结

收稿日期: 2020-06-30; 定稿日期: 2020-07-08

基金项目: 国家自然科学基金资助项目 (61874098)

作者简介: 王军超 (1995—), 男 (汉族), 河南周口人, 硕士研究生, 研究方向为集成电路 ESD 防护。

李浩亮 (1978—), 男, 硕士生导师, 副教授, 研究方向为集成电路设计、集成电路 ESD 防护。

构,提高维持电压。文献[2-3]采用堆叠的结构,提升了维持电压,但触发电压成倍提高。文献[4-6]采用分流结构,减少注入N阱、P阱内的载流子数,降低了晶体管的增益,提高了抗闩锁能力。文献[7-8]通过分割方法降低发射极的载流子注入效率,提高了维持电压。文献[9]增加寄生管的基区宽度,提高了抗闩锁能力,但降低了防护效率。文献[10]植入N型离子层,提高了维持电压,但增加了成本。

为了解决 LVTSCR 易发生闩锁效应的问题,本文提出一种具有高维持电压的 EEP_LVTSCR。该器件结构在 LVTSCR 的基础上改进。通过减小寄生 NPN、PNP 管的电流增益,增大了传统 LVTSCR 的维持电压。仿真结果表明,维持电压从传统的 1.91 V 提升到 4.64 V。该器件解决了 LVTSCR 易发生闩锁效应的问题,适用于 3.3 V 电源的 ESD 防护。

1 传统 LVTSCR 的 ESD 防护机理

传统 LVTSCR 的剖面图如图 1 所示。

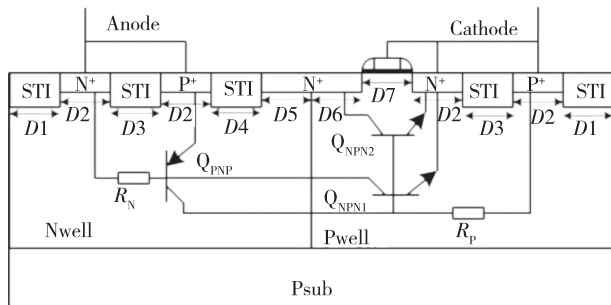


图 1 传统 LVTSCR 的剖面图

LVTSCR 是将 GGNMOS 插入到 SCR 结构中形成的, GGNMOS 的源极即为阴极 N^+ 区, 漏极跨接在 Nwell 和 Pwell 上。LVTSCR 通过内部 GGNMOS 触发, 当正向 ESD 应力出现在阳极时, GGNMOS 漏极边缘与栅极的附近区域形成附加电场。因 LVTSCR 的反向二极管的雪崩击穿电压较低, 雪崩击穿发生后, 电子电流流入 Nwell, 空穴电流流入 Pwell。当 Pwell 电阻 (R_P) 上的压降达到 0.7 V 时, 寄生 NPN 管导通, 发射极向 Nwell 注入大量电子。当 Nwell 电阻 (R_N) 上的压降达到 0.7 V 时, 寄生 PNP 管导通。SCR 路径开启后, 寄生 NPN、PNP 管形成了正反馈系统, 加剧了电导调制效应, 使 LVTSCR 发生回滞, 深回滞点在 2 V 左右。此时, LVTSCR 在 5 V 电压下正常工作而无法关

断,易导致器件失效,不能实现防护。

2 EEP LVTSCR 的设计思路与机理

寄生 NPN、PNP 管的正反馈系统是 LVTSCR 的维持电压过低的主要原因。正反馈机制的形成与晶体管的电流增益 β 密切相关。因此,可通过减小 β , 提高维持电压。

新型 EEP LVTSCR 结构剖面图如图 2 所示。

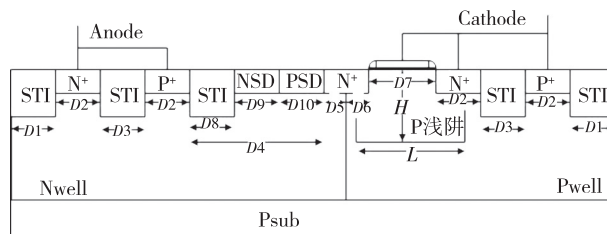


图 2 EEP_LVTSCR 的结构剖面图

在阳极 P^+ 和 NMOS 管漏极之间植入 NSD/PSD 有源区,在 NMOS 管漏极、源极下方植入一个 P 型浅阱。P 型浅阱的长度为 L 、深度为 H 。和 EP_LVTSCR 相比,EEP_LVTSCR 从寄生 NPN、PNP 管出发,通过植入 P 型浅阱增大 NPN 基区的掺杂浓度,增强了少数载流子的复合作用,使发射极注入电子浓度降低,晶体管的放大倍数降低。同时,通过在阳极 P^+ 附近植入 NSD 有源区,吸收从 P^+ 注入的少数载流子空穴,减小注入 Nwell 的空穴浓度,使晶体管的电流增益降低。

为使器件的 SCR 路径开启并产生回滞状态,需要满足:

$$\beta(M-1) \geq 1 \quad (1)$$

式中, M 为雪崩倍增因子^[11]。

由式(1)可知,随着 β 降低,SCR 路径为保持开启,需要更高的电压来增大 M ,维持电压获得提升。

植入的 PSD 有源区阻断表面路径,让更多的电流流过更深处的主 SCR 路径。这增大了 SCR 路径的长度,进一步提高了维持电压。

3 TCAD 仿真测试与机理验证

本文采用 Sentaurus TCAD 仿真软件对 EEP_LVTSCR 进行仿真测试。LVTSCR 和 EEP_LVTSCR 的横向参数如表 1 所示。纵向有效长度均为 $100\text{ }\mu\text{m}$ 。

LVTSCR 和 EEP LVTSCR 的传输线脉冲

(Transmission Line Pulse, TLP) I - V 特性曲线如图 3 所示。可以看出,传统 LVTSCR 的维持电压为 1.91 V,触发电压为 7.72 V。EEP_LVTSCR 的维持电压为 4.64 V,触发电压为 7.42 V,相比传统 LVTSCR,维持电压提高了 2.73 V,触发电压降低了 0.3 V。原因是,植入的 P 浅阱增大了 Pwell 掺杂浓度,降低了 N^+ /Pwell 反向二极管的结击穿电压。

表 1 LVTSCR 和 EEP_LVTSCR 的横向参数

尺寸	LVTSCR	EEP_LVTSCR
$D1/\mu\text{m}$	2	2
$D2/\mu\text{m}$	1	1
$D3/\mu\text{m}$	1	1
$D4/\mu\text{m}$	1.5	1.5
$D5/\mu\text{m}$	1	1
$D6/\mu\text{m}$	1	1
$D7/\mu\text{m}$	0.6	0.6
$D8/\mu\text{m}$	-	0.5
$D9/\mu\text{m}$	-	0.5
$D10/\mu\text{m}$	-	0.5
$L/\mu\text{m}$	-	1
$H/\mu\text{m}$	-	1.5

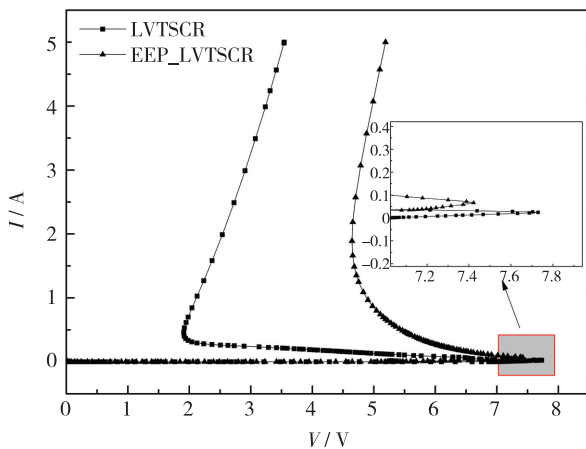
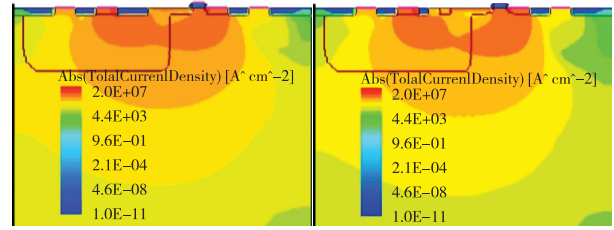


图 3 LVTSCR 与 EEP_LVTSCR 的 TLP I - V 特性曲线

LVTSCR 和 EEP_LVTSCR 完全导通时的总电流密度分布分别如图 4(a)、图 4(b)所示。可以看出,相比于 LVTSCR,EEP_LVTSCR 在完全导通时,表面路径流经的电流明显减少。这表明,植入的 PSD 阻断了表面路径,电流主要通过 SCR 路径泄放。

LVTSCR 和 EEP_LVTSCR 完全导通时的空穴密度分布分别如图 5(a)、图 5(b)所示。相比于 LVTSCR,EEP_LVTSCR 阳极 P^+ 的空穴密度更小。这表明,植入的 NSD 复合了从 P^+ 注入的少数

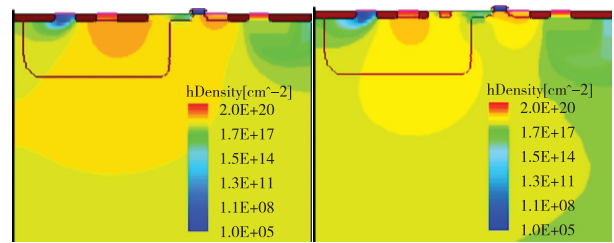
载流子空穴,使流入 Nwell 中的空穴浓度降低,降低了 PNP 管发射极的载流子注入效率,降低了 β ,从而提高了维持电压。



(a) LVTSCR

(b) EEP_LVTSCR

图 4 两种器件完全导通时的总电流密度分布

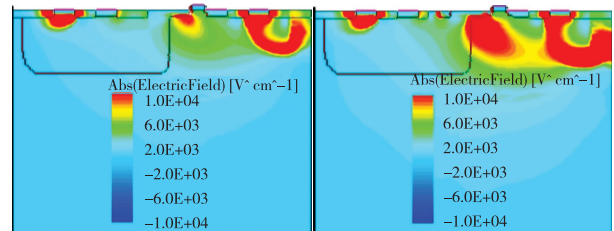


(a) LVTSCR

(b) EEP_LVTSCR

图 5 两种器件完全导通时的空穴密度分布

LVTSCR 和 EEP_LVTSCR 完全导通时的电场分布分别如图 6(a)、图 6(b)所示。可以看出,相比于 LVTSCR,EEP_LVTSCR 的内部电场更强。这表明,载流子浓度的减少降低了 β ,需更强的电场来增加碰撞电离率,从而提高了维持电压。



(a) LVTSCR

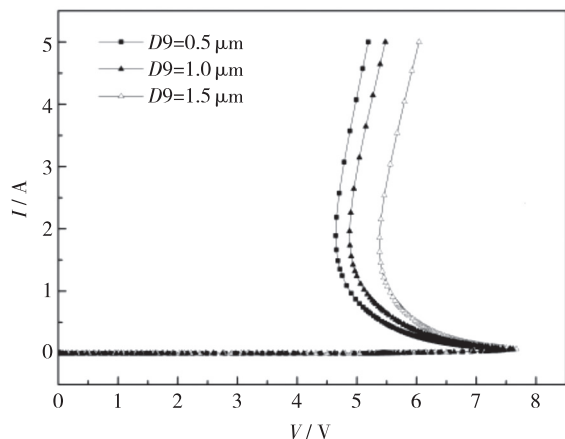
(b) EEP_LVTSCR

图 6 两种器件完全导通时电场分布

4 设计优化及关键尺寸调节

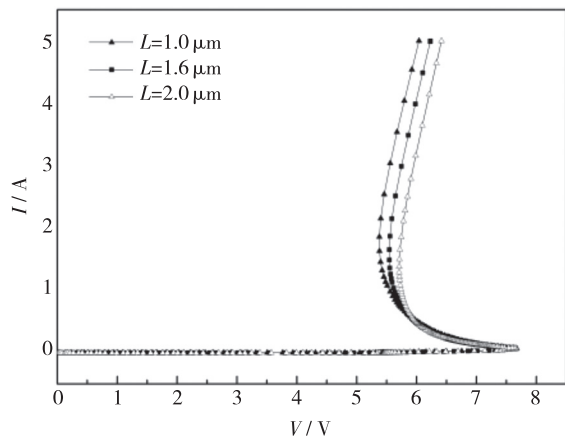
本文通过增加 NSD、P 浅阱的横向尺寸进一步提升 EEP_LVTSCR 的抗闩锁能力。保持其他尺寸不变,不同 $D9$ 尺寸时的 I - V 特性曲线如图 7 所示。

可以看出, $D9$ 分别为 0.5 μm 、1.0 μm 、1.5 μm 时,维持电压分别为 4.64 V、4.89 V、5.39 V。当 $D9$ 尺寸增大时,表面复合作用的增强使得载流子浓度进一步降低,发射极的注入效率降低,维持电压进一步提高。

图7 不同 D_9 尺寸时 EEP_LVTSCR 的 I - V 特性曲线

不同 L 尺寸时的 I - V 特性曲线如图 8 所示。可以看出, L 尺寸分别为 $1.0 \mu\text{m}$ 、 $1.6 \mu\text{m}$ 、 $2.0 \mu\text{m}$ 时, 维持电压分别为 5.39 V 、 5.56 V 、 5.72 V 。

对 D_9 和 L 的尺寸进行调节, 使维持电压从 4.64 V 提高到 5.72 V 。这表明对 EEP_LVTSCR 的关键尺寸调节是可行的。

图8 不同 L 尺寸时 EEP_LVTSCR 的 I - V 特性曲线

不同 D_9 、 L 尺寸时两种器件的维持电压分别如表 2、表 3 所示。可以看出, D_9 、 L 尺寸变化时, LVTSCR 维持电压的提高幅度有限; D_9 、 L 尺寸变化时, 新型 EEP_LVTSCR 维持电压的提高幅度明显。

表2 不同 D_9 尺寸时两种器件的维持电压

$D_9/\mu\text{m}$	维持电压/V	
	LVTSCR	EEP_LVTSCR
0.5	1.91	4.62
1	1.96	4.89
1.5	2.02	5.39

表3 不同 L 尺寸时两种器件的维持电压

$L/\mu\text{m}$	维持电压/V	
	LVTSCR	EEP_LVTSCR
1	2.02	5.39
1.6	2.02	5.56
2	2.02	5.72

5 结 论

本文提出了一种新型 EEP_LVTSCR 结构。从寄生 NPN、PNP 管出发, 降低了 β , 削弱了正反馈作用, 提高了维持电压, 解决了器件易发生闩锁效应的问题。通过调节器件的关键尺寸, EEP_LVTSCR 的维持电压得到大幅提升, 可达 5.72 V 。该器件可满足 ESD $10\% \sim 20\%$ 的安全防护裕量, 适用于 3.3 V 电源的 ESD 防护。

参 考 文 献:

- [1] LIANG H L, GU X F, DONG S R, et al. RC-embedded LDMOS-SCR with high holding current for high-voltage I/O ESD protection [J]. IEEE Trans Dev & Mater Reliab, 2015, 15(4): 495-499.
- [2] MA F, ZHANG B, HAN Y, et al. High holding voltage SCR-LDMOS stacking structure with ring-resistance-triggered technique [J]. IEEE Elec Dev Lett, 2013, 34(9): 1178-1180.
- [3] LIU Z W, LIOU J J, DONG S R, et al. Silicon-controlled rectifier stacking structure for high-voltage ESD protection applications [J]. IEEE Elec Dev Lett, 2010, 31(8): 845-847.
- [4] HUANG Y C, KER M D. A latch up-immune and robust SCR device for ESD protection in $0.25\text{-}\mu\text{m}$ -5-V CMOS process [J]. IEEE Elec Dev Lett, 2013, 34(5): 674-676.
- [5] DAI C T, KER M D. ESD protection design with stacked high-holding-voltage SCR for high-voltage-pins in a battery-monitoring IC [J]. IEEE Trans Elec Dev, 2016, 63(5): 1996-2002.
- [6] DAI C T, KER M D. Comparison between high-holding-voltage SCR and stacked low-voltage devices for ESD protection in high-voltage applications [J]. IEEE Trans Elec Dev, 2018, 65(2): 798-802.
- [7] HUANG X Z, LIOU J J, LIU Z W. A new high holding voltage dual-direction SCR with optimized segmented topology [J]. IEEE Elec Dev Lett, 2016,

- 37(10): 1311-1313.
- [8] HUANG X Z, LIU Z W, LIU F, et al. High holding voltage SCRs with segmented layout for high-robust ESD protection [J]. *Elec Lett*, 2017, 53 (18): 1274-1275.
- [9] ZENG J, DONG S R, LIU J J, et al. Design and analysis of an area-efficient high holding voltage ESD protection device [J]. *IEEE Trans Elec Dev*, 2015, 62(2): 606-614.
- [10] WANG C G, LIU Z X, LIU J H, et al. A novel SCR ESD protection structure for RF power amplifier [C] // *IEEE Proceed China Semicond Technol Int Conf*. Beijing, China, 2018: 1-3.
- [11] 陈星弼, 张庆中, 陈勇. 微电子器件 [M]. 第 3 版. 北京: 电子工业出版社, 2011: 62-98.
-

(上接第 178 页)

- [5] RAGHU S, DURAI SWAMY P. High gain and low noise figure single-to-differential CMOS LNA for Ka-band communication system [C] // *IEEE MTT-S IMaRC*. Ahmedabad, India, 2017: 1-4.
- [6] DAS I, NALLAM N. Noise cancelation? explained!: the role of feedback in noise-canceling LNAs and receivers [J]. *IEEE Microwave Magaz*, 2017, 18(6): 100-109.
- [7] MA L, WANG Z, XU J, et al. A 500 kHz-1.4 GHz push-pull differential noise cancellation LNA [C] // *IEEE ICCSN*. Chengdu, China, 2015: 182-185.
- [8] ANTONOV A A, SURIN I K, KARPOVICH M S, et al. A high gain 450/900 MHz dual band low noise amplifier for IoT and LTE low-band receivers [C] // *20th Int Conf Young Special Micro/Nanotechnol & EDM*. Altai Republic, Russia, 2019: 92-96.
- [9] TANG Y, FENG Y, FAN Q, et al. A wideband complementary noise and distortion canceling LNA for high-frequency ultrasound imaging applications [C] // *Texas Symp WMCS*. Waco, TX, USA, 2018: 1-4.
- [10] HUANG D R, CHUANG H R, CHU Y K. A 40~900 MHz broadband CMOS differential lna with gain-control for DTV RF tuner [C] // *IEEE ASSCC*. Hsinchu, China, 2005: 465-468.
- [11] CHENG T, YANG T, WANG X, et al. A wideband CMOS variable-gain low noise amplifier with novel attenuator [C] // *IEEE 10th Int Conf ASIC*. Shenzhen, China, 2013: 1-4.

基于双面盲孔电镀的硅通孔工艺研究

李明浩^{1,2}, 王俊强^{1,2}, 李孟委^{1,2,3}

(1. 中北大学 仪器与电子学院, 太原 030051; 2. 中北大学 前沿交叉学科研究院, 太原 030051;
3. 中北大学 南通智能光机电研究院, 江苏 南通 226000)

摘 要: 针对当前微机电系统(MEMS)发展对小型化封装的需求,设计了一种高可靠性、低成本、高深宽比的硅通孔(TSV)结构工艺流程。该工艺流程的核心是双面盲孔电镀,将 TSV 结构的金属填充分为正、反两次填充,最后获得了深度为 155 μm 、直径为 41 μm 的 TSV 结构。使用功率器件分析仪对 TSV 结构的电学性能进行了测试,使用 X 光检测机和扫描电子显微镜(SEM)分别观察了 TSV 结构内部的缺陷分布和填充情况。测试结果证明,TSV 样品导电性能良好,电阻值约为 $1.79 \times 10^{-3} \Omega$,孔内完全填充,没有空洞。该研究为实现 MEMS 的小型化封装提供了一种解决方法。

关键词: 硅通孔; 微机电系统封装; 双面盲孔电镀; 深反应离子刻蚀

中图分类号: TN405

文献标志码: A

文章编号: 1004-3365(2021)02-0265-05

DOI: 10.13911/j.cnki.1004-3365.200403

Research on Through Silicon Via Process Based on Double-Sided Blind Via Plating

LI Minghao^{1,2}, WANG Junqiang^{1,2}, LI Mengwei^{1,2,3}

(1. School of Instrument and Electronics, North University of China, Taiyuan 030051, P. R. China; 2. Academy for Advanced Interdisciplinary Research, North University of China, Taiyuan 030051, P. R. China; 3. Nantong Institute of Intelligent Opto-Mechatronics, North University of China, Nantong, Jiangsu 226000, P. R. China)

Abstract: According to the urgent demands for the miniaturized packaging of micro-electromechanical systems (MEMS), a technology with high-reliability, low-cost, and high-aspect-ratio through-silicon via (TSV) structure was proposed. The core process of the technology was double-sided blind hole electroplating. The process of metal filling in the TSV structure consisted of front filling and back filling, obtaining a final TSV structure with a depth of 155 μm and a diameter of 41 μm . The electrical performance of the TSV structure was tested by power device analyzer. X-ray inspection machine and scanning electron microscope (SEM) were used to observe the defect distribution and filling conditions inside the TSV structure. The experimental results showed that the TSV samples had a good electrical conductivity and an approximate resistance value of $1.79 \times 10^{-3} \Omega$. The hole of the sample was fully filled without voids. The research provided a promising strategy for the realization of miniaturized MEMS packaging.

Key words: through silicon via (TSV); micro-electromechanical system (MEMS) packaging; double-sided blind via plating; deep reactive ion etching (DRIE)

收稿日期: 2020-09-02; 定稿日期: 2020-09-24

基金项目: 国家自然科学基金资助项目(61804137); "173 计划"基金资助项目(2017JCJQZD00604)

作者简介: 李明浩(1996—), 男(汉族), 山西运城人, 硕士研究生, 主要从事石墨烯 MEMS 器件设计、石墨烯 MEMS 器件工艺和 TSV 封装工艺研究。

0 引言

随着压力传感器、温度传感器、陀螺仪、加速度计等 MEMS 器件在计算机通讯、汽车电子、航空航天等领域的大量应用, MEMS 产业迎来了新挑战, 小型化、低成本、高性能的 MEMS 产品成为发展的主流^[1-2]。经过多年的发展, MEMS 产品逐渐趋于成熟, 但小型化仍是面临的挑战之一。未来实现小型化、低成本、高性能和多功能的空间的方法已经不在于 MEMS 器件本身, 更大程度上依赖于封装技术^[3]。TSV 封装技术可以降低 MEMS 封装成本和实现系统的微型化、集成化、智能化、大幅节能降耗, 被称为继引线键合、载带键合和倒装芯片之后的第四代封装技术^[4-6]。

通孔填充工艺是 TSV 封装技术中非常关键的一环, 其成本约占 TSV 总成本的 40%。通孔填充的质量将直接影响到 MEMS 芯片的性能, 在填充过程中, 如果出现空洞或者缝隙, 都将导致芯片产生严重的可靠性问题^[7]。而在填充材料方面, 虽然钨和掺杂多晶硅与硅的热膨胀系数更加匹配, 但是和 Cu 相比, 它们的导电性能和导热性能都较差, 并且制造工艺复杂、成本高。电镀 Cu 由于成本低廉并且可以应用于各种 TSV 尺寸和形状的填充, 成为了主流的 TSV 填充材料^[8]。目前, 应用于存储芯片堆叠领域的 TSV 工艺芯片厚度为 20~100 μm , TSV 直径为 8~20 μm , 深宽比为 5~10。当厚度小于 200 μm 时, 进行硅片清洗、湿法腐蚀等工艺以及在各工艺之间硅片夹持转移过程中都极易破裂, 这些问题导致当前应用于存储芯片堆叠的 TSV 工艺还不能直接应用到现有的 MEMS 芯片工艺上^[9]。同时, 当前 TSV 工艺中获得较深通孔和无孔隙电镀的工艺还不够成熟, 为了提高电镀效率和生产良率, TSV 结构尺寸设计都比较小, 完全填充的 TSV 深度很难达到 300 μm 以上^[10]。

本文对应用于 MEMS 封装的 TSV 工艺进行了研究。经过以双面盲孔电镀为核心的工艺流程, 试制出深度为 155 μm 、直径为 40 μm 的 TSV 结构, 该 TSV 结构导电性能良好, 金属填充无孔洞。使用以双面盲孔电镀为核心的工艺流程可以尝试开发深度达到 260 μm 、直径 40 μm 的 TSV 结构, 可以为 MEMS 的小型化封装提供性能优异、可靠性高、成本较低的电学互连方法, 将会在航空航天、军事装备、装甲车辆、消费电子等领域有广泛的应用。

1 双面盲孔电镀 TSV 工艺流程设计

1.1 TSV 结构设计

本研究设计的 TSV 结构主要针对 MEMS 封装, TSV 的加工在进行 MEMS 芯片加工前完成。研究使用 n 型掺杂、电阻率大于 10 $\text{k}\Omega \cdot \text{cm}^2$ 、厚度为 400 μm 、晶向为 $\langle 100 \rangle$ 的 50 mm 双面抛光硅片。考虑到 TSV 加工成本及工艺耗时, 将盲孔的直径设计为 40 μm , 深度设计为 160 μm , 盲孔的深宽比约为 4。

1.2 双面盲孔电镀工艺流程设计

不同电镀方法产生的缺陷如图 1 所示。由于设计的 TSV 结构过深, 若使用传统的单面盲孔电镀, 将会使盲孔底部产生如图 1(a)所示的空洞, 耗费的时间过长, 增加工艺成本; 若使用双面通孔电镀, 将会使通孔中心产生如图 1(b)所示的空隙, 对电镀的电流要求较高, 失败率较高。



(a) 单面盲孔电镀缺陷

(b) 双面通孔电镀缺陷

图 1 不同电镀方法产生的缺陷示意图

双面盲孔电镀方法将 TSV 结构的深孔填充分解成正反两次浅孔填充, 有效降低电镀花费的时间, 减少 TSV 结构出现缺陷的情况。双面盲孔电镀的工艺流程如图 2 所示。双面盲孔电镀的工艺流程为: (a) 刻蚀盲孔; (b) 沉积正面绝缘层; (c) 溅射正面阻挡层与种子层; (d) 电镀正面盲孔; (e) 减薄与化学机械抛光; (f) 淀积反面绝缘层; (g) 溅射反面阻挡层与种子层; (h) 电镀反面盲孔; (i) 化学机械抛光双面金属层。

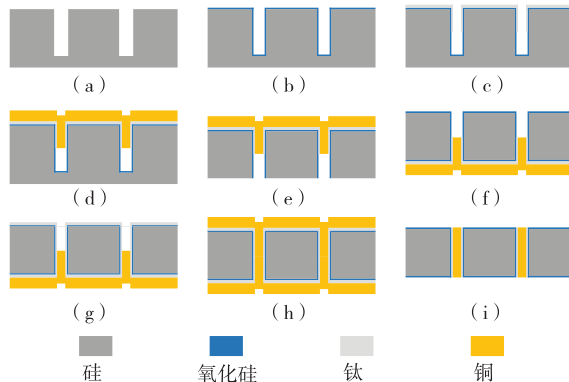


图 2 双面盲孔电镀工艺流程

2 双面盲孔电镀 TSV 工艺加工

2.1 盲孔刻蚀

盲孔的刻蚀主要通过深反应离子刻蚀(DRIE)工艺实现。在进行 TSV 盲孔刻蚀时,通过周期性地交替通入 SF_6 刻蚀气体和 C_4H_8 保护气体来实现硅的快速刻蚀和钝化,形成比较陡直的盲孔^[11]。

在进行盲孔刻蚀前,需要先制作刻蚀掩膜,使用 AZ4620 正性光刻胶制作盲孔刻蚀掩膜,DRIE 工艺对 AZ4620 的选择比约为 50 : 1,刻蚀深度设定为 180 μm ,故需要 4 μm 以上厚度的掩膜。以 600 r/s 旋涂 6 s,将光刻胶展开,以 4 000 r/s 旋涂 30 s,将光刻胶旋涂平整,置于 100 $^\circ\text{C}$ 热板烘烤 8 min 后,得到 10 μm 厚度的掩膜。光刻工艺使用 SUSS MA6 紫外接触式双面对准光刻机曝光,光刻机电源功率为 830 W,曝光强度为 20.12 mW/cm²,曝光时间为 18 s。使用四甲基氢氧化铵与去离子水以体积比 1 : 8 配置显影液显影 2 min,然后置于 110 $^\circ\text{C}$ 热板进行后烘,得到可以保护非刻蚀区域的掩膜。DRIE 使用标准快速刻蚀工艺,刻蚀气体 SF_6 流量为 450 cm³/min,保护气体 C_4H_8 流量为 190 cm³/min。一个刻蚀周期耗时 11 s,包括 8 s 刻蚀和 3 s 钝化,可以刻蚀大约 1.3 μm 的深度,刻蚀 140 个循环即可得到需求的盲孔。将盲孔沿中心裂开,使用扫描电子显微镜(SEM)进行观察,盲孔剖面如图 3 所示。可以看出,盲孔深度为 186 μm ,倾角为 89.36 $^\circ$,整体呈梯形状。由于采用 Bosch 工艺制备盲孔,侧壁有“贝壳”状纹路,如图 3 所示。

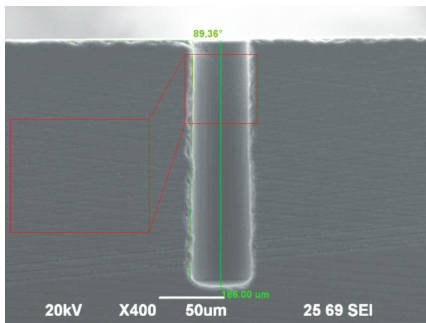


图 3 盲孔剖面 SEM 照片

2.2 绝缘层沉积

硅衬底与盲孔内填充金属之间通过绝缘层实现电气互连的稳定性。常见的绝缘层沉积工艺包括等离子体增强化学气相沉积(PECVD)工艺和热氧化工艺。由于盲孔过深,PECVD 淀积的 SiO_2 绝缘层

无法完全覆盖盲孔,且热氧化工艺生成的 SiO_2 绝缘层比较致密,故采用热氧化工艺。热氧化工艺选择“干氧-湿氧-干氧”交替氧化的方法,将刻有盲孔的硅片置于高温氧化炉中,工艺温度为 1 100 $^\circ\text{C}$,通入 8SLM 的 O_2 和 14SLM 的 H_2 ,以“10 min 干氧-3 min 湿氧-10 min 干氧”循环进行,工艺时长 7 h,在硅片表面及盲孔内壁形成约 500 nm 的 SiO_2 绝缘层。

2.3 金属填充

金属填充工艺以电镀 Cu 为主,包括溅射阻挡层 Ti、种子层 Cu 和电镀填孔工艺。阻挡层对高温下铜的扩散有较好的阻挡作用,而种子层的制作则有利于 Cu 的电镀。通过磁控溅射工艺,在盲孔上半部分淀积 500 nm 的 Ti 与 2 μm 的 Cu。磁控溅射工艺参数如表 1 所示。

表 1 磁控溅射工艺参数

参数	Ti	Cu
功率/W	350	250
气压/Pa	0.666	0.666
溅射速率/(nm · s ⁻¹)	0.16	0.36

硫酸铜体系的电镀液工作温度较低、设备操作简便、添加剂比较单纯且毒性较低,故电镀液使用硫酸铜体系电镀液。电镀液配方主要分为加速剂、抑制剂和平整剂^[12-13]。电镀前将硅片放入水槽中,进行真空处理 865 s,通过气压让去离子水顺利进入到盲孔内部,挤出盲孔内的气泡,达到盲孔润湿的目的,同时防止空气残留在盲孔内引起电镀空洞。电镀过程中为确保电镀液均匀分布,电镀槽底部有搅拌器不断搅拌,搅拌器转速为 150 r/min。电镀工艺结束后,将硅片置于 100 $^\circ\text{C}$ 热板烘干,正面盲孔电镀完成。

使用减薄抛光工艺将硅片反面盲孔漏出,然后制作绝缘层、阻挡层和种子层。使用半自动晶片减薄机将硅片减薄至 195 μm 左右,然后使用抛光机将硅片减薄面抛光至 180 μm 左右。将样品裂片后,对侧面进行打磨,得到的侧面光学照片如图 4 所示。

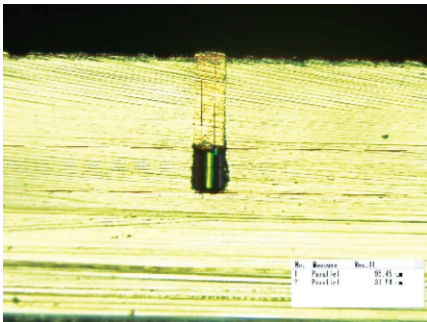


图 4 盲孔侧面光学照片

可以看出,孔内可填充深度为 $131.54\ \mu\text{m}$ 。淀积黏附阻挡层、种子层对工艺有着较为苛刻的要求,常用的物理汽相沉积工艺,如磁控溅射制备薄膜,可以覆盖区域的深宽比范围为 $2\sim 4$,不能完全覆盖侧壁^[9,14]。因此,单次盲孔电镀无法将盲孔内完全填充,故采用双面盲孔电镀工艺。根据图 4 可以推测,使用双面盲孔电镀工艺制备出深度达 $260\ \mu\text{m}$ 、直径为 $40\ \mu\text{m}$ 的 TSV 结构。

在制作反面绝缘层时,由于盲孔侧壁已存在绝缘层,只需在硅片表面淀积。考虑减少工艺时间、节约成本,采用 PECVD 工艺。反面阻挡层和种子层的制作工艺与正面相同,采用磁控溅射工艺在盲孔下半部分沉积 $500\ \text{nm}$ 的 Ti 与 $2\ \mu\text{m}$ 的 Cu,使用与正面盲孔电镀相同的工艺完成反面盲孔电镀。

2.4 金属抛光

双面盲孔电镀完成后,正反两面还存在多余的 Ti、Cu 金属层,可以使用化学机械抛光工艺去除。抛光液成分以柠檬酸和过氧化氢为主,添加有抗腐蚀剂、 SiO_2 颗粒。其中,柠檬酸的含量为 $6.3\ \text{g/L}$,过氧化氢的体积比为 9% ,溶剂为去离子水。抛光速度主要由抛光垫及托盘的转动速度、抛光液的传递速度决定,前者主要增强机械抛光,后者则增强化学抛光。综合各方面的作用,设置抛光垫的转动速率为 $40\ \text{r/min}$,托盘转动速率为 $60\ \text{r/min}$,托盘直线运动速率为 $30\ \text{cm/min}$,抛光液的传递速度为 $1\sim 2$ 滴/s。双面金属抛光完成后,得到了 TSV 结构俯视光学照片,如图 5 所示。可以看出,完成抛光的 TSV 直径为 $41.68\ \mu\text{m}$,基本符合设计。

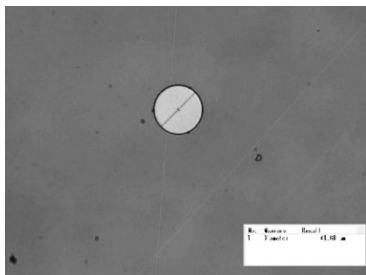


图 5 TSV 结构俯视光学照片

3 分析与讨论

3.1 TSV 结构电学性能测试

TSV 结构将传感器芯片与封装外壳连接起来,起到了将芯片的电学信号传出的作用。因此,TSV 结构的导电性能是表征 TSV 结构质量的首要条件。TSV 结构的主体部分是电镀填充的铜柱,使用电阻

定律的公式进行计算,即:

$$R = \frac{\rho L}{S} \quad (1)$$

式中, R 为 TSV 结构电阻, ρ 为电阻率,大小为 $1.75 \times 10^{-8}\ \Omega \cdot \text{m}$, L 为 TSV 深度,大小为 $1.55 \times 10^{-4}\ \text{m}$, S 为 TSV 横截面积,大小约为 $1.26 \times 10^{-9}\ \text{m}^2$ 。经计算,可得 TSV 结构的理论电阻约为 $2.15 \times 10^{-3}\ \Omega$ 。

使用 Agilent B1505A 功率器件分析仪对 TSV 结构的电学性能进行测试,测试时从硅片上随机挑选 4 个 TSV 结构作为样品,每个样品进行 4 次测试取平均值,测试结果如表 2 所示。

表 2 TSV 电学性能测试结果

样品编号	电阻/ Ω	说明
1	1.98×10^{-3}	导通
2	2.02×10^{-3}	导通
3	1.96×10^{-3}	导通
4	1.93×10^{-3}	导通

对 4 次测试结果取均值计算,TSV 结构的电阻平均值为 $1.97 \times 10^{-3}\ \Omega$,比理论计算值低 8.37% 。偏差产生的原因可能是 DRIE 形成的盲孔呈圆台状,金属填充后形成圆台状的金属柱,从上到下直径不断增大,导致电阻逐渐减小,实际加工出来的样品的电阻应略小于理论计算值。测试选取的样品全部导通,电阻大小接近,本次研究的 TSV 结构导通且一致性较好。

3.2 TSV 结构内部填充情况表征

TSV 结构内金属填充情况直接决定 TSV 结构质量。金属填充情况主要从两个方面进行评价,一方面是结构内部的缺陷分布,另一方面是结构界面的分布情况。

X 射线 (X-Ray) 可以直接透过硅材料观察到 TSV 内部填充的 Cu 柱。使用 X-Ray 分别对完成单面盲孔电镀、完成双面盲孔电镀的样品进行照射,得到的结果如图 6 和图 7 所示。可以看出,图 6 中阴影两端笔直,阴影区域没有白线或白点;图 7 中阴影中心没有白点。这说明,两次单面盲孔电镀填充的 Cu 柱完整,没用空洞或缝隙;两次电镀的金属柱衔接完好,没有明显的缺陷。

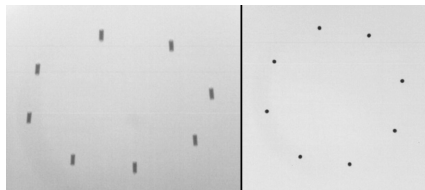


图 6 单面盲孔电镀后 TSV 结构 X-Ray 照片

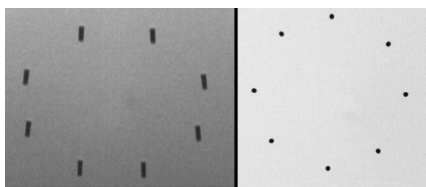


图7 双面盲孔电镀后 TSV 结构 X-Ray 照片

为进一步了解 TSV 结构内部的填充情况,通过打磨,将 TSV 结构填充的界面展露出来。然后将 TSV 样品放入 SEM 中观察 TSV 结构内部填充情况与 TSV 结构界面各层分布,如图 8 和图 9 所示。

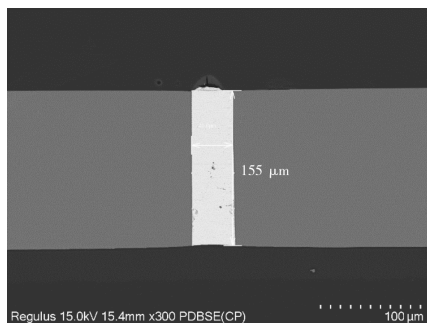


图8 TSV 结构内部填充 SEM 照片

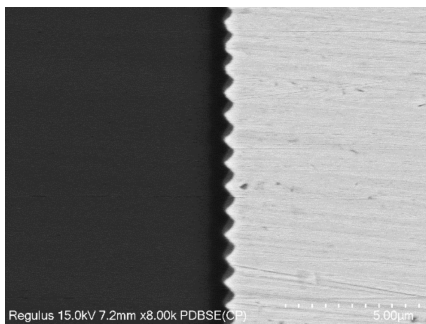


图9 TSV 结构界面各层分布 SEM 照片

从图 8 可以看出,TSV 结构直径为 $41\ \mu\text{m}$,深度为 $155\ \mu\text{m}$;TSV 结构内部被金属完全填充,没有空洞;正反两次电镀填充金属交界处没有断层或空洞,连接良好。从图 9 可以看出,各层交界处均呈锯齿状,这是使用 DRIE 刻蚀盲孔侧壁呈“贝壳”状波纹导致;TSV 结构界面各层分布明显,可以明显看到厚度约 $500\ \text{nm}$ 的 SiO_2 绝缘层。

4 结 论

本文针对 MEMS 芯片可靠性的需求,对 TSV 结构的加工工艺进行了研究。设计了一种基于双面盲孔电镀的低成本、高质量的高深宽比 TSV 工艺流程。根据设计的工艺流程进行加工,得到了通孔深

度为 $155\ \mu\text{m}$ 、通孔直径为 $41\ \mu\text{m}$ 的 TSV 样品。通过功率器件分析仪、X-Ray 和 SEM 对样品的电学性能、内部缺陷分布、金属填充情况进行表征,TSV 样品无缺陷,导电性能良好。本文研究为 MEMS 的小型化无引线封装提供了一种高可靠性、低成本、高深宽比的电学互连方法。

参 考 文 献:

- [1] 封国强,蔡坚,王水弟. 硅通孔互连技术的开发与应用 [J]. 电子与封装, 2006, 6(11): 15-18.
- [2] 邓丹,吴丰顺,周龙早,等. 3D 封装及其最新研究进展 [J]. 微纳电子技术, 2010, 47(7): 443-450.
- [3] 王喆垚. 微系统设计与制造 [M]. 北京: 清华大学出版社, 2015: 22-26.
- [4] 张卓. 基于 TSV 的 MEMS 圆片级真空封装关键技术的研究 [D]. 武汉: 华中科技大学, 2011: 7-11.
- [5] 王爱博. MEMS 晶圆级封装工艺研究 [D]. 天津: 天津大学, 2013: 8-11.
- [6] 朱健,吴璟,贾世星,等. 基于 MEMS 圆片级封装/通孔互联技术的 SIP 技术 [J]. 固体电子学与进展, 2011, 31(2): 115.
- [7] HONG S C, LEE W G, KIM W J, et al. Reduction of defects in TSV filled with Cu by high-speed 3-step PPR for 3D Si chip stacking [J]. Microelec Reliab, 2011, 51(12): 2228-2235.
- [8] 薛栋民. 应用于 TSV 互连的电镀填充工艺研究 [D]. 武汉: 华中科技大学, 2014.
- [9] 王宇哲,汪学方,徐明海,等. 应用于 MEMS 封装的 TSV 工艺研究 [J]. 微纳电子技术, 2012, 49(1): 62-67.
- [10] 杨海博,戴风伟,王启东,等. 基于双面 TSV 互连技术的超厚硅转接板制备 [J]. 微纳电子技术, 2019, 56(7): 580-585.
- [11] 吕垚,李宝霞,万里兮. 硅深槽 ICP 刻蚀中刻蚀条件对形貌的影响 [J]. 微电子学, 2009, 39(5): 729-732.
- [12] 窦维平. 利用电镀铜填充微米盲孔与通孔之应用 [J]. 复旦学报(自然科学版), 2012, 51(2): 131-138, 259-260.
- [13] SEN T, MISHR A S, SHIMPI N G. Synthesis and sensing applications of polyaniline nanocomposites: a review [J]. RSC Adv, 2016, 6(48): 42196-42222.
- [14] JANG D M, RYU C, LEE K Y, et al. Development and evaluation of 3-D SiP with vertically interconnected through silicon via (TSV) [C] // 57th IEEE ECTC. Reno, NV, USA. 2007: 847-852.

2. 5D 硅转接板关键电参数测试技术研究

刘玉奎¹, 崔 伟^{1,2}, 毛儒焱¹, 孙 士³, 殷万军¹

(1. 中国电子科技集团公司 第二十四研究所, 重庆 400060; 2. 模拟集成电路国家重点实验室, 重庆 400060;
3. 重庆西南集成电路设计有限责任公司, 重庆 400060;)

摘 要: 硅转接板是 3D IC 中实现高密度集成的关键模块, 获取其技术参数对微系统的设计至关重要。以实际研制的一种 2.5D 硅转接板为研究对象, 对大马士革铜布线 (Cu-RDL)、硅通孔 (TSV) 关键电参数的测试结构与测试方法进行了研究, 并对 TSV 电参数测试结构的寄生电容进行了分析。研究表明, 研制的 2.5D 硅转接板中 $10\ \mu\text{m} \times 80\ \mu\text{m}$ TSV 的单孔电阻为 $26\ \text{m}\Omega$, $1.7\ \mu\text{m}$ 厚度的 Cu-RDL 的方块电阻为 $9.4\ \text{m}\Omega/\square$, 测试结果与理论计算值相吻合。本研究工作为 2.5D/3D 集成工艺的研发和建模提供了基础技术支撑。

关键词: 2.5D 硅转接板; 铜再布线; 硅通孔; 电阻测试; 3D 集成电路

中图分类号: TN407

文献标志码: A

文章编号: 1004-3365(2021)02-0270-06

DOI: 10.13911/j.cnki.1004-3365.200385

Research on Key Electrical Parameters' Testing Technology of 2.5D Silicon Interposer

LIU Yukui¹, CUI Wei^{1,2}, MAO Ruyan¹, SUN Shi³, YIN Wanjuan¹

(1. The 24th Institute of China Elec. Technol. Group Corp., Chongqing 400060, P. R. China;

2. Sci. and Technol. on Analog Integr. Circ. Lab., Chongqing 400060, P. R. China;

3. Chongqing Southwest IC Design Co., Ltd., Chongqing 400060, P. R. China)

Abstract: The silicon interposer is the key module for 3D IC to achieve higher integration density. Obtaining its technical parameters is crucial to the design of the micro-system. An actually developed 2.5D silicon interposer was took as the research object. The key electrical parameters' testing technology of Damascus copper redistribution layer (Cu-RDL) and through silicon via (TSV) were studied, and TSV parasitic capacitance was analyzed. The research results showed that the resistance of $10\ \mu\text{m} \times 80\ \mu\text{m}$ single hole TSV developed in 2.5D silicon interposer was $26\ \text{m}\Omega$, and the sheet resistance of the Cu-RDL with a thickness of $1.7\ \mu\text{m}$ was $9.4\ \text{m}\Omega/\square$. The measured results were consistent with that of theoretical calculations. This research work provided a basic technical support for the development and modeling of 2.5D/3D integrated process.

Key words: 2.5D silicon interposer; cooper redistribution layer; through silicon via; resistor measurement; 3D IC

0 引 言

在过去的几十年中, 半导体发展主要由摩尔定律推动, 该定律引领集成电路业界沿定律所定义的

技术路线快速发展, 使得集成电路从微电子向纳米电子的转变^[1]。随着集成电路特征尺寸的减小, 器件的速度、功耗、延迟对集成电路整体性能影响越来越大, 需要寻求新技术来解决存在的问题。按照国际集成电路技术路线图的预测, 未来集成电路的发

收稿日期: 2020-08-24; 定稿日期: 2020-10-16

基金项目: 模拟集成电路国家重点实验室基金资助项目 (6142802190502)

作者简介: 刘玉奎 (1966—), 男 (汉族), 四川宜宾人, 高级工程师, 从事模拟集成电路工艺、异质集成工艺开发工作。

展将集中于三个方向。一是 More Moore, 沿着摩尔定律的道路继续往前推进, 将特征尺寸不断缩小, 进一步提高元器件速度; 二是 More than Moore, 侧重于功能的多元化, 也就是“非尺寸依赖”的特色工艺技术; 三是 Beyond CMOS, 在硅基 CMOS 遇到物理极限时研发的新型器件, 如纳米管、石墨烯、自旋电子器件、分子开关等^[2]。在 More than Moore 方向中, 异质异构集成、微电子封装的作用正在不断发展壮大。在保持更小尺寸、更低成本和更高性能等方面领先性的行之有效的方法之一, 是将更先进的芯片封装技术整合到整个制造流程中^[3]。

通过先进封装技术来满足系统微型化的需求。根据麦姆斯咨询报告, 先进封装有两种发展路径。一是尺寸减小, 使其接近芯片大小。二是功能性发展, 即强调异构集成, 在系统微型化中提供多功能, 包括系统级封装 SiP、3D 封装、硅通孔 (TSV)。当前先进的封装技术包括倒扣焊、扇入封装、扇出封装、嵌入式封装、晶圆级封装、转接板等重要技术^[6]。支撑这些封装技术的基础工艺包括微凸点、再布线、植球、芯片键合、晶圆键合、拆键合、TSV 工艺等^[4]。

新兴的 2.5D 和 3D IC 封装使用转接板和 TSV 技术, 将多个芯片进行垂直堆叠^[10], 通过转接板上的 TSV、铜布线层、微凸点等, 实现芯片与芯片、芯片与封装基板间更高密度的互连。在不增加 IC 平面尺寸的情况下, 融合更多的功能到 IC 中, 转接板的使用还可缩短集成电路中的一些关键电路通路, 减小了串联电阻和寄生电容, 使得 RC 延迟更小, 实现更快的输入和输出^[3]。与传统封装相比, 使用 3D 技术可以实现 40~50 倍的芯片面积和重量减少。

硅基转接板用途广泛, 如在 2.5D IC 集成中, TSV 转接板可以用做芯片堆叠的中间基板、用铜填充的 TSV 作为应力释放缓冲区、多芯片组装的载板、热管理的微通道以及电信号的传导等。因此, 研究具有 TSV 的转接板工艺及其结构的测试技术具有非常重要的现实意义^[4]。

本文以 200 mm 线实际研制的一种 2.5D 硅转接板作为研究对象, 对大马士革铜布线 (Cu-RDL)、TSV 的关键电参数的测试结构与测试方法进行了研究。2.5D 硅转接板工艺中 TSV 的 SPICE 模型仿真, 可以采用 HFSS 软件等软件开展, 热学特性可以用 Comsol 软件开展^[7]。

1 2.5D 硅转接板测试图形设计

1.1 2.5D 硅转接板工艺流程

典型的硅基转接板包括 TSV、Cu-RDL 以及微凸点等结构, 铜布线层数根据电路设计的需要可采用多层布线设计。本文的硅转接板采用 200 mm 三维集成工艺平台进行加工。先采用深槽刻蚀工艺形成 TSV、TSV 电镀填充、大马士革工艺形成铜金属再布线层。正面和背面各有一层铜布线 RDL, 其主要工艺流程如下: 200 mm 晶圆→绝缘层淀积→TSV 孔光刻→TSV 孔刻蚀→去胶、TSV 孔清洗→TSV 孔绝缘层淀积→阻挡层/种子层金属溅射→TSV 孔 Cu 电镀→TSV 孔 CMP→绝缘层淀积→M1 光刻→M1 刻蚀→M1 去胶→阻挡层金属溅射→M1 Cu 电镀→M1 Cu CMP→绝缘层淀积→临时键合→背面减薄→背面露头→绝缘层淀积→CMP→绝缘层淀积→M2 光刻→M2 刻蚀→M2 去胶→阻挡层金属溅射→M2 Cu 电镀→M2 Cu CMP→键合点保护。

在工艺加工过程中, 关键技术有: TSV 孔刻蚀、绝缘层淀积、阻挡层/种子层 (Seed) 溅射、TSV 电镀、晶圆减薄、背面露头、Cu-RDL CMP 等。正常情况下, 需要将载片解键合后再封装, 本文在键合前进行测试, 提前了解转接板的性能参数, 避免将合格芯片 (KGD) 组装到有故障的转接板上, 保证了工艺加工合格率。工艺中 TSV 孔刻蚀采用 Bosch 工艺, TSV 直径可根据电路设计的需求在 5 μm 至几十 μm 范围内调整。M1 和 M2 采用铜大马士革布线工艺形成。2.5D 硅转接板结构的剖面结构如图 1 所示。

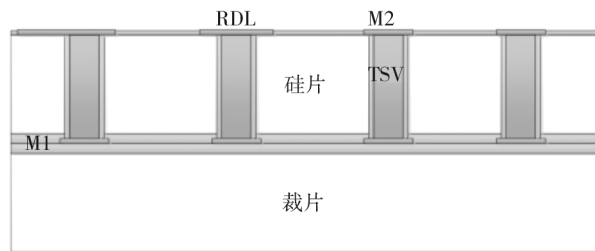


图 1 2.5D 硅转接板结构示意图

1.2 2.5D 硅转接板测试图形设计

1.2.1 转接板测试图形设计

针对 2.5D 转接板工艺开发的需要, 为表征硅转接板的直流、交流特性, 设计各类器件结构对转接板进行测试, 包括了直流特性的 TSV 电阻、Cu-RDL 电阻, 交流特性的 TSV 寄生电容测试、TSV

传输特性测试等图形,测试图形如图 2 所示,以确保开发的工艺能满足 2.5D 封装的需求。在设计过程中,针对条宽、间距等参数进行了 DOE 设计,从而了解各类参数对器件特性的影响。

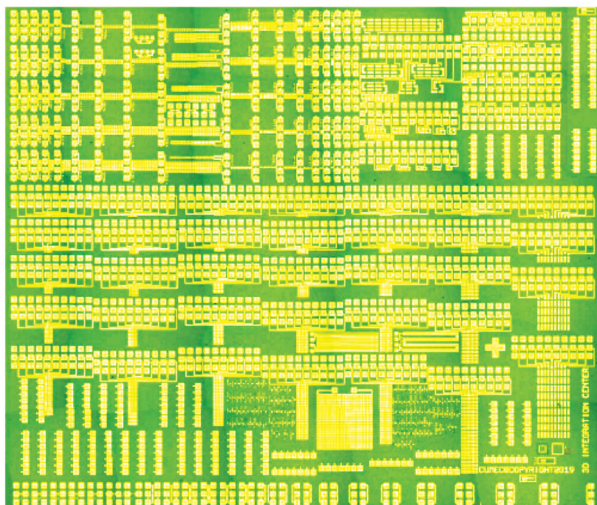


图 2 2.5D 硅转接板测试图形版图总图

1.2.2 Cu-RDL 电阻测试图形设计

2.5D 硅转接板采用 Cu-RDL,实现 TSV 孔链间的电连接,并形成器件键合点的主要金属层。检测 Cu-RDL 的方块电阻,对于了解和评估电路中的寄生布线电阻、支撑微电路系统设计评估具有重要意义。因此,根据实际应用的需求,设计了 2 种典型线宽 11 μm (如图 3 所示)、50 μm (如图 4 所示)的 Cu-RDL 电阻测试结构。

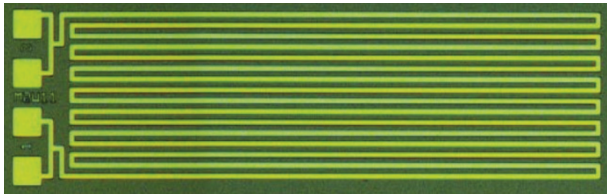


图 3 M2W11(11 μm 条宽)Cu-RDL 检测图形



图 4 M2W50(50 μm 条宽)Cu-RDL 检测图形

图 3 中,M2W11 由 16 条宽为 11 μm 、长为 100 μm 的铜布线串联组成,设计电阻为 1 600 $R_{\square}$ 。图 4 M2W50 由 4 条宽为 50 μm 、长为 1 000 μm 的

铜布线串联组成,设计电阻为 80 $R_{\square}$,其中 $R_{\square}$ 为 Cu-RDL 的方块电阻。实际计算 Cu-RDL 方块电阻时,需要考虑导线拐角处电流分布和线条涨缩的因素,电阻链拐角处存在电流分布,其方块电阻按照 0.56 $R_{\square}$ 进行修正。根据 RDL Cu 布线后线条每边涨 0.25 μm ,以及端头引出端细连接线电阻的影响,可以计算出:M2W11 修正后有效电阻数为 1 530 $R_{\square}$ 。M2W50 修正后有效电阻数为 92 $R_{\square}$ 。

1.2.3 TSV 电阻测试图形设计

TSV 电阻在数十 $\text{m}\Omega$ 量级,属于精密电阻量级,在测试时需要考虑接触电阻的影响,因此设计了四端法(开尔文)TSV 电阻检测结构,如图 5 所示。图中有两个 TSV 通孔,通过 M1 和 M2 的 Cu RDL 连接为四端测试结构。

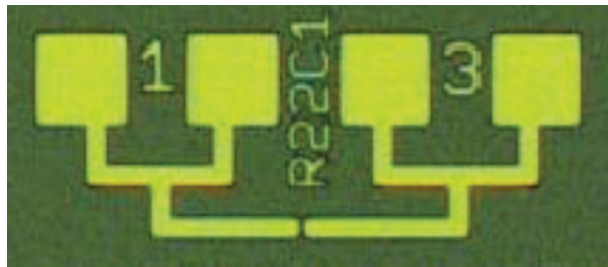


图 5 R22C1 TSV 电阻四端法测试结构

TSV 电阻值最直接的方式是采用双面飞针测试系统进行测试,但直接测试需要在晶圆解键合后进行,晶圆厚度只有 50~100 μm ,扎针非常困难,且容易损坏晶圆。为解决这一问题,通过 Cu-RDL 把 TSV 串联起来形成电阻链,测试电阻链阻值然后减去 Cu-RDL 电阻,以等效计算 TSV 的电阻,从而满足前期 2.5D 转接板工艺开发的需要。图 5 所示 R22C1 的电阻链结构中包含了 2 个 TSV 电阻和 15 个 RDL 方块电阻。

1.2.4 TSV 电阻传输特性测试图形设计

TSV 通孔在 2.5D 转接板和 3D IC 的使用中,关键是需要降低电连接线的传输损耗,因此对于 TSV 传输损耗的测量非常关键。本文设计了一组不同间距的 TSV 电阻链,端头采用常见的 Cascade 公司 Infinity GSG 微波探针布局,可以通过 S_{21} 参数来对 TSV 传输特性进行测试^[8]。TSV 电阻传输特性测试图形如图 6 所示。

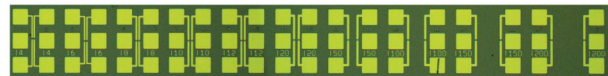


图 6 TSV 电阻传输特性测试图形

2 2.5D 转接板电参数测试

2.1 Cu-RDL 方块电阻测试

铜布线的方块电阻可以有效地表征铜电镀工艺的好坏,测试方法如下。选择圆片从上到下、从左到右均匀分布的5点进行测量。用四端法测试 RDL 布线的电阻,在 PAD1 和 PAD4 上加电流,电流从 50 μ A 至 10 mA,步距为 50 μ A,共 200 个点,测 PAD2 和 PAD3 间电压。然后用电压差值除以电流,得到 RDL 电阻条的阻值,再除以铜布线的方块数,即可得到其方块电阻。

图 7 所示为利用 Cascade 探针台、Keithly 4200 半导体参数分析仪构成的测试系统对 M2W50 进行测试所得到的曲线。

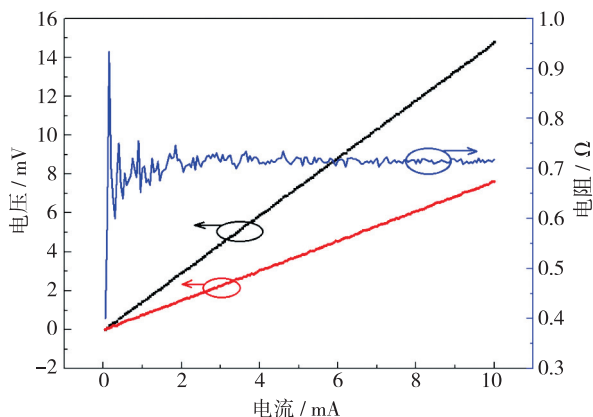


图 7 M2W50 RDL 电阻四端法测试

红色和黑色曲线是 PAD2 和 PAD3 的 I - V 曲线,电压与电流线性相关;蓝色曲线是计算得到的阻值。5 点阻值的最大值为 0.957 Ω ,最小值为 0.787 Ω ,均值为 0.871 Ω ,标准偏差为 0.058 Ω 。通过计算可得,M2 RDL 的方块电阻为 9.46 m Ω /□。

理论上铜布线层的电阻可以通过欧姆定律进行计算:

$$R = \frac{\rho L}{S} = \frac{\rho}{d} \quad (1)$$

式中, R 、 ρ 、 L 、 S 分别表示金属铜布线的电阻、电阻率、长度和截面积。常温下(20 $^{\circ}$ C)铜的电阻率 ρ 为 1.8 $\mu\Omega \cdot \text{cm}$,以 RDL 厚度为 1.0 μm 计算,则连线的方块电阻应为 18 m Ω /□。以 RDL 厚度为 1.8 μm 计算,则连线的方块电阻应为 10 m Ω /□。

本次 2.5D 转接板中所使用的 RDL 厚度实测值为 1.7~1.8 μm ,通过上述的测试值和理论值可以看出,测试值比理论值高 5.7%,二者基本吻合,

差异在于 RDL 厚度的测量和铜电阻率的取值。

2.2 TSV 电阻测试

设计了多组不同间距和不同个数的电阻链图形,采用两端法测试来观察 TSV 的电阻特性,观察 TSV 电阻中是否出现严重的质量问题,如短路、空洞等。R11C2 图形的测试曲线如图 8 所示,横坐标为电流,电流范围为 0~10 mA,纵坐标为电压,电压范围为 0~14 mV,电阻平均值为 1.47 Ω 。R11C2 图形中包含了两个 TSV 接触孔和 3.2 个方块电阻的 RDL 连接线,因此可以计算出每个 TSV 电阻值为 719 m Ω 。

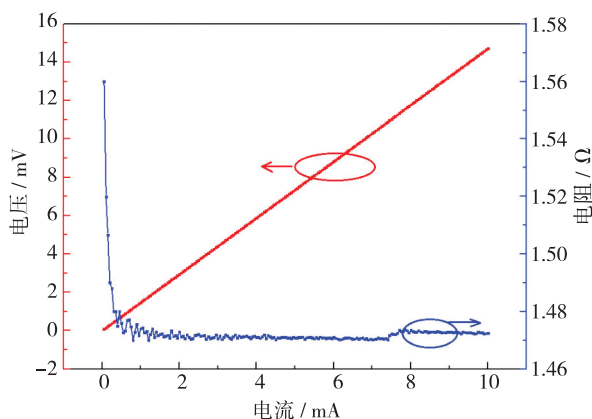


图 8 R11C2 电阻两端法测试

本文采用常规的圆柱型 TSV 来计算其理论电阻值,其低频电阻 R_{TSV} 只与 TSV 的直径 D 、高度 L 和填充物金属电阻率 ρ 有关,根据欧姆定律可得 R_{TSV} :

$$R_{\text{TSV}} = \frac{4\rho L}{\pi D^2} \quad (2)$$

取 $\rho = 3.0 \mu\Omega \cdot \text{cm}$, $D = 10 \mu\text{m}$, $L = 80 \mu\text{m}$,可以计算得到, $R_{\text{TSV}} = 30.57 \text{ m}\Omega$,此处 TSV 电镀铜的电阻率取值与 RDL 电镀铜的电阻率不同^[5]。

两端法测试的 R11C2 TSV 阻值为 719 m Ω ,与理论值 30 m Ω 相比有较大差异。原因是两端法测试值中不只包含了 TSV 电阻和 RDL 电阻,还包括了探针与键合点的接触电阻,而这种误差在两端法测试中无法排除。因此采用四端法来对 TSV 电阻链进行测试。R22C1 TSV 电阻链测试 I - V 曲线如图 9 所示。

R22C1 包含 2 个 TSV 和 15 个 RDL 方块电阻。图 9 中,红色曲线是 PAD2 和 PAD3 的电流电压曲线,蓝色曲线是 PAD2 和 PAD3 的电压差值除以 PAD1 中电流所得的电阻值。约为 0.20 Ω 。计算得到单个 TSV 阻值约为 26 m Ω 。

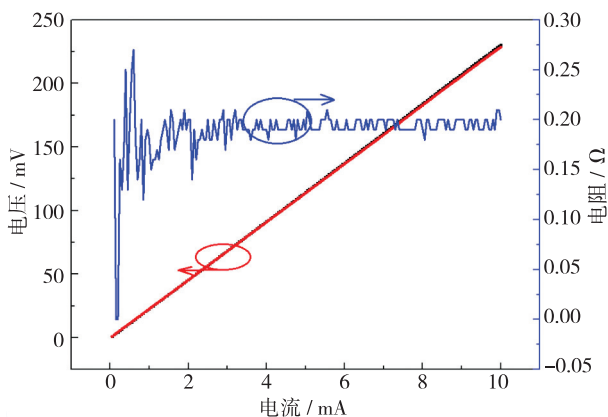


图 9 R22C1 电阻四端法测试

TSV 电阻的理论值 $30.57 \text{ m}\Omega$ 比实测值 $26 \text{ m}\Omega$ 高 17.5% 。分析原因是,在式(2)计算所使用的 TSV 填充铜电阻率与实际状态下的铜电阻率存在较大差距,实际状态下铜填充电阻率受 TSV 刻蚀、绝缘层淀积、阻挡层淀积以及金属电镀等的影响,这些因素都会导致 TSV 铜电阻率出现误差。因此计算出来的理论值与测试值有较大差异,但本文测试值与相关文献中报道的单个 TSV(直径为 $10 \mu\text{m}$, 高度为 $70 \mu\text{m}$)阻值 $37.28 \text{ m}\Omega$ 基本一致^[5]。

2.3 TSV 电容特性测试

设计的 TSV 电容如图 6 所示,类似于平板叉指电容,由 TSV 通孔和 Cu-RDL 串联形成。该电容由三部分组成,包括介质层电容 C_{ox} 、耗尽层电容 C_{dep} 以及硅衬底电容 C_{si} 。衬底未单独引出,目前三者无法区分,只能测试总电容。

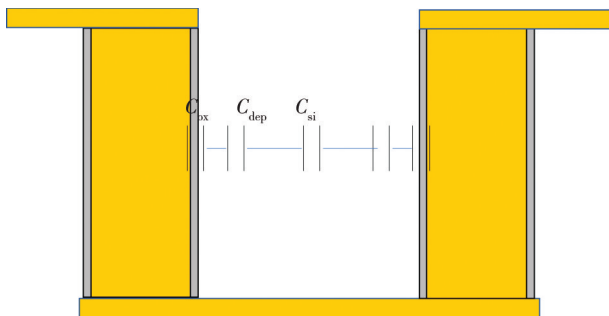


图 10 TSV 电容示意图

采用加电压测电容的方式进行测量,电压范围为 $-10 \text{ V} \sim +10 \text{ V}$,步距为 0.5 V ,频率为 1 MHz 。在圆片上抽测了均匀分布的 6 个点。 0 V 下电容值分别为 117 fF 、 107 fF 、 103 fF 、 102 fF 、 104 fF 、 108 fF ,均值为 107 fF ,电容值波动较大。TSV 电容的测试曲线如图 11 所示,横坐标为电压,纵坐标为电

容。通过对 TSV 的电阻、电容进行测试,建立相应的 RLC 电学特性模型。

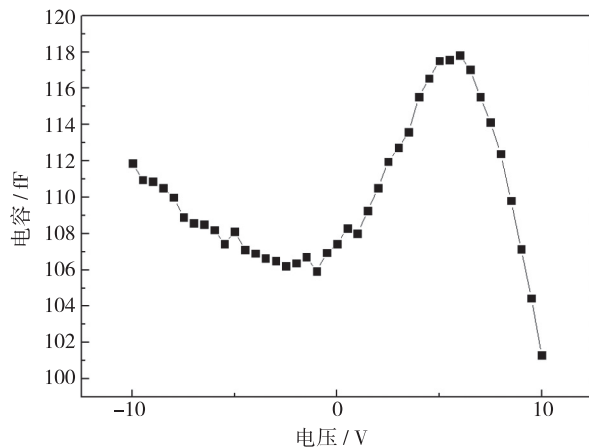
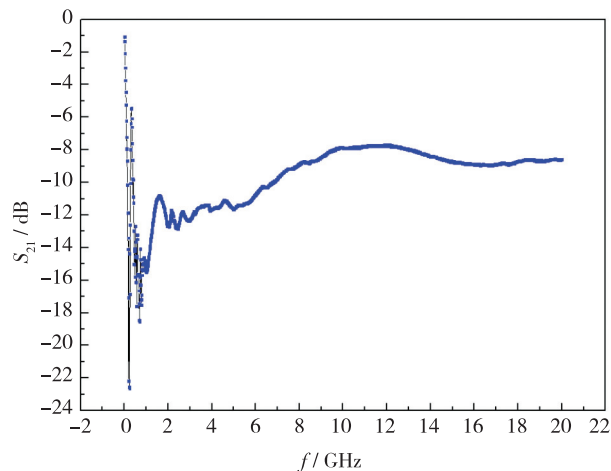


图 11 TSV 电容测试曲线

2.4 TSV 电阻传输特性测试

TSV 通孔设计的目的是应用于 2.5D 和 3D IC 集成中,要求工作频率较高。随着工作频率的提高,高频下电流趋向于在导体的表面流动,这种效应称为趋肤效应。产生趋肤效应后,电流密度随导体的深度而呈指数下降。

在电路应用中,TSV 电阻链的传输特性 S_{21} 曲线可以表征信号在传输线中不同频率下的损耗。TSV 电阻 S_{21} 传输损耗曲线如图 12 所示。可以看出,在低频 300 MHz 以下, S_{21} 因测试设备而导致波动;高频范围 $10 \text{ GHz} \sim 20 \text{ GHz}$ 内,由于产生了电流趋肤效应,存在 10 dB 左右的损耗。在 $300 \text{ MHz} \sim 10 \text{ GHz}$ 范围内损耗大,后续可对 TSV 工艺过程进行优化。

图 12 TSV 电阻 S_{21} 传输损耗曲线

3 结 论

本文介绍了 2.5D 转接板工艺流程,给出了 2.5D 转接板测试结构设计所需包括的图形,分析了转接板参数表征中重要的 RDL 电阻、TSV 电阻、TSV 电容的测试值以及 TSV 电阻传输特性等。将测试值与理论值进行了对比,结果表明,现有的转接板流程开发基本成功。后续还需对转接板工艺中所涉及的 TSV 电容、隔离特性等进行测试,对 TSV 硅刻蚀以及铜电镀等工艺进行优化。

参 考 文 献:

- [1] ZHANG G Q, VAN ROOSMLEN A J. More than Moore [M]. London: Springer, 2009: 3-5.
- [2] 中国集成电路技术路线图发布,为中国集成电路产业创新发展指引方向 [EB/OL]. <https://www.eet-china.com/mp/a8535.html>.
- [3] 周晓阳. 先进封装技术综述 [J]. 集成电路应用, 2018, 35(6): 1-7.
- [4] 赵元创. 三维封装技术创新发展(2020 年版) [EB/OL]. <https://www.eet-china.com/news/202003301025.html>.
- [5] 王喆垚. 三维集成技术 [M]. 北京:清华大学出版社, 2014: 535-536.
- [6] 崔凯,王从香,胡永芳. 射频微系统 2.5D/3D 封装计算发展与应用 [J]. 电子机械工程, 2016, 32(6): 1-6.
- [7] GAMBINO J P, ADDERLY S A, KNICKERBOCKER J U. An overview of through-silicon-via technology and manufacturing challenges [J]. Microelec Engineer, 2015(135): 73-106.
- [8] YOON K, KIM G, LEE W, et al. Modeling and analysis of coupling between TSVs metal, and RDL interconnects in TSV-based 3D IC with silicon interposer [C] // 11th EPTC. Singapore. 2009: 702-706.
- [9] LI J W, MA S L, LIU H, et al. Design, fabrication and characterization of TSV interposer integrated 3D capacitor for SIP application [C] // IEEE 68th ECTC. San Diego, CA, USA. 2018: 1974-1980.
- [10] LAU J H. Evolution, challenge, and outlook of TSV, 3D IC integration and 3d silicon integration [J]. Int Symp APM. Xiamen, China. 2011: 462-488.
- [11] 刘汉诚. 三维电子封装的硅通孔技术 [M]. 北京:化学工业出版社, 2014: 18-23.

MEMS 光栅陀螺制造与测试

郝飞帆^{1,2}, 李孟委^{1,2,3}, 王俊强^{1,2}, 金 丽^{1,2}

(1. 中北大学 仪器与电子学院, 太原 030051; 2. 中北大学 前沿交叉学科研究院, 太原 030051;
3. 中北大学 南通智能光机电研究院, 江苏 南通 226000)

摘 要: 根据 MEMS 光栅陀螺工作原理, 对陀螺结构仿真, 并进行了晶圆级陀螺制造。在 ANSYS 中建立陀螺结构模型, 并进行仿真分析。仿真结果显示, 其驱动模态为 7 287 Hz, 检测模态为 7 288 Hz, 频差为 1 Hz, 表明结构有高灵敏度。通过工艺设计, 采用溅射、湿法腐蚀、深反应离子刻蚀、阳极键合等工艺成功制造了 MEMS 光栅陀螺。大气压下搭建的测试系统测得该陀螺的驱动模态为 7 675 Hz, 检测模态为 7 703 Hz, 与仿真结果相对误差为 5.6%, 验证了工艺的可行性。

关键词: MEMS 光栅陀螺; 晶圆级制造; 阳极键合

中图分类号: TN405; TH706;

文献标志码: A

文章编号: 1004-3365(2021)02-0276-05

DOI: 10.13911/j.cnki.1004-3365.200361

Manufacture and Teste of MEMS Grating Gyroscope

HAO Feifan^{1,2}, LI Mengwei^{1,2,3}, WANG Junqiang^{1,2}, JIN Li^{1,2}

(1. School of Instrument and Electronics, North University of China, Taiyuan 030051, P. R. China; 2. Institute of Frontier Interdisciplinary Research, North University of China, Taiyuan 030051, P. R. China; 3. Nantong Institute of Intelligent Opto-Mechanics, North University of China, Nantong, Jiangsu 226000, P. R. China)

Abstract: According to the working principle of MEMS grating gyroscope, the gyroscope structure was simulated and manufactured at the wafer level. The structure model of the gyroscope was established in ANSYS. The analysis results showed that the driving mode and detection mode were 7 287 Hz and 7 288 Hz respectively, and the frequency difference was 1 Hz, which indicated that the structure had high sensitivity. The MEMS grating gyroscope was successfully manufactured by sputtering, wet etching, deep reactive ion etching, and anode bonding technology. The test system was built under atmospheric pressure. The measured driving mode and detection mode of the gyroscope were 7 675 Hz and 7 703 Hz respectively, and the relative error was 5.6% compared with the simulation results, which verified the feasibility of the process.

Key words: MEMS grating gyroscope; wafer-level manufacture; anode bonding

0 引 言

微机电系统技术大大减小了陀螺仪器件的尺寸、重量、功耗和成本, 随着陀螺仪器件的小型化, 其驱动和检测振幅也会降低, 进而影响器件的检测精度^[1]。目前, 商用批量制造的 MEMS 陀螺仪大多用

于低端消费市场, 检测方式多采用电容式、压电式、压阻式等^[2]。电容式陀螺易于控制, 技术发展相对成熟, 但加工精度要求高, 器件整体尺寸大, 成本高, 容易受到电磁干扰, 电容梳齿易受破坏^[3], 压电和压阻检测精度低, 容易受到温度等因素的干扰。在运输业、航空航天等高端市场, 对高精度 MEMS 陀螺仪需求越来越大^[1], 亟待开发新的高精度检测效应

收稿日期: 2020-08-08; 定稿日期: 2020-08-21

基金项目: 国家自然科学基金资助项目(61573323、61571405、61804137)

作者简介: 郝飞帆(1993—), 男, 河北张家口人, 硕士研究生, 研究方向为 MEMS 陀螺、MEMS 封装以及晶圆级键合。E-mail: 18334788380@163.com;

陀螺。2003 年,Sandia 国家实验室证明了光栅在高分辨率位移检测的应用。光栅以其高灵敏度、抗电磁干扰、低噪声等优点,被广泛应用于半导体行业、微机电制造体系^[4]。2007 年,Sandia 实验室研制了纳米光栅加速度计^[5],该加速度计灵敏度可达 598 V/g。2015 年,浙江大学团队研制了光栅位移传感器^[6],灵敏度为 44.75 mV/nm,最高分辨率可达 0.017 nm;2017 年,浙江大学团队研制了光栅加速度计^[7],灵敏度为 2 485 V/g,分辨率为 1 μ g。因此研制光学检测的陀螺仪对提高陀螺检测精度有重要意义。

在团队之前的研究工作中,已经通过理论仿真论证了光栅检测科里奥利效应引起微位移的可能性^[8-9]。本文根据光栅陀螺基本原理,采用 MEMS 工艺制造了陀螺结构及光栅,并重点研究了制造关键工艺。

文章第 1 节主要介绍 MEMS 光栅陀螺基本原理,并进行了结构仿真;第 2 节介绍工艺设计及关键工艺研究;第 3 节对加工后的结构进行测试分析;第 4 节给出结论。

1 MEMS 光栅陀螺工作原理

1.1 工作原理

MEMS 光栅陀螺器件工作原理如图 1 所示。

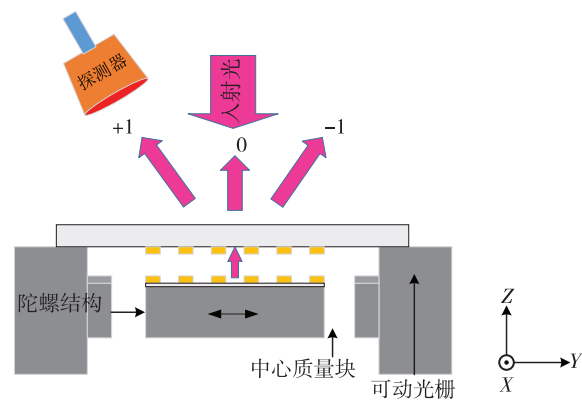


图 1 光栅陀螺工作原理图

器件由两部分组成,即固定光栅部分和陀螺结构部分。工作时,陀螺结构沿驱动方向(X 轴)进行周期性运动,当 Z 轴方向有角速度输入时,中心质量块受到科里奥利力的作用,沿 Y 轴方向带动可动光栅进行周期性运动,使得可动光栅与固定光栅之间在 Y 方向产生相对位移。微弱的相对位移变化会使透过光栅的衍射光强发生剧烈变化,通过光电

探测器进行光强变化的捕捉,从而将光信号转变为电信号,进而检测科里奥利力引起的微位移^[11]。

1.2 结构仿真

在外界提供的角速度一定的情况下,可动光栅与固定光栅之间产生的相对位移大小由结构本身决定。因此,具有高灵敏度的结构对于高精度检测至关重要。通过有限元分析软件 ANSYS,建立陀螺结构有限元模型,设置好单晶硅材料属性后进行模态分析。由于光栅陀螺采用面内驱动和面内检测方式,因此选取面内运动的 1 阶模态和 2 阶模态作为陀螺结构工作模态,如图 2 所示。陀螺结构的前五阶模态如表 1 所示。

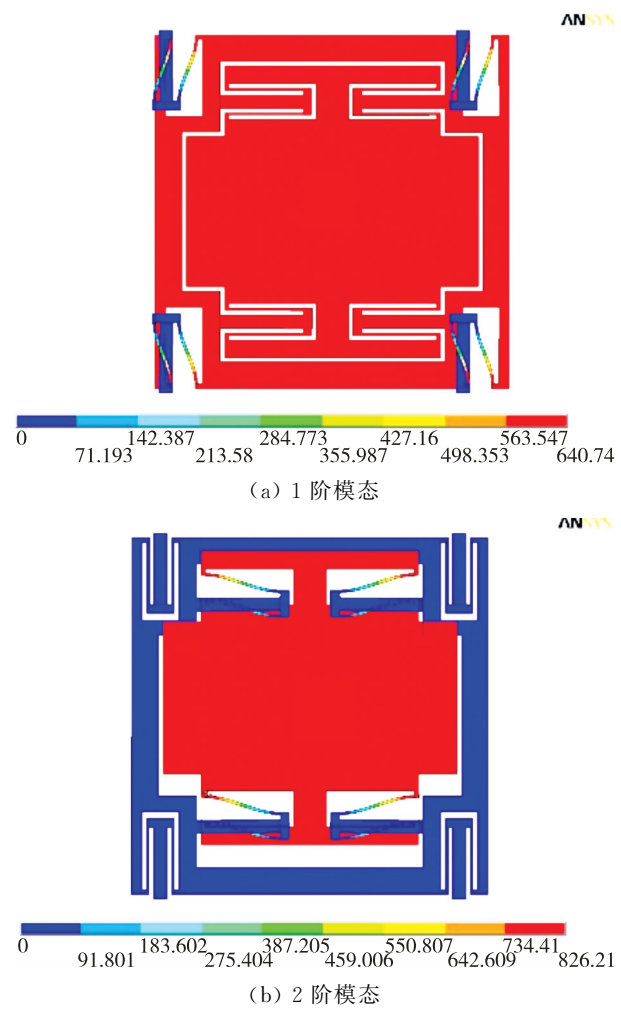


图 2 陀螺结构模态仿真分析

表 1 陀螺结构前五阶模态仿真频率

阶数	1	2	3	4	5
频率/Hz	7 287	7 288	8 207	10 381	15 222

由图 2 可知,该陀螺结构在 1 阶驱动模态和 2 阶检测模态下的谐振频率分别为 7 287 Hz 和

7 288 Hz, 仿真频差为 1 Hz, 这表明该结构具有高灵敏度^[12]。与该陀螺工作模态相邻的模态最小频差约为 1 kHz, 这表明陀螺在工作时, 不易出现高阶模态对工作模态的影响, 从而使得陀螺器件稳定工作。

2 工艺设计及关键工艺研究

MEMS 光栅陀螺制造分为两个部分, 分别为固定光栅和陀螺结构。根据 MEMS 光栅陀螺的工作原理, 固定光栅需要制造在玻璃上, 从而对入射光进行透射, 陀螺结构采用双抛 P 型硅片, 刻蚀面晶相 $\langle 100 \rangle$ 。固定光栅的玻璃基底和陀螺的硅结构可以采用 SiO_2 熔融键合、金属热压键合、金属共晶键合、阳极键合、高分子键合等多种 MEMS 键合工艺来实现集成。其中, SiO_2 熔融键合和金属直接键合工艺要求极低的表面粗糙度和很高的键合温度, 在键合期间, 热应力将不可避免地导致可移动结构弯曲, 影响器件的性能。金属共晶键合使用中间焊料进行键合, 其键合温度高于焊料的熔点。高分子键合使用的中间键合层, 如 BCB 材料等, 价格昂贵, 并且中间键合层在键合期间具有一定程度的流动性。由于焊料的熔化和中间键合层的流动性, 在金属共晶结合和高分子键合过程中施加压力时, 键合晶圆会发生滑移, 晶圆之间的平行度将受到影响, 这对于光学检测非常不利^[13]。而阳极键合是硅和玻璃之间的直接接触, 键合温度低且成本低。它不仅可以确保晶片之间的平行性, 而且避免晶片之间发生滑移。随着玻璃在键合过程中软化, 玻璃可以补偿晶片表面的高度变化, 从而放松了对表面形貌凹凸不平的要求。阳极键合对于光栅和陀螺仪的集成是一个有利的选择。基于以上分析, 设计的 MEMS 光栅陀螺工艺流程如图 3 所示。

2.1 玻璃工艺制作

经过标准化清洗之后, 通过磁控溅射在 500 μm 玻璃层上淀积 200 nm Al 光栅层; 旋涂 1.5 μm 厚的 AZ5214 正性光刻胶, 光刻胶旋涂厚度不应太薄或太厚。若太薄, 则容易在显影的时候发生飘胶现象; 若太厚, 则会影响图形化的线宽。湿法腐蚀 Al 会导致光栅尺寸的侧向侵蚀, 影响线宽。剥离手段容易剥离不干净, 影响成功率增加成本, 因此经过图形化后采用干法刻蚀手段进行制作。制造的微米光栅如图 4 所示。

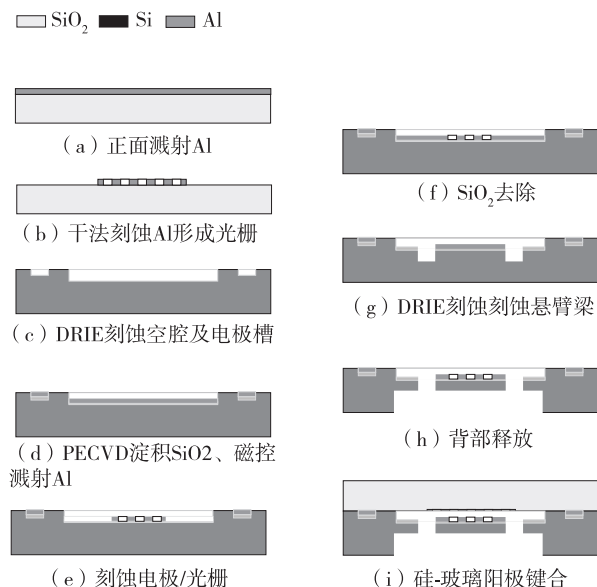


图 3 MEMS 光栅陀螺工艺流程图

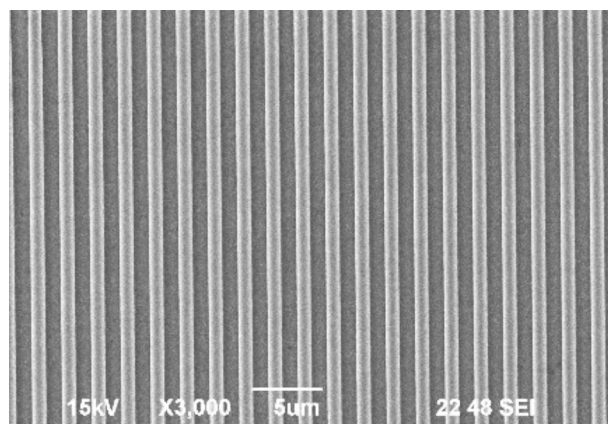


图 4 微米光栅 SEM 图

2.2 陀螺结构制作

虽然 MEMS 光栅陀螺属于面内工作方式, 但为了防止在外界冲击下, 结构在离面方向 (Z 轴) 与玻璃发生碰撞导致陀螺结构失效, 首先在 400 μm 硅片旋涂 6 μm 厚的 AZ4620 光刻胶作为掩膜, 图形化后用 DRIE 工艺以 6.5 $\mu\text{m}/\text{min}$ 的蚀刻速率在 Si 的正面刻蚀一个 5 μm 深的方形腔体, 在腔体内用于陀螺结构刻蚀。由于采用阳极键合, 硅片表面不应有凹凸不平的电极线, 因此在硅片表面制作用于铺设电极线的电极槽。为了防止陀螺结构因应力太大而产生翘曲, 采用应力较小的 PECVD 工艺制作 200 nm 氧化硅绝缘层。随后采用台阶覆盖性好的磁控溅射工艺制作 Al 电极层和光栅层。使用 1.5 μm 厚 AZ5214 图形化后干法刻蚀制作电极和光栅。为了与玻璃键合, 以 6 μm 厚的 AZ4620 作为掩膜, 采用湿法腐蚀手段去除金属电极区域以外的 200 nm

钝化层,露出 Si 表面。旋涂 $6\text{ }\mu\text{m}$ 厚的 AZ4620 作为刻蚀陀螺结构的掩膜, $110\text{ }^{\circ}\text{C}$ 温度下坚膜 2 min 后,采用 RIE 去除硅结构上面的氧化层。在陀螺结构深硅刻蚀中,额外通入 O_2 ,生成的侧壁阻挡层更加稳定,以减少对结构侧壁侧蚀。以 $3\text{ }\mu\text{m}/\text{min}$ 的蚀刻速率刻蚀陀螺正面结构,刻蚀深度为 $80\text{ }\mu\text{m}$ 。旋涂 $10\text{ }\mu\text{m}$ 厚的 AZ4620 作为刻蚀陀螺背部释放的掩膜,图形化后,为了增加光刻胶的抗刻蚀性,在 $110\text{ }^{\circ}\text{C}$ 温度下坚膜 10 min ,以 $6.5\text{ }\mu\text{m}/\text{min}$ 的蚀刻速率进行陀螺结构的背部释放,刻蚀深度为 $315\text{ }\mu\text{m}$ 。加工的陀螺结构如图 5 所示。

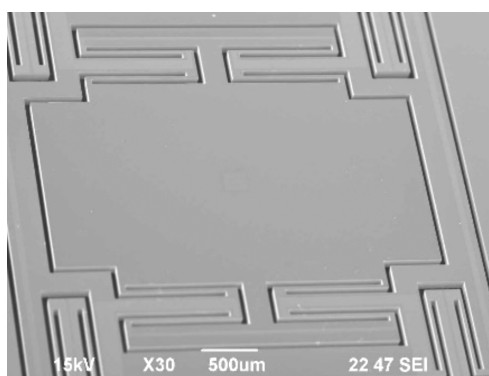


图 5 陀螺结构 SEM 图

2.3 阳极键合

阳极键合一般是在 $200\text{ }^{\circ}\text{C} \sim 500\text{ }^{\circ}\text{C}$ 下,对硅-玻璃施加 $200 \sim 1\text{ }000\text{ V}$ 电压完成键合。硅的热膨胀系数随着温度升高而升高,玻璃热膨胀系数基本不会随着温度而变化,键合温度太高,硅-玻璃会产生热失配应力,损坏键合晶圆。在相同键合电压下,温度升高,键合强度增加,在相同键合温度时,增加电压,晶圆结合率也会增加,一般需要在 $300\text{ }^{\circ}\text{C} \sim 500\text{ }^{\circ}\text{C}$ 下才能获得良好的键合质量^[13]。综上考虑,本文用 MA6 晶圆对准机将 Si-Glass 对准后在晶圆键合机中温度为 $330\text{ }^{\circ}\text{C}$,直流电压 $1\text{ }000\text{ V}$ 条件下进行阳极键合。键合的晶圆如图 6 所示。

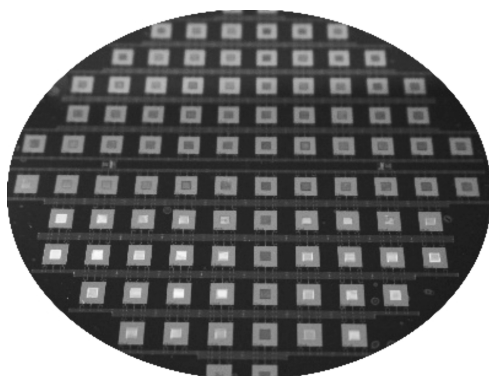


图 6 键合晶圆

3 测试与分析

为了验证陀螺结构的正确性以及制造工艺的可行性,将键合好的晶圆经过裂片以及电学性能测试之后,在实验室的大气环境下搭建了简单的陀螺结构工作模态响应测试系统,如图 7 所示。测试设备包括函数发生器(Key Sight 33230A)、放大电路、锁相放大器(AMTEK Model 7270)等。MEMS 光栅陀螺采用电磁驱动方式工作,由函数发生器产生交流信号,在提供磁场环境的条件下产生洛伦兹力驱动陀螺工作,驱动反馈导线切割磁感线产生动生电动势,当接近陀螺固有频率时,反馈导线产生的电动势达到最大值,经过放大电路板将反馈导线的电动势信号放大后,再由锁相放大器与函数发生器提供的参考信号进行解调,最后得到陀螺的幅频特性曲线^[14]。同理,对检测方向也可得到检测方向的幅频特性曲线。

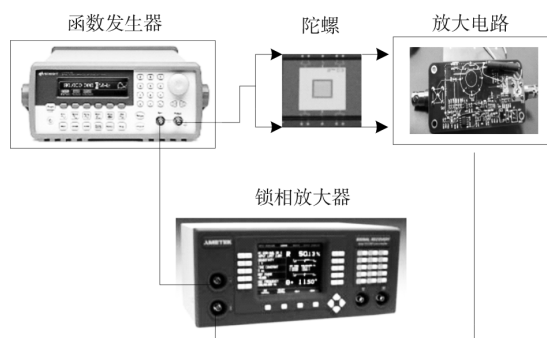


图 7 测试系统

测试得到的驱动幅频特性曲线、检测幅频特性曲线分别如图 8、图 9 所示。

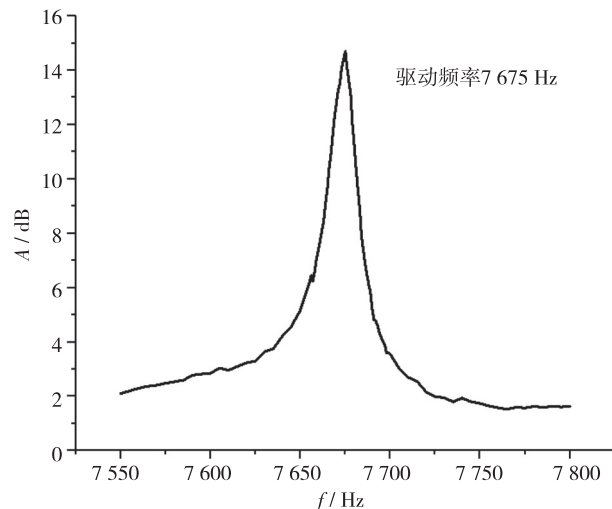


图 8 驱动幅频特性曲线

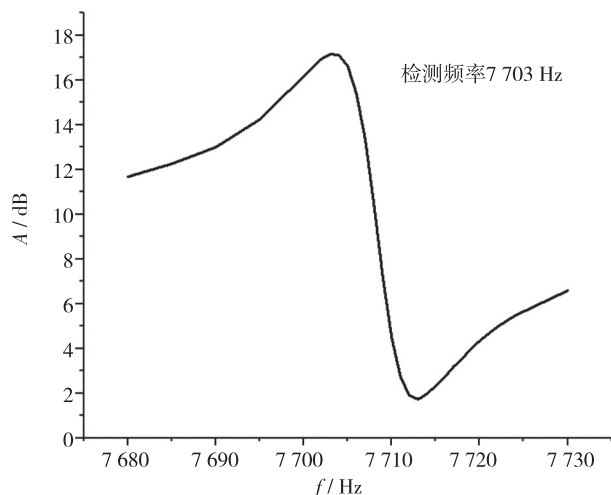


图9 检测幅频特性曲线

该陀螺在大气环境下驱动模态为 7 675 Hz, 检测模态为 7 703 Hz。相对误差公式可表示为:

$$\delta = \frac{\Delta}{L} \times 100\% \quad (1)$$

式中, δ 为相对误差, Δ 为测试频率与仿真频率之差, L 为仿真频率。

根据式(1), 可计算得出与动力学仿真结果的最大相对误差为 5.6%。这表明该陀螺结构及加工工艺可行, 但陀螺的驱动和检测频差较大, 为 28 Hz。为了使得陀螺结构实现匹配, 加工精度需要进一步提高。

4 结 论

本文根据 MEMS 光栅陀螺工作原理, 进行了陀螺器件工艺设计和加工。通过 ANSYS 有限元分析建立陀螺结构的分析模型, 进行了其驱动和检测振动特性分析。仿真结果表明, 驱动和检测模态频差为 1 Hz, 此结构具有高灵敏度。通过溅射、刻蚀、阳极键合等工艺进行了陀螺的晶圆级制造, 在大气环境下, 器件驱动模态为 7 675 Hz, 检测模态为 7 703 Hz, 与动力学仿真结果的相对误差为 5.6%。这验证了工艺的可行性, 推动了光栅新效应陀螺器件的进一步发展。

参 考 文 献:

[1] ZHOU X, XIAO D, LI Q, et al. Decaying time constant enhanced MEMS disk resonator for high precision gyroscopic application [J]. IEEE/ASME Trans Mechatron, 2018, 23(1): 452-458.

[2] 何杰, 朴继军, 朱玲瑞, 等. 先进微陀螺器件及微惯性测量单元最新研究进展 [J]. 压电与声光, 2019, 41(3): 410-415.

[3] REN M Y, ZHANG H F, LIU X W, et al. High resolution capacitance detection circuit for rotor micro-gyroscope [J]. AIP Advan, 2014, 4(3): 31.

[4] CARR D W, SULLIVAN J P, FRIEDMANN T A. Laterally deformable nanomechanical zeroth-order gratings; anomalous diffraction studied by rigorous coupled-wave analysis [J]. Opt Lett, 2003, 28(18): 1636-1638.

[5] KRISHNAMOORTHY U, III R H O, BOGART G R, et al. In-plane MEMS-based nano-g accelerometer with sub-wavelength optical resonant sensor [J]. Sensors & Actuators A Phys, 2008, 145-146 (July-August): 283-290.

[6] LU Q, WANG C, BAI J, et al. Subnanometer resolution displacement sensor based on a grating interferometric cavity with intensity compensation and phase modulation [J]. Appl Opt, 2015, 54(13): 4188.

[7] LU Q, BAI J, WANG K, et al. Design, optimization, and realization of a high-performance MOEMS accelerometer from a double-device-layer SOI wafer [J]. J Microelectromech Syst, 2017, 26(4): 859-869.

[8] LI M W, GENG H, WU Q N, et al. Application of double metal/dielectric gratings in optical displacement detection [J]. Appl Opt, 2018, 57(13): 3438.

[9] LI M, WANG Z, GENG H, et al. Structural design and simulation of a micro-gyroscope based on nano-grating detection [J]. Microsyst Technol, 2019, 25(5): 1627-1637.

[10] 王宾, 李孟委, 吴倩楠, 等. 纳米光栅微陀螺噪声分辨率分析 [J]. 中北大学学报(自然科学版), 2017, 38(2): 225-230.

[11] 寇志伟, 刘俊, 曹慧亮, 等. 硅基 MEMS 环形波动陀螺谐振结构的研制 [J]. 微纳电子技术, 2018, 55(3): 178-182.

[12] WANG Z Y. 3-D integration and through-silicon vias in MEMS and microsensors [J]. J Microelectromech Syst, 2015, 24(5): 1211-1244.

[13] 胡宇群, 董明佳. MEMS 阳极键合界面层的力学行为研究进展 [J]. 南京航空航天大学学报, 2015, 47(4): 474-486.

[14] 秦世洋, 张瑞, 金丽, 等. 面内微陀螺结构设计及模态测试 [J]. 中北大学学报(自然科学版), 2020, 41(3): 267-271.

一种 3D 垂直结构的光电探测器研制

戴永红¹, 唐政维², 刘 新³, 李雨欣²

(1. 中国电子科技集团公司 第二十四研究所, 重庆 400060; 2. 重庆邮电大学 光电工程学院/国际半导体学院, 重庆 400065; 3. 重庆城市管理职业学院 智能工程学院, 重庆 401331)

摘 要: 提出了一种 3D 垂直结构光电探测器及制作方法。将光电探测器芯片的下电极焊接在基板上, 上电极通过金丝连接到放大电路, 使得光通过侧面进入本征工层, 有效解决了重掺杂死区和金属电极的阻光问题, 降低了光损失, 减少了复合率, 提高了响应度。结在半导体体内, 减小了暗电流(表面漏电流), 提高了反向击穿电压。结面积的主要部分为平行平面结, 有效减小了总的结电容, 减小了寄生时间常数, 提高了响应速度。

关键词: 光电探测器; 重掺杂死区; 金属电极挡光

中图分类号: TN215; TN929.11

文献标识码: A

文章编号: 1004-3365(2021)02-0281-04

DOI: 10.13911/j.cnki.1004-3365.200525

Research and Manufacture of a 3D Vertical Structure Photodetector

DAI Yonghong¹, TANG Zhengwei², LIU Xin³, LI Yuxin²

(1. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China;
2. College of Optoelec. Engineer./Int. Semicond. College, Chongqing Univ. of Posts and Telecomm., Chongqing 400065, P. R. China;
3. School of Electronic Engineering, Chongqing City Management College, Chongqing 401331, P. R. China)

Abstract: A 3D vertical structure photodetector and its manufacturing method were presented. The lower electrode of the photoelectric detector chip was welded to the substrate, and the upper electrode was connected to the amplifying circuit through the gold wire, so that the light could enter into the intrinsic layer through the side, which effectively solved the problem of heavy doping dead zone and metal electrode blocking light, reduced the light loss, reduced the composite rate, and improved the response degree. The structure of the junction in the semiconductor reduced the surface leakage current and increased the reverse breakdown voltage. The main part of the junction area was the parallel plane junction area, which effectively reduced the total junction capacitance area, reduced the parasitic time constant, and improved the response speed.

Key words: photodetector; heavy doped dead zone; metal electrode light blocking

0 引 言

光电探测器是半导体光电领域关键器件之一^[1-3]。光电探测器利用半导体光电效应将光信号转化为电信号, 广泛应用于光通讯、激光测距、制导、激光雷达、探测、工业测量、自动化等领域。近年来, 随着大数据、人工智能技术、5G 通讯的发展, 对光电

探测器的性能要求不断提高。如何提高响应度、降低响应时间成为光电探测器的研究热点^[4-8]。

光电探测器是利用半导体的光生伏特效应, 在高纯本征半导体 I 区的正、反面进行 P 型和 N 型重掺杂形成 PIN 结构, 再在重掺杂区进行金属化, 使金属与半导体形成良好的欧姆接触, 通过 PI 结构加反向电压。在光照作用下, I 区产生的光生载流子在电场作用下定向运动, 形成光电流。这种光电探

收稿日期: 2020-11-12; 定稿日期: 2020-12-10

作者简介: 戴永红(1967—), 女(汉族), 四川内江人, 高级工程师, 长期从事模拟集成电路的技术及专利分析工作。

唐政维(1965—), 男(汉族), 重庆南川人, 副教授, 长期从事光电器件设计及工艺技术、微电子技术教学及研究工作。

测器与放大器结合的 PIN-FET 光纤接收模块已广泛用于光通讯、光纤陀螺等领域。

现有硅基 PIN-FET 光电探测器的制作工艺为:将探测器粘接、键合于一个垂直双面金属化陶瓷过渡块上,再将陶瓷过渡块转动 90° ,安装在管壳基座上,并与放大电路键合在一起。这种制作方法的缺点有:1)陶瓷过渡块的垂直双面金属化工艺易使金属电阻增大,导致器件断路;2)芯片要先贴到陶瓷过渡块再进行光纤耦合对准,使光纤不易对准,工艺难度大;3)光穿越重掺杂死区到 I 层时,重掺杂扩散区会产生大量复合而形成死区,减少了光效应。

针对上述问题,本文提出了一种 3D 垂直结构光电探测器及制作工艺。该光电探测器将光通路和电通路垂直分离,光从下电极的侧面垂直入射,在 I 区实现光电转换,光电探测器芯片通过下电极实现电信号收集,并通过跨组放大器(FET)进行放大后供后续信号处理。

该光电探测的制作工艺省去了氧化扩散掩蔽层、光刻工序,减小了制造时间和成本。第一金属层通过金连接到放大电路,确保不会碰到金丝,提高了可靠性。该制作方法成功解决了金属电极阻光和进入重掺杂死区的问题。

1 3D 垂直结构的光电探测器

该光电探测器的制作流程如下。1)N 型高阻区熔单晶硅片清洗、腐蚀损伤层、P 型掺杂,形成 P 型掺杂层,在 P 型掺杂层上生长一层氧化层。2)对高阻单晶硅片下端减薄处理、N 型掺杂,形成 N 型掺杂层。3)对 P 型掺杂层、N 型掺杂层的表面双面金属化,形成第一金属层和第二金属层,在第一金属层上淀积一层阻挡膜层。4)对高阻单晶硅片进行划片、形成沟槽,再进行腐蚀、除去划片造成的损伤层。5)通过低温 PECVD 工艺,在槽面和金属上表面淀积增透膜、保护膜(共性膜),去除第一金属层表面的阻挡膜、增透膜、保护膜。6)再次划片截断沟槽,最终完成光电探测器芯片的制作。

该光电探测器通过下电极金属层与基板连接,上电极金属层用金(铜或铝)引线键合,实现了光电分离的 3D 垂直结构光电探测器。该光电探测器具有如下优点。1)通过上、下金属层实现了垂直的电通路,使光从侧面进入本征 I 层,避免了光通路与电通路的重合,光通路不再穿越重掺杂死区的复合,大幅提高了转换效率。2)与光纤耦合时,不会碰到金,

提高了器件的可靠性。3)不需要陶瓷过渡块,降低了器件的成本,提高了可靠性。

2 制作工艺流程

本文 3D 结构垂直结构光电探测器的具体工艺流程包括:1)P⁺ 扩散、减薄和金属化;2)沟槽的形成;3)阻挡层、增透膜、保护膜的淀积和去除;4)划片;5)金丝键合。具体工艺叙述如下。

2.1 P⁺ 扩散、减薄和金属化

1) 选用 N 型高阻区熔单晶硅片。硅片参数有:电阻率为 $6\ 000\ \Omega \cdot \text{cm}$,厚度为 $300\ \mu\text{m}$,少子寿命 $\geq 800\ \mu\text{s}$ 。

2) 超声、1#、2# 液清洗、烘干,采用硼源(B30 乳胶源)进行高温一次扩散($1\ 050\ ^\circ\text{C}$ 、40 min 预扩散, N_2 气氛),再升温到 $1\ 120\ ^\circ\text{C}$ 推结 50 min(10 min 干氧+35 min 氢氧合成氧化+5 min 干氧),生长一层氧化层,参数要求:厚度 $\geq 500\ \text{nm}$,结深 $\geq 2\ \mu\text{m}$, $R_\square \leq 45\ \Omega/\square$ 。

3) 对 P⁺ 面进行涂胶保护,对另一面进行减薄、抛光,保持硅片厚度 $\geq 250\ \mu\text{m}$ 。

4) 清洗、N⁺ 磷源扩散($1\ 120\ ^\circ\text{C}$, 40 min, $R_\square \leq 10\ \Omega/\square$)。

5) 漂掉所有氧化层,电子束双面蒸发 $3.5\ \mu\text{m}$ 厚的铝,再进行氮氢合金,形成第一金属层和第二金属层。

6) 对 P⁺ 型面涂聚酰亚胺(PI)、前烘、涂厚光刻胶,对划片槽进行光刻(避免划片时的翻胶),再曝光、显影,槽上的光刻胶、PI 同时被去掉;背面涂厚光刻胶、坚膜。

P⁺ 掺杂、减薄和金属化后的器件剖面图如图 1 所示。

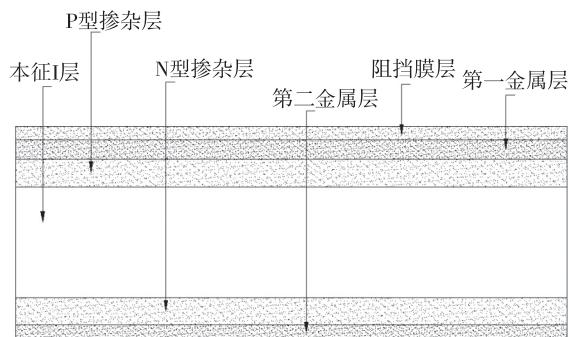


图1 P⁺ 扩散、减薄和金属化后的器件剖面图

2.2 沟槽的形成

7) 使用砂轮划片机进行划片。具体步骤为:划

片槽宽度为 $100\ \mu\text{m}$, 每个划片槽进行三次划片, 先划两边 ($200\ \mu\text{m}$ 深度、保留 $50\ \mu\text{m}$ 厚度), 再划中间 ($150\ \mu\text{m}$ 深度、保留 $100\ \mu\text{m}$ 厚度)。划片后的器件剖面图如图 2 所示。

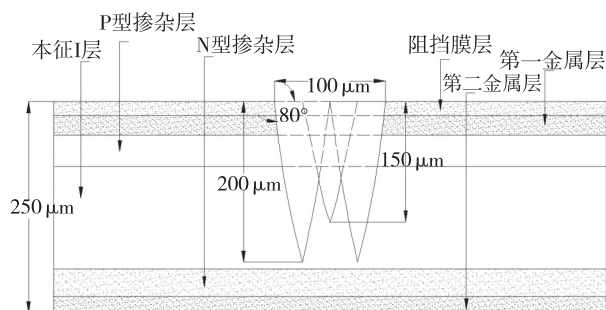


图2 划片后的器件剖面图

8) 丙酮去胶、PI 固化, 形成沟槽。

沟槽成型后的器件剖面图如图 3 所示。

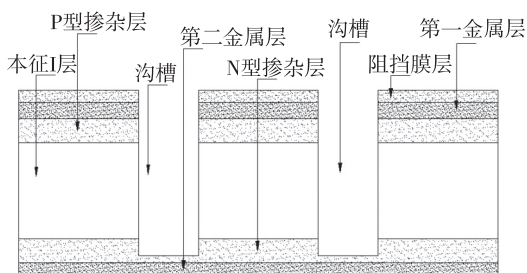


图3 制作沟槽后的器件剖面图

2.3 阻挡层、增透膜、保护膜的淀积和去除

9) 采用低温酸腐(硝酸、HF 和冰乙酸)腐蚀掉划片产生的损伤层(上电极金属铝最好掩蔽硅淀积层)。

10) 冲水、有机清洗, 采用多腔单片式 PECVD 设备先淀积二氧化硅, 再淀积氮化硅(为了实现增透和结保护, 增透膜、保护膜为 SiO_2 加 Si_3N_4 层, 根据波长确定厚度)。由于 3D 探测器背面在 CVD 电极上, 正好避免了增透膜、保护膜淀积到第二金属层的表面。

11) 采用发烟硝酸去掉 PI 牺牲层, 第一金属层上的增透膜、保护膜同时被去掉, 露出金属层。

去除第一层金属上阻挡层、增透膜、保护膜后的器件剖面图如图 4 所示。

2.4 划片

12) 有机清洗、贴膜, 再次用砂轮划片机进行划片, 本次划片是重合上次划片槽的位置, 将其划透、截断沟槽, 形成单个的光电探测芯片。单个光电探测芯片形成后的剖面图如图 5 所示。

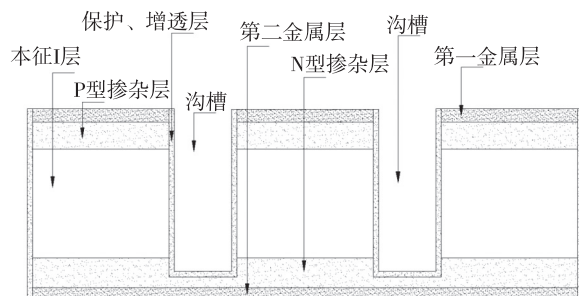


图4 去除第一层金属上阻挡层、增透膜、保护膜后的器件剖面图

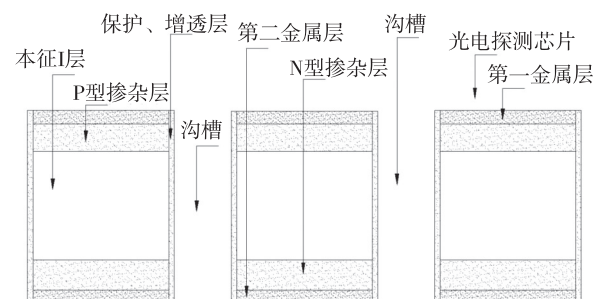


图5 单个光电探测芯片形成后的剖面图

2.5 金丝键合

将每个光电探测器芯片的下电极焊接于基座上, 其上电极通过金与放大电路连接。

金丝键合后的剖面图如图 6 所示。

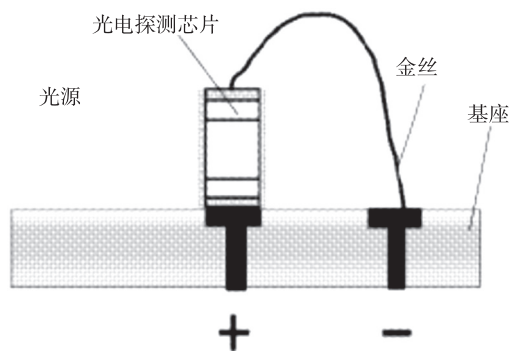


图6 金丝键合后的器件剖面图

3 光电探测器的仿真与测试

采用 TCAD 工艺仿真软件 Silvaco, 对制作的 3D 结构光电探测器进行结深、电压-暗电流(暗电流是指无光时的反向饱和电流)进行仿真。Silvaco 仿真软件不能进行器件的双面仿真, 为得到准确的结深、氧化层厚度和暗电流, 仿真时将背面 P 扩散安排到正面 P^+ 有源区 ($40\ \mu\text{m}$) 以外, 以获得准确的仿真结深、氧化层厚度、氧化层和背面 N^+ 扩散的方块电阻。

3D垂直结构光电探测器的电极电压-电流仿真曲线如图7所示。可以看出,在工作电压为15 V时,暗电流小于1 nA。

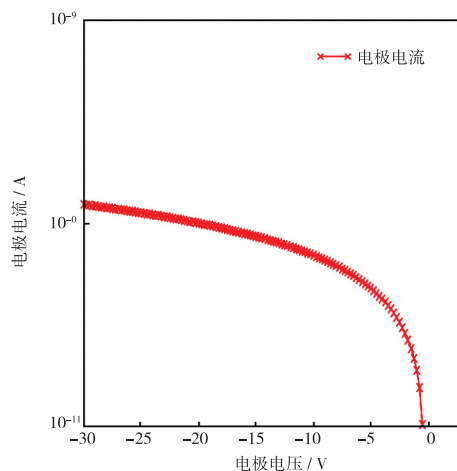


图7 3D垂直结构光电探测器的电压-暗电流仿真曲线

本文对该光电探测器进行了光电光谱仿真。采用80/125 μm 小模长细径光纤输入光,光源位置为芯片表面下方100 μm 、距离侧面10 μm 。入射光强为1 W/cm^2 时,探测器在15 V反向电压下的光谱曲线如图8所示。

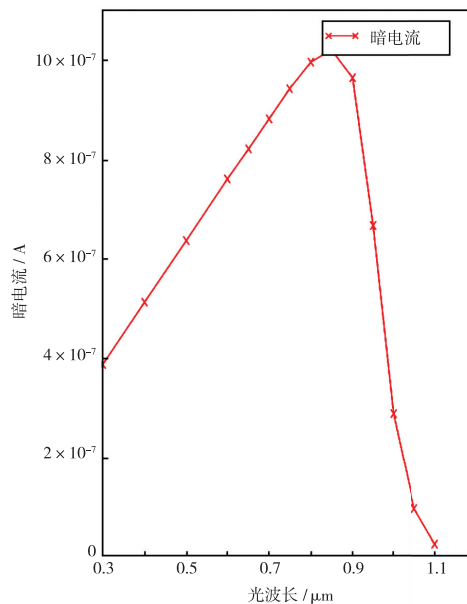


图8 探测器在15 V反向电压下的光谱曲线

可以看出,暗电流在1.1 μm 波长时截止,几乎没有光电流;在900 nm波长处,光电流达到最大值。实际应用后,在850 nm波长处的光电流达到1.02 μA ,比无光时的暗电流提高了4个数量级。

光探测器的响应度达到0.51 A/W ,与常规光电探测器相当。这表明,该光电探测器的性能优良。

4 结 论

本文设计并制作了一种3D垂直结构光电探测器。该光电探测器的制作方法有如下优点:省去了掩蔽层和光刻工序;将第一金属层通过金与放大电路相连,保证了光纤耦合时不碰到金,省去了陶瓷过渡块;通过芯片的垂直切割方式,使光直接从侧面进入I区,成功避免了金属电极阻光和进入重掺杂死区的问题。该3D垂直结构的光电探测器具有工艺简单、制作成本低、可靠性高等特点,能广泛应用于光通讯、光纤陀螺、医疗仪器等领域。

参 考 文 献:

- [1] LIU N H, FANG G J, ZENG W. Direct growth of lateral ZnO nanorod UV photodetectors with Schottky contact by a single-step hydrothermal reaction [J]. ACS Appl Mater & Interf, 2010(2): 1973-1979.
- [2] LU X W, SUN L, JIANG P, et al. Progress of photodetectors based on the photothermoelectric effect [J]. Advan Mater, 2019, 31(50): 1902044.
- [3] 李龙飞, 吕颖杰, 胡加杨, 等. 基于石墨烯的光电探测器研究进展 [J]. 微电子学, 2020, 50(3): 389-395.
- [4] 吴正云, XIN X B, YAN F, 等. 金属-半导体-金属(MSM)结构4H-SiC紫外光电探测器的研制 [J]. 量子电子学报, 2004, 21(2): 269-272.
- [5] MANDEL L, WOLF E, SUDARSHAN E C G. Theory of photoelectric detection of light fluctuations [J]. Proceed Phys Soc LONDON, 1964, 84 (5393): 435.
- [6] WANG J F, GUDI KSEN M S, DUAN X F. highly polarized photoluminescence and photodetection from single indium phosphide nanowires [J]. Science, 2001, 293(5534): 1455-1457.
- [7] KONG W Y, WU G A, WANG K Y, et al. Graphene- $\beta\text{-Ga}_2\text{O}_3$ heterojunction for highly sensitive deep UV photodetector application [J]. Advan Mater, 2016, 28(48): 123-128.
- [8] WANG G, ZHANG M, CHEN D, et al. Seamless lateral graphene p-n junctions formed by selective in situ doping for high-performance photodetectors [J]. Nat Commun, 2018, 9(1): 5168.

· 产品与可靠性 ·

总剂量辐射下双极型运放效应统计特性分析

李 顺^{1,2}, 宋 宇^{1,2}, 周 航^{1,2}, 代 刚^{1,2}, 张 健³

(中国工程物理研究院 微系统与太赫兹研究中心, 成都 610200; 2. 中国工程物理研究院 电子工程研究所,
四川 绵阳 621000; 3. 电子科技大学 电子科学与工程学院, 成都 610000)

摘 要: 分析了国产运算放大器 LM124 的总剂量辐射效应统计规律。基于同一批次 80 个样本辐照前和 100 Gy、200 Gy、500 Gy、1 000 Gy、1 500 Gy 五个总剂量点辐照后的实验数据进行了分析,发现 LM124 的输入偏置电流退化呈对数正态分布特性,中位数随总剂量在 3.6~7 nA 范围内线性变化,总剂量增大,参数分散性增大。辐射损伤与初值存在线性正相关性,给出了参数的计算方法。100~1 500 Gy 五个总剂量点线性系数 α 分别为 0.24、0.31、0.5、0.77、1.07, α 随总剂量的变化也呈线性。从物理上解释了初值依赖性的机理,即 EB 结上方氧化层质量决定了器件总剂量辐照响应的差异性(初值依赖性)。该研究成果可以有效支撑基于 LM124 电路或者整机的辐射可靠性定量评估,对双极型器件的总剂量效应加固筛选具有参考价值。

关键词: 总剂量效应; 统计特性; 分散性

中图分类号: TN406

文献标志码: A

文章编号: 1004-3365(2021)02-0285-05

DOI: 10.13911/j.cnki.1004-3365.200244

Statistical Analysis of Bipolar Operational Amplifier Under Total Dose Radiation

LI Shun^{1,2}, SONG Yu^{1,2}, ZHOU Hang^{1,2}, DAI Gang^{1,2}, ZHANG Jian³

(1. *Microsystem and Terahertz Research Center, China Academy of Engineering Physics, Chengdu 610200, P. R. China;*

2. *Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang, Sichuan 621000, P. R. China*

3. *School of Electronic Science and Engineering, Univ. of Elec. Sci. and Technol. of China, Chengdu 610000, P. R. China*)

Abstract: Based on the experimental data of same batch 80 samples before irradiation, and after 100, 200, 500, 1 000, 1 500 Gy total dose irradiation, the statistical law of a domestic operational amplifier LM124 under total dose irradiation was analyzed. A logarithmic normal distribution characteristics of input bias current variation was found, and the median input bias current changed within 3.6~7 nA linearly under irradiation. Also, the variation increased simultaneously with total dose. A positive linear correlation between the radiation damage and the initial value was obtained with the calculation method of the parameters. The linear coefficient (α) of the five total dose points from 100 to 1 500 Gy was 0.24, 0.31, 0.5, 0.77 and 1.07, respectively, and α showed a linear increment with the total dose. The mechanism of initial value dependence was physically explained, that is, the quality of oxide layer above EB junction determined the total dose irradiation response of the device (initial value dependence). The research results could effectively support the quantitative evaluation of radiation reliability for circuit or system based on LM124, and had a reference value for the total dose effect reinforcement screening of bipolar devices.

Key words: total dose effect; statistical characteristics; variability

收稿日期: 2020-05-31; 定稿日期: 2020-07-28

基金项目: 科学挑战计划项目 (tz2016003-1)

作者简介: 李 顺 (1986—), 男 (汉族), 安徽安庆人, 博士研究生, 副研究员, 从事电子器件可靠性研究。

0 引 言

在半导体器件的制造过程中,因材料不一致性和工艺波动,同一批次器件的电学参数随机分散在一定范围内。半导体器件分散性分为自身因素导致的分散性和外部因素导致的分散性^[1]。自身因素主要来源于掺杂分布、边缘粗糙度和膜厚等。文献[2]对晶体管的三维原子模拟表明,阈值电压的变化由掺杂的随机波动引起,即掺杂数量波动、掺杂位置波动。外在因素主要来源于工艺波动和不同位置、不同损耗、不同使用条件引起的器件性能波动^[1]。

双极型器件的总剂量退化机理已有很多文献报道^[3-6],但其退化分散性与统计特性尚待深入研究。文献[7]研究了电压比较器在总剂量辐射下输入偏置电流的分散性,有些不同制造厂商器件的辐射效应相差 100 倍之多。文献[8]研究了多种放大器(如 LM111/124、OP-27/484、RH1014/1056 等)的分散性受中子辐射的影响。文献[9-10]研究了多种型号放大器的总剂量效应分散性,结果表明,器件与器件、晶圆与晶圆之间的分散性显著大于沟道与沟道之间的分散性。文献[11]以双极型器件 SFT2907A 为研究对象,将总剂量辐射效应分散性纳入到总剂量辐射加固确认方法中。

本文研究了国产运算放大器 LM124 在总剂量辐射下的效应分散性,获得了辐射效应分布特性随总剂量辐射的变化规律。对获得数据进行了挖掘分析,研究了辐照前后的器件状态相关性,分析了物理机理。本文的研究成果可以有效支撑基于 LM124 电路或系统的辐射可靠性定量评估和总剂量效应加固筛选。

1 实验建立

我们选择同一批次的 80 只 LM124,选择 100, 200, 500, 1 000, 1 500 Gy 五个总剂量点,剂量率为 0.034 Gy/s,室温下器件所有管脚空载。测试参数包括输入偏置电压(V_{io})、输入偏置电流($I_{b,+/-}$)、开环增益(A_{vd})、输出电压(V_o)、功耗电流(I_{in})。辐射源为钴源,总剂量测试误差为 4.052% (置信度 95%)。采用 SIMI3193 运算放大器集成参数分析仪进行测试。测试的电流误差小于 0.1 nA(不确定度小于 5%)。为保证测试过程不出现退火现象,整

个测试过程控制在 20 min 内。

2 实验结果分析

实验结果表明,输入偏置电流较为敏感,其他参数对总剂量辐射不敏感。因此,本文重点分析输入总剂量辐照下偏置电流的分散性。辐照前,输入偏置电流记为 I_{b0} ,辐照后的输入偏置电流记为 I_b ,则电离辐照损伤 $\Delta I_b = I_b - I_{b0}$ 。

2.1 LM124 总剂量辐射效应分布特性

80 只样品辐射前后不同总剂量条件下输入偏置电流分布如图 1 所示。辐射前,输入偏置电流在 4.5~6.2 nA 范围内呈非对称的对数正态分布。概率密度函数为:

$$y = y_0 + \frac{A}{\sqrt{2\pi}wx} \exp \frac{-\left(\ln \frac{x}{x_c}\right)^2}{2w^2} \quad (1)$$

式中, y_0 为零偏, x_c 为中位数, w 为标准差的对数, A 为归一化常数。

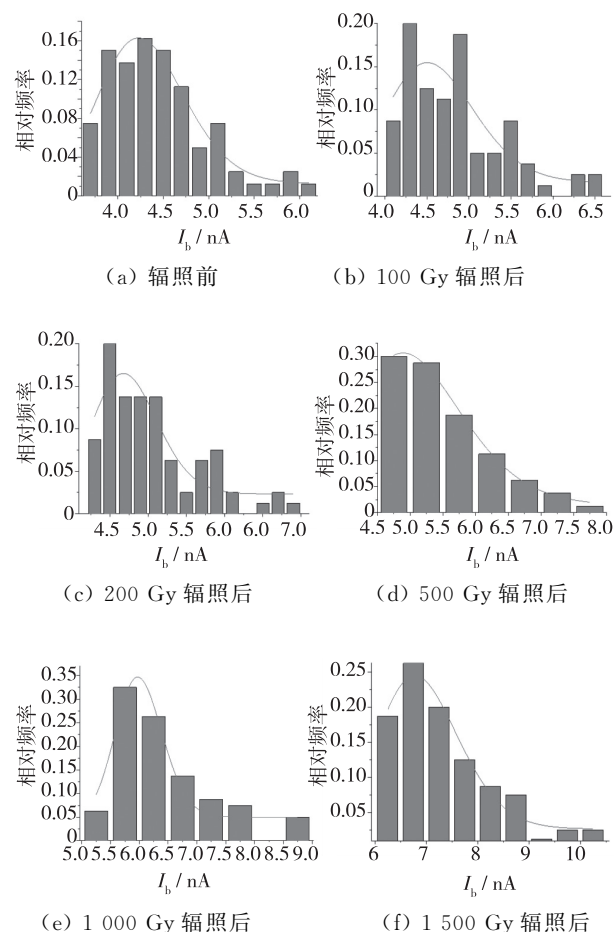
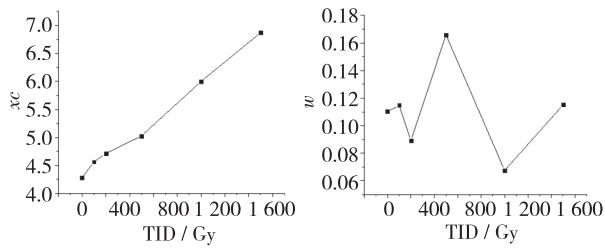


图 1 辐照前后不同总剂量下偏置电流分布

从图 1 可以看出,不同总剂量条件下,输入偏置

电流的对数正态分布形貌未发生变化,而分布参数发生了变化,其变化规律如图2所示。从图2可以看出, x_c 随总剂量的增大呈近似线性增大,而 w 随总剂量的增大呈波动变化。这是因为对数正态分布的方差与 w 之间存在复杂指数关系。

输入偏置电流的分散程度如图3所示。可以看出,随着总剂量的增加,输入偏置电流的中位数和分散性增大。



(a) 系数 x_c 随总剂量的变化 (b) 系数 w 随总剂量的变化

图2 分布参数随总剂量的变化规律

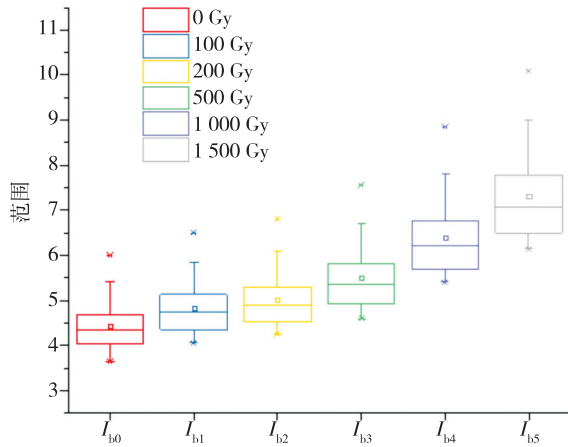


图3 不同总剂量条件下输入偏置分布电流箱式图

2.2 LM124 总剂量辐射效应的初值依赖性

2.2.1 实验数据分析

研究总剂量辐射电离损伤 ΔI_b 与输入偏置电流初值 I_{b0} 的关系,发现两者存在依赖性,其曲线如图4所示。图4中,横坐标代表输入偏置电流初值(分布在一定范围),纵坐标代表受辐照一定剂量后的输入偏置电流。可以看出, I_{b0} 越小,同等总剂量条件下 ΔI_b 越小。 ΔI_b 与 I_{b0} 之间呈正线性相关,系数 α 与常数 c 的关系为:

$$\Delta I_b = \alpha I_{b0} + c \quad (2)$$

式中, α 与总剂量呈正相关。

依据这一线性特性,通过 ΔI_b 和 I_{b0} 两个随机变量的期望与标准差来计算系数 α 和常数 c 。计算

式为:

$$\alpha = \frac{\delta(\Delta I_b)}{\delta(I_{b0})} \quad (3)$$

$$c = E(\Delta I_b) - E(I_{b0}) \frac{\delta(\Delta I_b)}{\delta(I_{b0})} \quad (4)$$

式中, $E(\Delta I_b)$ 、 $E(I_{b0})$ 分别为 ΔI_b 和 I_{b0} 两个随机变量的期望, $\delta(\Delta I_b)$ 、 $\delta(I_{b0})$ 分别为 ΔI_b 和 I_{b0} 两个随机变量的标准差。

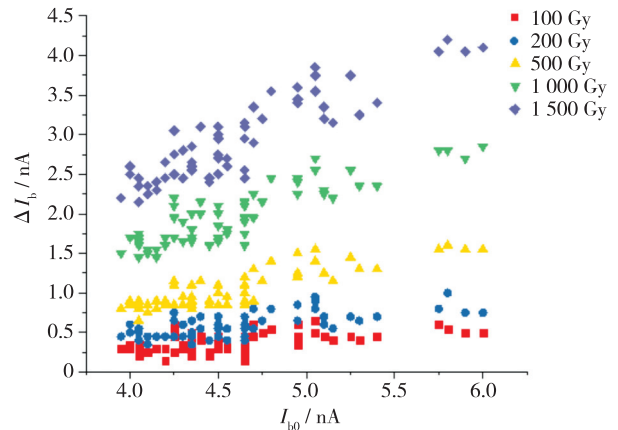


图4 电离损伤的初值依赖性

基于 LM124 的辐射数据, α 和 c 随总剂量的变化如图5所示。可以看出, α 与总剂量呈正线性相关,这与图2中 x_c 的分析结果是一致的。 c 与总剂量呈负线性相关。

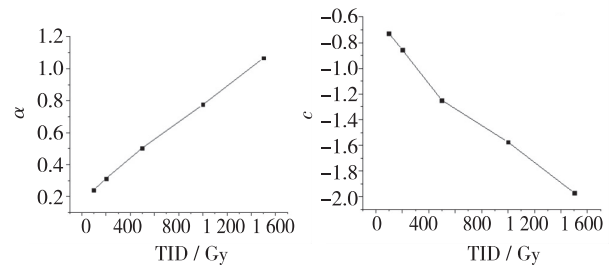


图5 α 和 c 随总剂量的变化

2.2.2 机理分析

输入偏置电流的本质是输入级晶体管的基区电流,即为内部 BJT 的基极电流,由三部分构成,如图6所示,其表达为:

$$I_b = I_{B1} + I_{B2} + I_{B3} \quad (5)$$

式中, I_{B1} 为 EB 结空间电荷区的电子空穴复合电流, I_{B2} 为 EB 结正偏时基区高浓度电子部分注入到发射区的电流, I_{B3} 是少子从发射极到集电极在基区的复合电流。相比于前面两项, I_{B3} 非常小。

双极器件的发射区的掺杂浓度很高。辐照前,多数情况下基区电流由 I_{B2} 决定。辐照后,复合电流

I_{B1} 急剧上升, 基区电流 I_b 由 I_{B1} 和 I_{B2} 共同决定。 I_{B1} 为:

$$I_{B1} = I_{B, \text{recom}} = \frac{qn_i A_E \Delta x}{2\tau} \exp\left(\frac{\beta V_{BE}}{2}\right) \quad (6)$$

I_{B1} 表达式的各参数中, 仅有少数载流子寿命 τ 与总剂量效应相关。界面缺陷的生长有效降低了基区少子寿命, 伽马射线辐照后, I_{B1} 急剧上升, 成为构成基区电流的重要部分。对样品进行初值测试时, 不同器件的基区电流的微小差异正是来源于该复合电流 I_{B1} 的差异。同样测试条件下, 同批次的 I_{B1} 差异取决于 τ , 即初值较小的器件在基区表面 Si-SiO₂ 界面的钝化层质量更好。该界面具有较优的抗辐射能力。

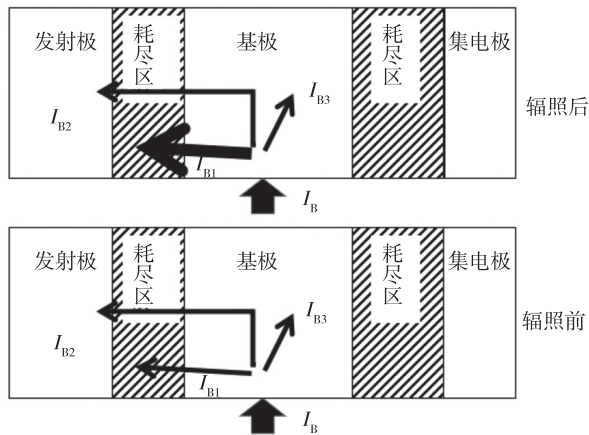


图6 工作在正向放大条件的BJT基区电流组成

对辐照后的基区电流进行量化分析, 可获得 α 的物理含义。体复合电流受电离辐照影响极小, 相比于 I_{B1} 与 I_{B2} , 它在辐照前后均可忽略不计。辐照后的基区电流则为 I_{B1} 与 I_{B2} 之和, 为:

$$\Delta I_b = \alpha(I_{B1} + I_{B2}) + c \quad (7)$$

则 τ 为:

$$\tau = \frac{1}{r_p N_t} \quad (8)$$

式中, r_p 为空穴俘获系数, N_t 为缺陷浓度。复合电流则为:

$$I_{B1} = I_{B, \text{recom}} = \frac{qn_i A_E \Delta x}{2\tau} \exp\left(\frac{\beta V_{BE}}{2}\right) = \frac{qn_i A_E \Delta x r_p N_t}{2} \exp\left(\frac{\beta V_{BE}}{2}\right) \quad (9)$$

令 N_{t0} 为初始缺陷浓度, N_{tr} 为辐照后缺陷浓度增量, 将它们分别代入式(9)再相减, 得到 ΔI_b 。与式(7)相比较, 则有:

$$r_p N_{tr} = \alpha r_p N_{t0} + d \quad (10)$$

式中, d 为一个常数。式(10)改写成微分形式, 为:

$$\frac{dN_{tr}}{dt} = \alpha \frac{dN_{t0}}{dt} \quad (11)$$

从式(11)可知, 辐照诱导产生的缺陷密度与器件自身初始密度呈正线性相关, 也就是辐照损伤依赖于BJT器件EB结上方的钝化层质量。PNP型晶体管电离辐射效应敏感区的示意图如图7所示。可以看出, 随着总剂量的增加, 钝化层的微小差异将被辐照逐步放大, 即宏观上表现为复合电流 I_{B1} 的增大。

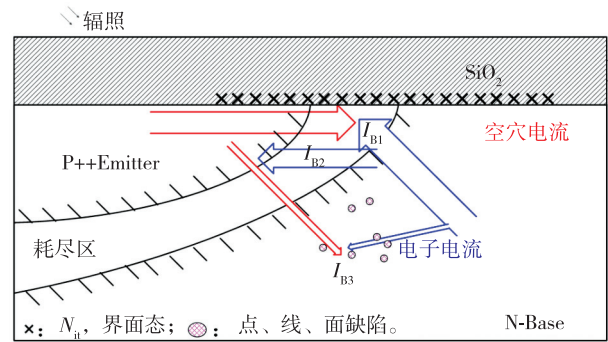


图7 PNP型晶体管电离辐射效应敏感区示意图

3 结 论

本文研究了国产运算放大器LM124的总剂量辐射效应分散性规律。基于同批次80个样品, 开展了辐照前和100, 200, 500, 1 000, 1 500 Gy五个总剂量辐射后的测试。通过批量数据的统计分析发现, LM124的输入偏置电流退化呈对数正态分布特性, 还研究了分布参数随总剂量变化的规律。对辐射损伤的初值依赖性研究发现, 损伤与初值呈正线性相关。本文研究成果可有效支撑基于LM124电路或系统的辐射可靠性定量评估, 对双极型器件的总剂量效应加固筛选具有参考价值。

参 考 文 献:

- [1] BERNSTEIN K, FRANK D J, GATTIKER A E, et al. High-performance CMOS variability in the 65-nm regime and beyond [J]. IBM J Res Develop, 2006, 50(4): 433-450.
- [2] ASEN OV A, BROWNA R, DAVIES J H, et al. Simulation of intrinsic parameter fluctuations in decananometer and nanometer-scale MOSFETS [J]. IEEE Trans Elec Dev, 2003, 50(9): 1837-1852.
- [3] JOHNSTON A H, LANCASTER C A. A total dose

- homogeneity study of the 108a operational amplifier [J]. IEEE Trans Nucl Sci, 1979, 26(6): 4769-4774.
- [4] PEASE R L, COMBS W E, JOHNSTON A, et al. A compendium of recent total dose data on bipolar linear microcircuits [C] // IEEE Rad Effect Data Workshop. Indian Wells, CA, USA. 1996: 28-37.
- [5] KRUCKMEYER K, MCGEE L, BROWN B, et al. Low dose rate test results of national semiconductor's ELDRS-free bipolar comparators LM111 and LM119 [C] // Europ Conf Rad & Its Effect Compon Syst. Bruges, Belgium. 2009: 586-592.
- [6] SONG Y, ZHANG Y, LIU Y, et al. Mechanism of synergistic effects of neutron and gamma ray radiated pnp bipolar transistors [J] ACS Appl Elec Mater, 2019, 1(4): 538-547.
- [7] KRIEG J, TUFLINGER T, PEASE R, et al. Manufacturer variability of enhanced low dose rate sensitivity (eldrs) in a voltage comparator [C] // IEEE Rad Effect Data Workshop NSREC. Vancouver, Canada. 2001: 167-171.
- [8] GORELICK J L, LADBURY R, KANCHAWA L, et al. The effects of neutron irradiation on gamma sensitivity of linear integrated circuits [J]. IEEE Trans Nucl Sci, 2004, 51(6): 3679-3685.
- [9] KRUCKMEYER K, MCGEE L, BROWN B, et al. Low dose rate test results of national semiconductor's ELDRS-free bipolar amplifier LM124 and comparators LM139 and LM193 [C] // IEEE Rad Effect Data Workshop. Tucson, AZ, USA. 2008: 110-117.
- [10] 陈晓宇, 葛洪磊, 赵桂茹, 等. 高可靠抗辐射 CMOS 复合栅工艺 [J]. 半导体技术, 2020, 45(8): 645-651.
- [11] XAPSOS M A, STAUFFER C, PHAN A, et al. Inclusion of radiation environment variability in total dose hardness assurance methodology [J]. IEEE Trans Nucl Sci, 2017, 64(1): 325-331.

新型 GaAs HEMT 器件寄生电容的优化提取方法

化 宁¹, 王 佳², 尚会锋¹, 章泉源¹, 高 翔¹

(1. 上海航天电子技术研究所, 上海 201109; 2. 上海航天技术研究院, 上海 201109)

摘 要: 针对优化提取参数的复杂度问题,提出了一种新的 GaAs HEMT 器件寄生电容的优化提取方法。提取寄生电容时,设置合适的优化范围,进行优化提参。采用三次参数优化,确保优化精度和模型准确性,避免了循环优化,提高了参数提取效率和参数优化效率。该方法不依赖器件的具体结构,减少了对器件结构假设所带来的误差。对 17 元件小信号等效电路模型参数进行提取,验证了该方法的可靠性。结果表明,S 参数与实测 S 参数的拟合度较好,拟合的最高频率可达 30 GHz。

关键词: GaAs HEMT; 寄生电容; 优化方法; 参数提取

中图分类号:TN386

文献标志码:A

文章编号:1004-3365(2021)02-0290-05

DOI:10.13911/j.cnki.1004-3365.200308

An Optimized Parameter-Extraction Method for Parasitic Capacitance of GaAs HEMT Device

HUA Ning¹, WANG Jia², SHANG Huifeng¹, ZHANG Quanyuan¹, GAO Xiang¹

(1. Shanghai Institute of Aerospace Electronics Technology, Shanghai 201109, P. R. China;

2. Shanghai Academy Spaceflight Technology, Shanghai 201109, P. R. China)

Abstract: Aiming at the complexity of optimizing parameter-extraction, a new parameter-extraction method for parasitic capacitance of GaAs HEMT was proposed. When parasitic capacitance was extracted, an appropriate optimization range was set to carry out optimization reference. The three times parameter optimization was adopted to ensure the optimization accuracy and model accuracy, avoid the cycle optimization, and improve the efficiency of parameter-extraction and parameter-optimizing. This method was independent of the device structure, which reduced the error caused by the assumption of the device structure. The model parameters of 17-element small signal equivalent circuit were extracted, and the reliability of the method was verified. The results showed that the S parameter was fitting well with the measured one, and the highest fitting frequency could reach 30 GHz.

Key words: GaAs HEMT; parasitic capacitance; optimization method; parameter-extraction

0 引 言

GaAs HEMT 具有高功率、高电流密度、高电子饱和速度等特点而备受关注^[1]。准确的模型对于单片微波集成电路(MMIC)的设计与仿真具有关键作用。只有保证模型的准确性,电路设计如谐波抑制、谐波平衡仿真、阻抗匹配等才有意义^[2]。小信号

等效电路模型有助于更好地分析微波电路的性能(增益、噪声等),对器件的制作工艺也有一定指导作用^[3-5]。

目前,常用的模型提参方法有直接提参法和优化提参法。使用最多的方法是 Cold-FET 法^[5]。寄生参数是对器件外围的寄生效应进行表征,该参数值不受器件偏置的影响。根据器件不同偏置工作条件下的 S 参数提取本征参数。许多文献进行了研

收稿日期:2020-07-07;定稿日期:2020-08-17

作者简介:化 宁(1982—),男(满族),黑龙江齐齐哈尔人,硕士研究生,研究方向为微波电路设计。

究和改进。文献[6-7]分别提取 18 元件、16 元件的小信号等效电路模型的寄生电容参数,利用 Cold-FET 法提取 S 参数,假设本征电容为一定值,直接进行提参。该类方法因假设带来的误差而难以得到可靠的寄生电容值。文献[8-10]提取 18 元件的小信号等效电路模型参数,利用遗传算法进行参数优化。该类方法的优化准确度较高,但优化的复杂度较高。

寄生电容值提取的准确性直接影响后续寄生电感、电阻的提取准确度。针对上述问题,本文提出了一种新的优化方法。在提取寄生电容时,给每个优化参数确定合适的优化范围,有效提高了优化效率。采用两次电容优化,提高了优化精度。该方法不依赖于器件结构,不需要作器件结构假设,避免了假设所带来的误差,提高了模型的准确度。本文对 17 元件的小信号模型参数进行参数提取。结果表明,在 0.1~30 GHz 范围内, S 参数的拟合度较好。

1 寄生电容优化提参方法

通过在片测试,得到器件在 $V_{gs} < V_{th}$ 、 $V_{ds} = 0$ V 偏置条件下的 S 参数。此时,器件处于冷偏状态,沟道中没有电流,当频率较低时,电感、电阻的影响微弱,因此仅考虑电容的作用。GaAs HEMT 器件的等效模型如图 1 所示。

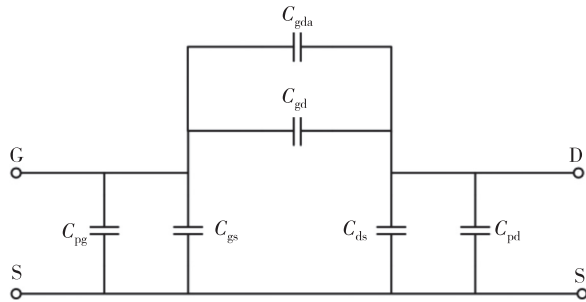


图 1 GaAs HEMT 的夹断低频区等效模型

图中, C_{gs} 、 C_{ds} 、 C_{gd} 分别为器件冷偏条件下的本征栅源电容、源漏电容、栅漏电容。 C_{pd} 、 C_{pg} 分别为漏极、源极的 PAD 电容, C_{gda} 为栅与漏间的电容。

此时,网络的 Y 参数可表示为:

$$C_{gs0} = \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega} \quad (1)$$

$$C_{gd0} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (2)$$

$$C_{ds0} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \quad (3)$$

式中, $C_{gs0} = C_{pg} + C_{gs}$, $C_{ds0} = C_{pd} + C_{ds}$, $C_{gd0} = C_{gd} + C_{gda}$ 。

将冷偏状态下测得的 S 参数转换为 Y 参数,利用式(1)~(3)求得 C_{gs0} 、 C_{ds0} 、 C_{gd0} 随频率变化的曲线。

选取一定频率下的电容值作为三个电容优化的初值,进行第一次优化。为了提取每个电容值,选取 0 作为图 1 中每个电容的初值。根据文献[11-12],寄生电容值均比本征电容值小 1 个数量级以上。因此,选取优化范围时就对寄生电容的优化范围进行缩小。选取总电容的 0.1 倍作为优化最大值,本征电容优化最大值则为总电容值,进行第二次优化。每个电容的优化范围如表 1 所示。

表 1 提取电容时的优化范围

电容	最小值/pF	最大值
C_{pg}	0	$0.1C_{gs0}$
C_{pd}	0	$0.1C_{ds0}$
C_{gda}	0	$0.1C_{gd0}$
C_{gs}	0	C_{gs0}
C_{ds}	0	C_{ds0}
C_{gd}	0	C_{gd0}

优化过程是基于 ADS 软件的 Gradient 优化模式来进行的,小信号等效电路模型的精准度是通过电路仿真所得 S 参数与实测 S 参数的拟合度来反映的,所以优化函数具体是对两者 S 参数差值进行优化。由于 S_{11} 和 S_{22} 主要反映各端口的反射系数与相角关系,可用 Smith Chart 来表现,其优化函数为:

$$K_{ij} = \frac{\epsilon_{sij}}{\max |S_{ij}|}, i=j=1,2 \quad (4)$$

S_{12} 和 S_{21} 主要反映两端口之间的损耗与隔离,可用 dB 图来表现,其优化函数为:

$$K_{ij} = \frac{\epsilon_{sij}}{\max |\text{dB}(S_{ij})|}, i \neq j=1,2 \quad (5)$$

式中, ϵ_{sij} 为 S 参数的仿真值与测量值的平均误差,可表示为:

$$\epsilon_{sij} = \frac{\sum_1^N (|\text{Re}(S_{ijn, \text{sim}} - S_{ijn, \text{mea}})| + |\text{Im}(S_{ijn, \text{sim}} - S_{ijn, \text{mea}})|)}{N} \quad (6)$$

式中, $i=j=1,2$; $n=1,2,\dots,N$, N 为频点数。当 $i \neq j$ 时,平均误差表示为:

$$\epsilon_{sij} = \frac{\sum_1^N (|\text{dB}(S_{ijn, \text{sim}}) - \text{dB}(S_{ijn, \text{mea}})|)}{N} \quad (7)$$

式中, $i \neq j = 1, 2; n = 1, 2, \dots, N$ 。

2 小信号等效电路模型建立

本文基于 17 元件的小信号等效电路模型, 进行提参, 验证该寄生电容提取方法的实用性。小信号等效电路如图 2 所示。图中, 虚线框内为器件本征参数, 虚线框外为器件寄生参数。 L_g 、 L_d 、 L_s 分别为栅极、漏极、源极的电感。 R_g 、 R_d 、 R_s 分别为栅极、漏极、源极的电阻。

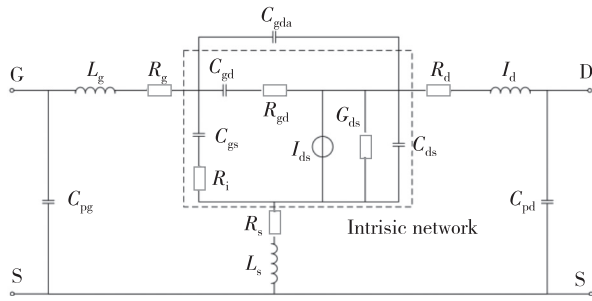


图 2 17 元件小信号等效电路图

2.1 提取寄生电容

在 $V_{gs} = -6$ V、 $V_{ds} = 0$ V 时, 低频时 C_{gs0} 、 C_{ds0} 、 C_{gd0} 随频率的变化曲线如图 3 所示。第一次优化后的电容值如表 2 所示。

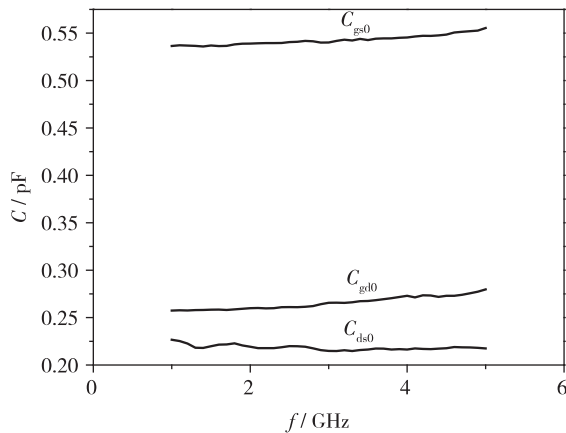


图 3 低频时 C_{gs0} 、 C_{ds0} 、 C_{gd0} 随频率变化曲线

表 2 第一次优化后的电容值

C_{gs0} / pF	C_{ds0} / pF	C_{gd0} / pF
0.516 1	0.227 6	0.250 5

频率较低时, 参数值的虚部表示电容特性, 所以可对电容值进行提取。频率较高时, 电容值对参数值的影响较小。

根据上述选取优化范围的方法, 选定合适的寄生电容优化范围, 对每个电容进行优化。第二次优

化后的电容值如表 3 所示。

表 3 第二次优化后的电容值

C_{pg} / fF	C_{pd} / fF	C_{gda} / fF	C_{gs} / pF	C_{ds} / pF	C_{gd} / pF
51.58	15.43	25.04	0.515 5	0.227 6	0.249 6

2.2 提取寄生电感

利用 Cold-Fet 法测得 S 参数, 在更高频率下提取寄生电感值。将 S 参数转换为 Y 参数, 利用 Y 参数去嵌寄生 PAD 电容。 C_{pg} 、 C_{pd} 、 C_{gda} 去嵌后的等效电路如图 4 所示。

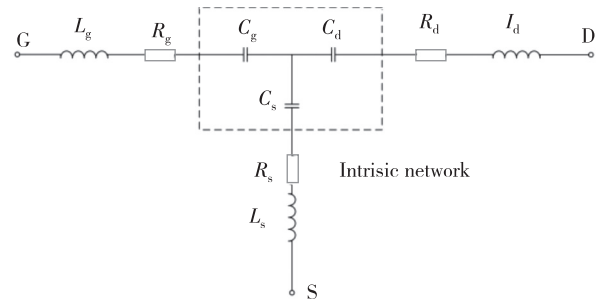


图 4 C_{pg} 、 C_{pd} 和 C_{gda} 去嵌后的等效电路

利用网络 Z 参数提取寄生电感, 表达式为:

$$\text{Im}(\omega Z_{11}) = \omega^2 (L_g + L_s) - j \left(\frac{1}{C_g} + \frac{1}{C_s} \right) \quad (8)$$

$$\text{Im}(\omega Z_{12}) = \text{Im}(\omega Z_{21}) = \omega^2 L_s - j \frac{1}{C_s} \quad (9)$$

$$\text{Im}(\omega Z_{22}) = \omega^2 (L_d + L_s) - j \left(\frac{1}{C_d} + \frac{1}{C_s} \right) \quad (10)$$

由式(8)~(10)式, 通过 $\text{Im}(\omega Z)$ 随 ω^2 的曲线斜率, 计算出寄生电感值。

2.3 提取寄生电阻

通过在片测试, 得到器件在 $V_{gs} = 0$ V、 $V_{ds} = 0$ V 偏置条件下的 S 参数。将 S 参数转换为 Y 参数, 利用 Y 参数去嵌寄生 PAD 电容。栅极开启寄生电容去嵌后的等效电路如图 5 所示。 R_{ch} 为有源区沟道电阻; α 为系数, 取为 $1/3$ 。

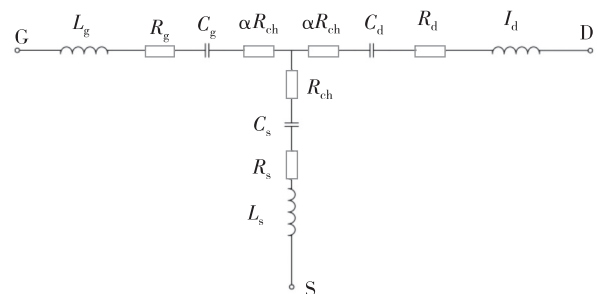


图 5 栅极寄生电容去嵌后的等效电路

利用网络 Z 参数提取寄生电阻, 表达式为:

$$\operatorname{Re}(Z_{11})=R_g+R_s+\frac{1}{3}R_{\text{ch}} \quad (11)$$

$$\operatorname{Re}(Z_{12})=\operatorname{Re}(Z_{21})=R_s+\frac{1}{3}R_{\text{ch}} \quad (12)$$

$$\operatorname{Re}(Z_{22})=R_d+R_s+R_{\text{ch}} \quad (13)$$

提取寄生电阻时,为了得到唯一解,借助冷偏条件下去嵌了 PAD 电容的 Z 参数,求出 R_{ch} ,再利用式(11)~(13)求出寄生电阻值。

2.4 提取本征参数

测出器件正常偏置下的 S 参数,转换为 Y 参数,去嵌寄生电容,再转换为 Z 参数,去嵌寄生电感、电阻,得到本征部分的 Y 参数。求解方程为:

$$g_{\text{ds}}=\operatorname{Re}(Y_{22}+Y_{12}) \quad (14)$$

$$C_{\text{ds}}=\frac{\operatorname{Im}(Y_{22}+Y_{12})}{\omega} \quad (15)$$

$$C_{\text{gd}}=-(1+a^2)\frac{\operatorname{Im}(Y_{12})}{\omega} \quad (16)$$

$$R_{\text{gd}}=-\frac{a}{(1+a^2)\operatorname{Im}(Y_{12})} \quad (17)$$

$$C_{\text{gs}}=(1+b^2)\frac{\operatorname{Im}(Y_{11}+Y_{12})}{\omega} \quad (18)$$

$$R_{\text{gs}}=\frac{b}{1+b^2}\operatorname{Im}(Y_{11}+Y_{12}) \quad (19)$$

$$g_{\text{m}}=|Y_{21}-Y_{12}| \quad (20)$$

$$\tau=\arctan\left(\frac{\operatorname{Im}(Y_{21}-Y_{12})}{\operatorname{Re}(Y_{21}-Y_{12})}\right)/\omega \quad (21)$$

式中, $a=\operatorname{Re}(Y_{12})/\operatorname{Im}(Y_{12})$, $b=\operatorname{Re}(Y_{11}+Y_{12})/\operatorname{Im}(Y_{11}+Y_{12})$ 。通过式(14)~(21),得到本征参数值。

至此,所有的小信号等效电路模型参数提取完毕。将这些参数值代入模型中作为初值,再进行整体优化。优化范围设定为参数随频率变化的最大值和最小值,优化函数选取式(4)和式(5)。最终的小信号模型参数结果如表4所示。

表4 小信号模型参数

参数	数值	参数	数值	参数	数值
C_{pg}/pF	0.005 418	L_{s}/pH	9.926 2	G_{ds}/S	0.005 401
C_{pd}/pF	0.022 76	L_{d}/pH	83.421	R_{gd}/Ω	39.848 8
C_{gdn}/pF	0.010 24	L_{g}/pH	43.654	R_{i}/Ω	0.032 2
R_{g}/Ω	0.921 2	C_{ds}/pF	0.163 7	G_{m}/S	0.213
R_{d}/Ω	1.578	C_{gs}/pF	1.361 3	τ/ps	2.978
R_{s}/Ω	0.845 7	C_{gd}/pF	0.046 3	-	-

3 结果与讨论

对比了模型的拟合值与实测值。频率范围为

100 MHz~30 GHz。对比结果如图6所示。图中红色实线表示实测数据,蓝色圆圈表示仿真数据。可以看出,曲线在绝大部分频率下,拟合是理想的。 S_{12} 曲线在高频处出现了较大的拟合误差,这是测试中的抖动所致。

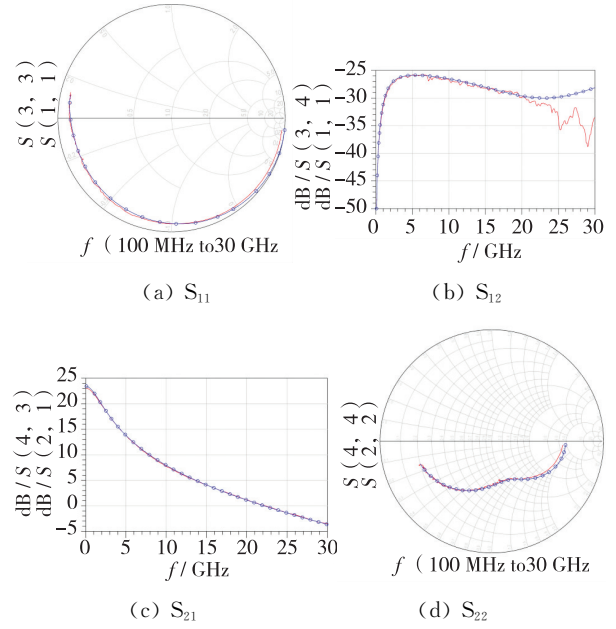


图6 S 参数仿真值与实测值的拟合曲线

S 参数的仿真值与实测值的误差曲线如图7所示。可以看出,在100 MHz~30 GHz范围内, S_{11} , S_{21} 均在0.05以下, S_{22} 均在0.1以下。 S_{12} 仅在高频时的误差较大,在其他频率时的误差较小。

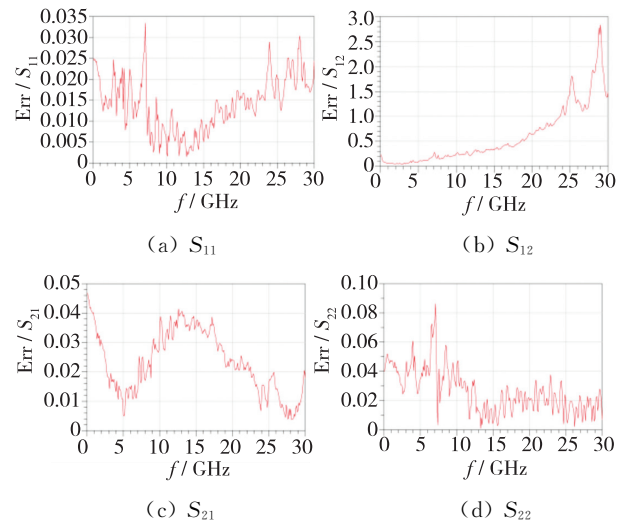


图7 S 参数模型值与实测值的误差曲线

上述分析表明,本文方法提取的17元件模型参数能在任何偏置条件下较理想地拟合 S 参数。该方法具有高效性、准确性,误差在合理范围内。

4 结 论

针对寄生电容值对后续提取寄生电感、电阻值的影响问题,本文提出了一种新的寄生电容参数提取方法。基于 ADS 的 Gradient 优化模式,对寄生电容设置合适的优化范围,进行参数优化提取。相比于基于遗传算法的方法,本文方法的复杂度大幅降低,参数提取效率明显提高。采用三次参数优化,保证了参数优化精度和模型准确度。本文方法不依赖于器件结构,适用于大部分 GaAs HEMT 器件。

参 考 文 献:

- [1] ANGELOV I, ZIRATH H, ROSMAN N, et al. A new empirical nonlinear model for HEMT and MESFET devices [J]. IEEE Trans Microwave Theo & Techniq, 1992, 40(12): 2258-2266.
- [2] LU Y, ZHAO B C, ZHENG J X, et al. A high efficiency C-band internally-matched harmonic tuning GaN power amplifier [J]. Sol Sta Elec, 2016(123): 96-100.
- [3] CRUPI G, CADDEMI A, RAFFO A, et al. GaN HEMT noise modeling based on 50 - Ω noise factor [J]. Microwave & Optical Technol Lett, 2015, 57(4): 937-942.
- [4] MARINKOVI Z, CRUPI G, CADDEMI A, et al. Neural approach for temperature-dependent modeling of GaN HEMTs [J]. Int J Numer Model Elec Network Dev & Field, 2015, 28(4): 359-370.
- [5] DAMBRINE G, CAPPY A, HELIODORE F, et al. A new method for determining the FET small-signal equivalent circuit [J]. IEEE Trans Microwave Theo & Techniq, 2002, 36(7): 1151-1159.
- [6] BERROTH M, BOSCH R. Broad-band determination of the FET small-signal equivalent circuit [J]. IEEE Trans Microwave Theo & Techniq, 1990, 38(7): 891-895.
- [7] KUMAR K, SARKAR S, SINGH S, et al. Extraction of small signal model of MESFET as control device [C] // IET-UK Int Conf Inform & Commun Technol Elec Sci. Tamil Nadu, India. 2007: 897-902.
- [8] JARNDAL A. A simplified modelling approach for AlGaIn/GaN HEMTs using pinched cold S-parameters [C] // IEEE ICMSAO. Hammamet, Tunisia. 2013: 1-4.
- [9] JARNDAL A. AlGaIn/GaN HEMTs on SiC and Si substrates: a review from the small-signal-modeling's perspective [J]. Int J RF & Microwave Comput Aid Engineer, 2014, 24(3): 389-400.
- [10] JARNDAL A. Genetic algorithm based extraction method for distributed small-signal model of GaN HEMTs [C] // IEEE Int Conf Semicond Elec. Melaka, Malaysia. 2010: 41-44.
- [11] 刘雨非. InGaAs/GaAs PHEMT 器件模型的建立与优化 [D]. 西安: 西安电子科技大学, 2018.
- [12] 薛红, 席彩萍. GaAs 材料非平衡热电子的瞬态输运及其光电导特性 [J]. 半导体光电, 2019, 40(6): 826-829.

欢迎订阅 2021 年《微电子学》杂志

《微电子学》是由四川固体电路研究所主办,并向国内外公开发行的科学技术刊物。《微电子学》创刊于 1971 年,国内统一连续出版物号:CN 50-1090/TN;国际标准连续出版物号:ISSN 1004-3365;国际刊名代码(CODEN):WEIDFK;双月刊,A4 开本,128 页。

《微电子学》是英国 INSPEC(SA)、美国《化学文摘》(CA)、《剑桥科学文摘》(CSA)和俄罗斯《文摘杂志》收录期刊,是《中国学术期刊综合评价数据库》和《中国科学引文数据库》来源期刊,以及《中国科技论文统计与分析》的引用期刊;也是中国知识基础设施(CNKI)工程重大项目“中国期刊网”的全文收录期刊和国内相关学科检索文献的检索用刊。

《微电子学》是中国权威期刊检索工具书《中文核心期刊要目总览》评定的无线电电子学、电信技术类“中文核心期刊”,也是“中国期刊方阵”入选期刊,在微电子科学与技术、半导体集成电路和半导体工艺技术等领域具有极大的影响,深受广大科技人员和大专院校师生的欢迎。

《微电子学》报道内容涉及微电子科学与技术的各个领域,包括微电子器件与电路的基础理论、设计技术、制造工艺、检测与组装技术;集成电路应用技术;基础材料与半导体设备等方面的研究成果、学术论文和技术报告;微电子领域的发展动态和最新进展;主要栏目有:电路与系统设计、模型与算法、半导体器件与工艺、测试与封装、产品与可靠性、基础理论研究、动态综述等。

《微电子学》集学术性、技术性、实用性和情报性于一体,信息量大,内容丰富,是科研生产和教学的重要参考书刊,适合电子行业的科技人员、机关管理干部和大专院校相关专业的师生阅读。

《微电子学》为双月刊,每期定价 20.00 元,全年定价 120.00 元(含邮费)。

《微电子学》自办发行,订阅者请向编辑部索取订单。

微电子学

Weidianzixue

(双月刊)(1971 年创刊)

第 51 卷 第 2 期(总第 292 期)

2021 年 4 月 20 日出版

Microelectronics

(Bimonthly)(Started in 1971)

Vol. 51, No. 2 (Serial Issue No. 292)

Published on Apr. 20, 2021

主 管:中国电子科技集团公司
主 办:四川固体电路研究所
编 辑 出 版:《微电子学》编辑部
(400060 重庆南坪花园路 14 号 24 所)
电 话:86-23-62834360
电子邮箱:wdzx@sisc.com.cn
wdzx128@sina.com
网络地址: <http://www.microelec.cn>
编委会主任:徐世六
主 编:武俊齐
印 刷:重庆市国丰印务有限责任公司
发 行:《微电子学》编辑部

Responsible Institution: China Electronics Technology Group Corp.
Sponsored by: Sichuan Institute of Solid-State Circuits
Edited & Published by: Editorial Department of *Microelectronics*
(400060, Sichuan Institute of Solid-State Circuits, Nanping, Chongqing)
Tel: 86-23-62834360
E-mail: wdzx@sisc.com.cn
wdzx128@sina.com
Website: <http://www.microelec.cn>
Director of Editorial Board: XU Shiliu
Editor-in-Chief: WU Junqi
Printed by: Chongqing Guofeng Printing Company Ltd.
Distributed by: Editorial Department of *Microelectronics*

发行范围:国内外公开发行

国际标准连续出版物号:ISSN 1004-3365
国内统一连续出版物号:CN 50-1090/TN

国内定价:20.00 元