ISSN 1004-3365
CODEN:WEIDFK
CN 50-1090/TN

微电子学
MICROELECTRONICS

全国中文核心期刊

2020
第50卷6卷终

四川固体电路研究所 主办
Sichuan Institute of Solid-State Circuits
期刊网址：www.microelec.cn

ISSN 1004-3365
12>
9 771004 336204

微电子学
第五十卷 第六期 卷终
二〇二〇年十二月

微 电 子 学

Weidianzixue

第 50 卷　第 6 期　2020 年 12 月

目　　次

·电路与系统设计·

·模型与算法·

·动态与综述·

·半导体器件与工艺·

·产品与可靠性·

Microelectronics

Vol. 50, No. 6 Dec. 2020

Contents

·电路与系统设计·

一种基于 40 nm CMOS 工艺的 40 Gbit/s 低噪声跨阻放大器

刘 杨，祁 楠，刘力源，刘 剑，吴南健
(1. 中国科学院 半导体研究所 半导体超晶格国家重点实验室，北京 100083；
2. 中国科学院大学 材料科学与光电技术学院，北京 100049)

摘 要： 采用 40 nm CMOS 工艺，设计了一个工作在 40 Gbit/s 数据速率的高速低噪声跨阻放大器(TIA)。为了同时兼顾噪声和带宽性能，创造性提出了一种多级串联跨阻放大器结构。输入级采用基于反相器结构的伪差分跨阻放大器，通过增加反馈电阻来减小输入电流噪声，第二级的前向运放用来抑制后级均衡器的噪声，第三级用连续时间线性均衡器(CTLE)对前级不足的带宽进行补偿，后面的三级限幅放大器(LA)对电压信号进一步放大。限幅放大器利用并联电感峰化技术和负跨导技术来提高带宽和增益。最终，信号由输出驱动器(OD)输出到片外，输出驱动器采用 T-COIL 技术。仿真结果表明，整条链路可以实现 84 dBΩ 和 63 dBΩ 的跨阻增益，带宽分别为 31 GHz 和 34 GHz，输入电流积分噪声(rms)为 1.75 μA。

关键词： 光接收机模拟前端；低噪声跨阻放大器；连续时间线性均衡器；限幅放大器；
中图分类号：TN722.3；TN432 **文献标识码：**A **文章编号：**1004-3365(2020)06-0771-06
DOI：10.13911/j.cnki.1004-3365.190751

A 40 Gbit/s Low Noise Transimpedance Amplifier Based on 40 nm CMOS Process

LIU Yang, QI Nan, LIU Liyuan, LIU Jian, WU Nanjian
(1. *State Key Lab. for Superlattices and Microstructures, Institute of Semicond., Chinese Academy of Sci., Beijing* 100083, *P. R. China*;
2. *College of Materials Sci. and Opto-Electronic Technol., Univ. of Chinese Academy of Sci, Beijing* 100049, *P. R. China*)

Abstract: Based on a 40 nm CMOS technology, a high speed low noise transimpedance amplifier (TIA) was designed to operate at a data rate of 40 Gbit/s. In order to consider both noise and bandwidth performance, a multi-stage series transimpedance amplifier structure was creatively proposed. The input stage used a pseudo-differential transimpedance amplifier based on the inverter structure. The input current noise was reduced by increasing the feedback resistance. The forward operational amplifier of the second stage was used to suppress the noise of the equalizer in the subsequent stage. The continuous time linear equalizer (CTLE) was used for the compensation of the lack of bandwidth in the previous stage. The latter three-stage limiting amplifier (LA) further amplified the voltage signal. Limiting amplifiers used shunt inductor peaking and negative transconductance techniques to increase bandwidth and gain. The final signal was output off-chip by the output driver (OD). The output driver used T-COIL technology. Simulation results showed that the entire link could achieve transimpedance gains of 84 dBΩ and 63 dBΩ, bandwidths of 31 GHz and 34 GHz, respectively. The input current integral noise (rms) was 1.75 μA.

收稿日期：2019-12-30；**定稿日期：**2020-03-09
基金项目：国家自然科学基金资助项目(61874115)；北京市科技计划项目(Z191100004819006)
作者简介：刘 杨(1994—)，女(汉族)，河北昌黎人，硕士研究生，研究方向为模拟集成电路设计。
祁 楠(1983—)，男(汉族)，河北石家庄人，研究员，博士生导师，研究方向为数模混合集成电路与系统设计。通信作者。

Key words：optical receiver analog front end；low noise transimpedance amplifier；continuous time linear equalization；limiting amplifier

0　引　言

传统高速光电收发机大多采用 III-V 族工艺进行相关电路设计，被广泛应用于光通信系统中。相较于 CMOS 工艺，III-V 族工艺具有寄生电容小的特点，因此更容易实现高带宽设计；同时受益于垂直结构，较表面结构具有噪声更低的特点。随着对芯片集成度要求的不断提高和 CMOS 截止频率随工艺尺寸缩小而不断提高，克服 CMOS 工艺本身存在的缺点，利用低成本、低功耗和高集成度的 CMOS 工艺实现高速光电收发机的设计，已经成为当前的研究热点。

跨阻放大器作为光接收机的第一级，是非常核心的模块。文献[1]设计的并联反馈结构的光接收机基于 65 nm CMOS 工艺，工作在 25 Gbit/s 数据速率；文献[2]设计的调节型共栅结构的跨阻放大器基于 28 nm CMOS 工艺，工作在 25 Gbit/s 数据速率。现有基于 CMOS 工艺的跨阻放大器出于降低噪声的设计考虑，工作速度并不高；或者为了提高速度，使用更先进的工艺，但是这样会带来成本的上升。因此，本文设计了一种基于 40 nm CMOS 工艺、工作在 40 Gbit/s 数据速率、利用多级串联跨阻放大器降低噪声的光接收机模拟前端电路。

1　电路设计

图 1 所示为光接收机模拟前端电路整体框架图。

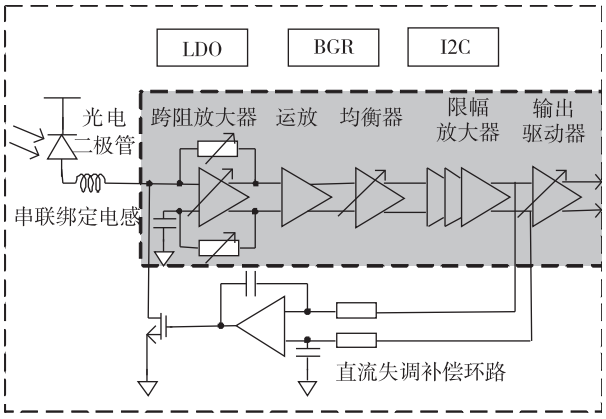


图 1　光电芯片框架图

光芯片和电芯片组成串联绑定电路，作为光接收机模拟前端。电芯片主要由跨阻放大器（TIA）、前向运放（AMP）、连续时间线性均衡器（CTLE）、限幅放大器（LA）和输出驱动器（OD）五个部分组成。

首先，具有高带宽（频率在 30 GHz 以上）的光电二极管（PD）将光纤传导过来的光信号转换为电流信号。PD 的阴极电压一般偏置在大于 1 V 的电源电压上。出于响应度的考虑，将其偏置在 2.5 V 的电源电压上。然后将光电二极管的阳极接到电芯片的输入端，电流信号通过输入管脚的 *LC* 谐振网络流到跨阻放大器的输入端。第一级的跨阻放大器将电流信号转化为电压信号并对其进行放大，第二级的前向运放提供一定的电压增益来抑制后级的噪声，第三级均衡器对第一级不足的带宽进行补偿，后级的限幅放大器进一步提高整条高速链路增益，以满足所要求的输出摆幅。最后，电压信号由输出驱动级输出到片外。

光电二极管的电流信号同时包含直流分量和交流分量。通常情况下，直流分量与交流分量呈正比关系。考虑到直流分量的存在会影响高速链路的共模电平，同时考虑到器件本身存在的失调，特别是对于高增益链路，失调会更为明显，因此增加直流电平失调补偿（DCOC）环路来对失调进行补偿。为了提供较高的电源抑制比、较小的电源噪声和较为稳定的工作点，高速链路的偏置电压由片内低压差线性稳压器（LDO）提供。

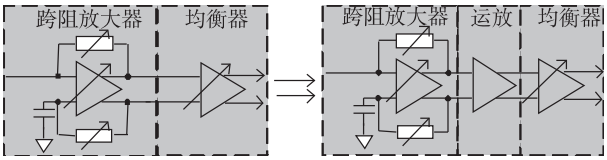
1.1　多级串联跨阻放大器

在高速光接收机的跨阻放大器设计中，主要考虑两种结构的放大器：共栅结构放大器和电流负反馈放大器。共栅结构的优点在于输入电阻很小，可以实现较高的带宽。但是共栅结构噪声降低主要通过增加漏级负载电阻阻值来实现，同时考虑到漏级负载电阻与电源电压直接相关，直接增加负载电阻会使电源电压受限，因此共栅结构一般不适用于低压电路设计。在低压 CMOS 电路设计中，大多采用基于电流反馈的跨阻放大器结构。由于并联反馈环路的存在，输入电阻可以降低为反馈电阻的$(A+1)$倍，其中，A 为跨阻放大器的开环增益。跨阻放大器的噪声可以通过增加反馈电阻来减小。相较于共栅结构，电流反馈式结构的反馈电阻阻值与电源电压没有明显的直接关系，一般适用于低压电路设计。但是电流反馈式结构会产生另外一个问题，即跨阻

放大器的带宽和噪声存在明显的折中关系。

在基于电流反馈的光接收机模拟前端中，输入电流噪声主要来自跨阻放大器的反馈电阻，因此一般会采用增加反馈电阻的方式来达到减小输入噪声的目的。由于输入电容很高，包含光电二极管寄生电容、PAD 和 ESD 电容、跨阻放大器本身的输入电容等，主极点位于输入端，因此直接提高第一级的反馈电阻会增加输入电阻，影响跨阻放大器的带宽，从而产生严重的码间干扰(ISI)问题。李丹等人提出的两级模拟前端电路可以解决如何同时优化带宽和噪声的问题[1]。该两级结构被广泛应用于跨阻放大器电路的设计[3-4]。

图 2(a)所示为李丹等人提出的两级结构，可以解决噪声和带宽存在折中的问题。第一级跨阻放大器先通过增加负反馈电阻的方式来减小输入电流噪声，第一级带宽的不足可以通过第二级的均衡器进行一定程度的补偿[2]。在此基础上，我们创造性地提出了一种多级串联跨阻放大器，如图 2(b)所示。相较于图 2(a)的两级结构，多了一级运放，这样做是为了减少均衡器对输入噪声的贡献。均衡器的输出噪声要除以均衡器的增益和跨阻放大器的增益才能等效到芯片的输入端。均衡器的增益在通常的设计中会小于 1，所以均衡器的噪声会恶化整个高速跨阻放大器的噪声性能。为了降低均衡器的噪声，在均衡器前级加了一个运放，用运放的增益来补偿均衡器的增益，即以牺牲功耗和面积来换取噪声性能的提高。这个做法很有必要，对光接收机来说，灵敏度至关重要，灵敏度与噪声直接相关。

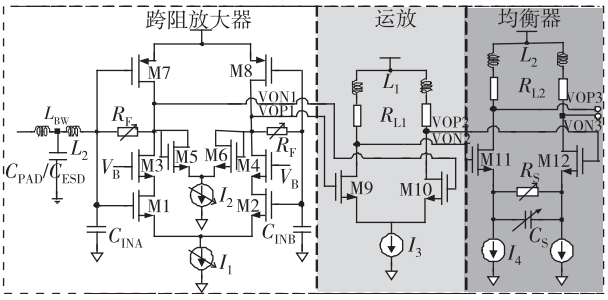


(a) 传统两级结构　　(b) 所设计结构

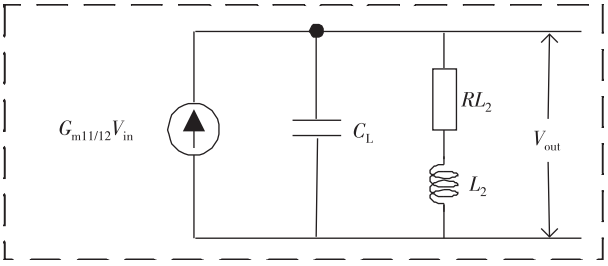
图 2　模拟前端电路结构

1.2　跨阻放大器

跨阻放大器采用基于反相器的并联反馈结构，如图 3(a)所示。图中 M1、M2、M3、M4、M7 和 M8 构成伪差分结构。与单端结构相比，差分结构可以提高电路的电源噪声抑制能力。输入管 M1 和 M2 上面叠加共源共栅管 M3 和 M4：一是可以通过增加前向放大器的增益来减小跨阻放大器的输入电阻，输入电阻近似等于反馈电阻除以跨阻放大器开环增益；二是可以抑制 M1 和 M2 晶体管的密勒效应。因为跨阻放大器的主极点在输入端，所以输入电阻和输入电容同时减小可以提高带宽。但是受限于电源电压，在 PMOS 输入管 M7 和 M8 的漏端没有叠加共源共栅管。同时利用 NMOS 和 PMOS 管作为输入晶体管，可以达到电流复用的目的。在不增加尾电流的情况下，可以加倍输入晶体管的跨导，可以提高跨阻放大器的开环增益，从而有利于输入电阻的减小和输入噪声性能的改善。



(a) 多级串联结构电路原理图



(b) 并联电感等效电路图

图 3　电路原理图

二极管方式连接的 M5 和 M6 用于调节输出负载的大小。跨阻放大器的增益调节主要通过改变反馈电阻阻值实现。跨阻放大器的反馈电阻阻值发生变化时，其输入阻抗会随跨阻增益变化而变化，会对环路稳定性和频率响应产生严重的影响。考虑到跨阻放大器前向运放的带宽为有限值，主极点位于输出节点，因此跨阻放大器相当于一个 2 阶系统，主极点位于输入端，次级点位于输出端。为了实现巴特沃斯响应，前向运放的带宽必须是开环响应单位增益频率的两倍以上。考虑到这一点，在跨阻放大器的输出端加了一个二极管方式连接的晶体管 M5 和 M6。在电路设计中，保持二极管方式连接的晶体管的电流和输入晶体管电流之和不变[5]。当反馈电阻较高时，输入电阻较低，此时，二极管连接的晶体管关闭，电流全部由 I_1 提供；当反馈电阻较低时，输入电阻较高，需要前向放大器开环增益更小，此时，二极管连接的晶体管打开，一部分电流由 I_2 提供。

在跨阻放大器输入端，考虑到绑定电感 L_{BW} 会产生一个较大的峰值，额外加了一个串联电感 L_2，可以把一个较大的峰值分离成两个小的峰值，一个

位于带外，一个位于带内，位于带内的峰值对带宽会进行一定程度的补偿。

1.3　连续时间线性均衡器

为了进一步展宽频带，可以在输入晶体管的源端引入负反馈。当频率较高时，输入晶体管的等效跨导增加，从而补偿由输出极点增益滚降带来的带宽下降[1]。连续时间线性均衡器结构如图 3(a)所示。

所设计的电路同时引入了负反馈电阻和负反馈电容。等效跨导可以表示为：

$$G_{m11/12}=g_{m11/12}(1+sR_sC_s)/(1+\frac{g_mR_s}{2}+sR_sC_s) \tag{1}$$

由式(1)可知，该等效跨导包含一个位于 $1/(R_sC_s)$ 的零点和一个位于 $[1+(g_mR_s)/2]/(R_sC_s)$ 的次极点。该结构的带宽增加以低频增益减小为代价。低频增益为：

$$A=g_mR_D/(1+g_mR_s/2) \tag{2}$$

除了低频增益减小以外，R_S 的热噪声也会恶化整体链路的噪声性能。因此我们在均衡器的前一级添加运放以免噪声恶化。

调节负反馈电阻可以改变低频增益，从而实现增益可调；调节负反馈电容可以改变峰值位置，达到在同一频率下峰值不同的目的，从而实现增益调节。为了提高带宽，我们在连续时间线性均衡器的输出端采用了并联电感峰化技术。在高速链路的很多部分，例如前向运放、限幅放大器和输出驱动器，都利用了并联电感峰化技术来对带宽进行补偿。其原理是通过限制带宽的寄生电容与电感谐振来扩展带宽。图 3(b)所示为其小信号等效电路图，R_{L2} 和 C_L 分别为等效负载电阻和电容，L_2 为并联峰化电感，由于电感和负载电容并联构成一个谐振电路，故其称为并联电感峰化技术。由于电感在高频下相当于开路，对于阶跃输入，在信号翻转的间隔内，电感相当于开路，电流大部分进入负载电容，输出建立时间较无电感峰化的电路更短。

对电路进行小信号分析，其传输函数为：

$$\frac{V_{out}}{V_{in}}(s)=-G_{m11/12}\frac{sL_2+R_{L2}}{s^2L_2C_L+sR_{L2}C_L+1} \tag{3}$$

若抑制因子 $\varepsilon=R_{L2}\sqrt{C_L/L_2}/2$，谐振频率 $\omega_n=(L_2C_L)^{-1}$，可得：

$$\frac{V_{out}}{V_{in}}(s)=-G_{m11/12}R_{L2}\frac{s+2\varepsilon\omega_n}{s^2+2\varepsilon\omega_ns+\omega_n^2}\cdot\frac{\omega_n}{2\varepsilon} \tag{4}$$

因此，3 dB 带宽为：

$$\sqrt{\left[\frac{1}{4\varepsilon^2}+1-2\varepsilon^2+\sqrt{\left(\frac{1}{4\varepsilon^2}+1-2\varepsilon^2\right)^2+1}\right]}\cdot\omega_n \tag{5}$$

对于不同的抑制因子，阶跃响应会有不同的过冲，为了获得平坦的响应，我们一般选取抑制因子为 $\sqrt{2}/2$。本文设计的连续时间线性均衡器在不同均衡模式下的频响曲线如图 4 所示，可以看到，峰值频率约为 27.5 GHz，低频增益调节范围为 4.2 dB。

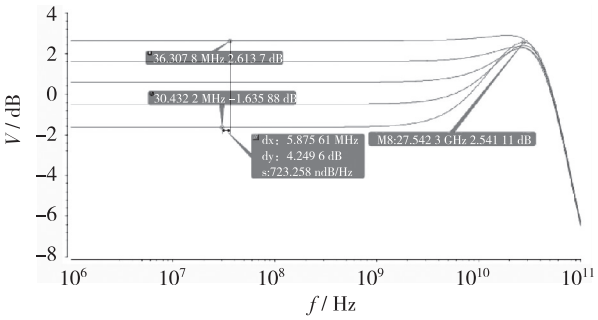
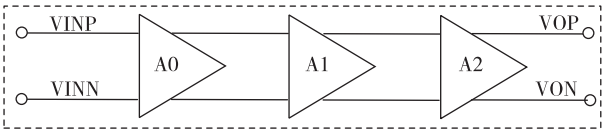


图 4　连续时间线性均衡器在不同均衡模式下的频响曲线

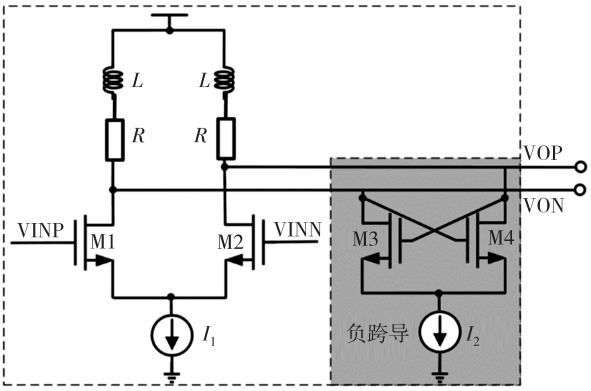
1.4　限幅放大器

考虑到输出摆幅和数据速率的要求，限幅放大器需要提供很高的增益和带宽，通常采用电流模结构(CML)。电流模结构相较于电压模结构具有更强的驱动能力。单级电流模结构的增益有限，因此通常采用多级级联的方式来提供较高的增益。

采用三级增益不同的电流模电路进行级联，如图 5(a)所示。电流模电路图如图 5(b)所示，采用并联电感峰化技术和负跨导技术来提高带宽和增益。



(a) 三级限幅放大器级联



(b) 限幅放大器原理图

图 5　限幅放大器

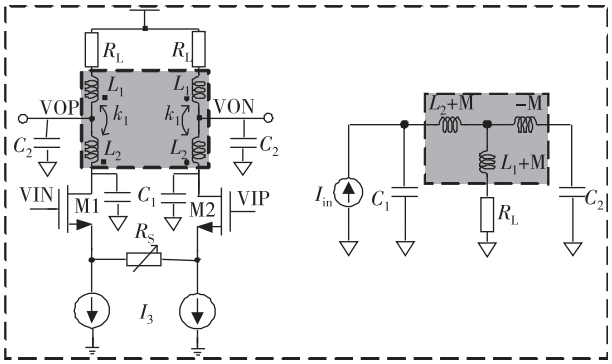
负跨导技术将二极管方式连接的晶体管交叉耦合，得到一个两级的正反馈放大器，将差分电阻变为负值，通过改变电流 I_2 的大小可以很容易控制这个负阻的大小，经常被用于振荡器、射频电压控制振荡

器和宽带放大器中。用于限幅放大器中可以提高增益，并具有温度和工艺补偿作用。忽略电感 L，低频增益表达式为：

$$A=g_{m1}\left(R \parallel \left(-\frac{1}{g_{m3}}\right)\right)=g_{m1}\frac{R}{1-g_{m3}R}>g_{m1}R \tag{6}$$

1.5　输出驱动级

输出驱动级电路原理如图 6(a)所示。作为光接收机的最后一级，输出驱动级需要具有高带宽和较大的带负载能力。为了降低反射的影响，需要进行阻抗匹配设计，输出电阻阻值为 50 Ω。为了保证输出驱动级在端接 50 Ω 电阻时仍有大于 1 的增益，输出驱动级的电流消耗了 18 mA。



(a) 输出驱动级电路原理图　　(b)T-COIL 等效网络

图 6　输出驱动级电路

与常见电流模结构电路利用并联电感峰化技术提高带宽不同的是，图 6(a)所示电路独特地采用了 T-COIL 电感。尽管并串联电感峰化技术能够提供较大的带宽扩展，但随着负载电容的增加，电感的电容分离作用在实现大的带宽扩展比上逐渐失效。因此利用变压器的磁耦合作用来克服该缺点。图 6(b)是包含了变压器 T 模型的 T-COIL 等效小信号模型。在不对称($L_1 \neq L_2$)的 T-COIL 峰值放大器中，次级电感起到电容分离的作用，因此初始充电电流只流向 C_1。接着，电流开始流入 L_2，导致一定比例的电流流向 C_2。由于电容器与 T 线圈的负互感元件－M 串联，负磁性耦合最初允许一定比例的电流流入负载电容 C_2。这使得上升时间得到改善，从而提高带宽扩展。耦合系数 k_1 与互感 M 有关，其值表示为：$k_1=M/\sqrt{L_1L_2}$。

相较于并串联电感峰化技术，T-COIL 电感在负载电容较大时可以得到更高的带宽扩展。考虑到输出 PAD 电容、ESD 电容和其他负载电容较大，输出驱动级利用 T-COIL 技术可以有效减小在高频时对负载电容的充放电时间，从而减小上升下降时间，达到扩展带宽的目的。

考虑到 PCB 板损耗和其他损耗，在输出驱动级的输入晶体管源端添加了负反馈电阻 R_S，通过调节反馈电阻，可以改变低频增益，从而起到不同程度的均衡作用，调节范围为 0～4 dB。

2　仿真结果

光接收机的设计基于 40 nm CMOS 工艺。整个芯片采用 3.3 V 电源电压供电，功耗为 60 mA。

进行电路仿真时，代入 PD 等效模型。PD 等效模型主要由 PD 寄生电容和电阻、PAD 寄生电感和电容组成。一般商用 III-V 族光电二极管的寄生电容约为 90 fF。本文对整个链路进行了交流、瞬态、噪声等性能仿真。

跨阻放大器在高增益和低增益时的频响曲线如图 7 所示。从交流仿真可以看到，整个高速链路的最高增益和最低增益分别为 84 dBΩ 和 63 dBΩ，增益动态范围为 21 dB，增益调节通过改变反馈电阻阻值得到。为了减小 ISI 对眼图的影响，整个高速链路的带宽设计为 31/34 GHz。

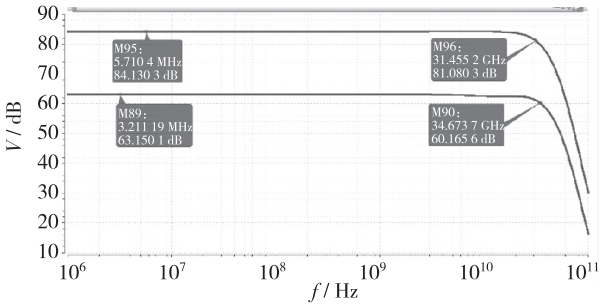


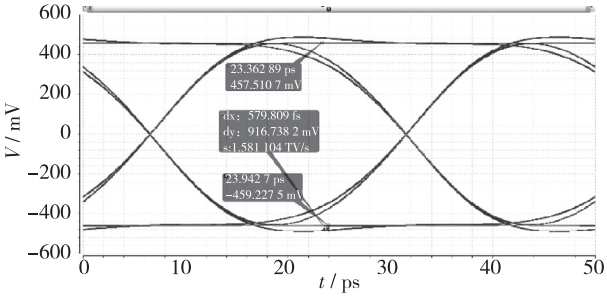
图 7　跨阻放大器在高增益和低增益时的频响曲线图

图 8 所示为电路在 PRBS31 40 Gbit/s 数据速率输入信号下得到的仿真眼图。当输入电流为 30 μA 时，跨阻放大器差分输出摆幅为 916 mV；当输入电流为300 μA时，跨阻放大器差分输出摆幅为 707 mV。

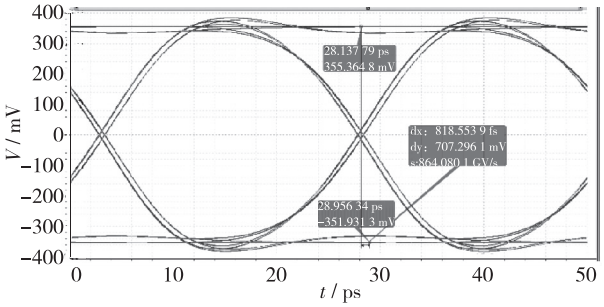
图 9 所示为整个通道的输出电压噪声响应曲线。在频谱中从 1 kHz 积分到 80 GHz，计算得出输入参考均方根噪声电流(rms)为 1.75 μA。把输入参考均方根噪声电流除以带宽的根号，可以得到平均输入参考噪声电流密度，为 9.9 pA・$Hz^{-1/2}$。

与其他文献的性能指标仿真结果对比如表 1 所示。从表中可以看出，该电路在 40 nm CMOS 工艺中实现了 40 Gbit/s 的速率，与 28 nm CMOS 工艺上的速率相同；其带宽为 31 GHz，高于所对比的文献；其输入参考噪声电流为 9.9 pA・$Hz^{-1/2}$，小于

所对比的其他文献。



(a) 输入电流为 30 μA 时的眼图



(b) 输入电流为 300 μA 时的眼图

图 8　高速链路眼图仿真结果(不加瞬态噪声)

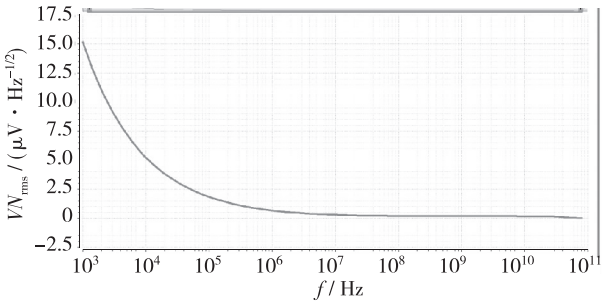


图 9　输出电压噪声响应曲线图

表 1　与其他文献性能指标对比

参数	文献[6]	文献[7]	文献[8]	本文
工艺	180 nm BiCMOS	28 nm CMOS	28 nm CMOS	40 nm CMOS
速率/(Gbit · s^{-1})	-	25	40	40
带宽/GHz	6.57	27.3	10	31/34
增益/dBΩ	60.5	56.8	73	84/63
输入参考噪声电流/(pA · Hz$^{-1/2}$)	10.4	10.6	25	9.9
电源电压/V	1.8	3.3	1.5	1.4/3.3
输入过载峰值电流/mA	-	5	-	2

3　结　论

为了优化高速低噪声跨阻放大器的噪声和带宽,创造性地提出了多级串联跨阻放大器结构。在限幅放大器中,采用并联电感峰化技术和负跨导技术来提高带宽和增益。输出驱动器用 T-COIL 来实现更大的带宽扩展。仿真结果表明,该电路带宽为 31 GHz,高于所对比的其他文献;输入参考噪声电流为 9.9 pA · Hz$^{-1/2}$,小于所对比的其他文献。该项工作实现了卓越的噪声和带宽性能。

参 考 文 献:

[1] LI D, MINOIA G, REPOSSI M, et al. A low-noise design technique for high-speed CMOS optical receivers [J]. IEEE J Sol Sta Cir, 2014, 49(6): 1437-1447.

[2] CHEN Y, KIBUNE M, TODA A, et al. A 25 Gb/s hybrid integrated silicon photonic transceiver in 28nm CMOS and SOI [C] // IEEE ISSCC-Digest Tech Papers. San Francisco, CA, USA. 2015: 1-3.

[3] SZILAGYI L, BELFIORE G, HENKER R, et al. 20-25 Gbit/s low-power inductor-less single-chip optical receiver and transmitter frontend in 28 nm digital CMOS [J]. Int J Microwave Wireless Tech, 2017, 9(8): 1667-1677.

[4] ZHANG S, ZHANG C, PAN X, et al. High-performance fully differential photodiode amplifier for miniature fiber-optic gyroscopes [J]. Opt Expr, 2019, 27(3): 2125-2141.

[5] YAO T, LI Y, XIE Y, et al. A low-noise 56 Gbps PAM-4 linear optical receiver in 40 nm CMOS [C] // 14th IEEE ICSICT. Qingdao, China. 2018: 1-3.

[6] LEE S B S, LIU H, YEO K S. An inductorless 6-GHz variable gain differential transimpedance amplifier in 0.18-μm SiGe BiCMOS [C] // IEEE ISCAS. Sapporo, Japan. 2019: 1-5.

[7] ZHANG Y, GUO Z Q, XIE Y, et al. A stacked 4×25 Gb/s optical receiver in 28 nm CMOS with 0.154 mW/Gb/s power efficiency [C] // IEEE ISCAS. Sapporo, Japan. 2019: 1-4.

[8] QUADIR N A, TOWNSEND P D, OSSIEUR P. An inductorless linear optical receiver for 20 Gbaud/s (40 Gb/s) PAM-4 modulation using 28 nm CMOS [C] // IEEE ISCAS. Melbourne, Australia. 2014: 2473-2476.

一种高 PSRR 高阶温度补偿的带隙基准电压源

周前能，李文鸽，彭志强，关晶晶，李红娟，唐政维
（重庆邮电大学 光电工程学院 微电子系，重庆 400065）

摘　要： 基于 SMIC 0.18 μm CMOS 混合信号工艺，设计了一种高 PSRR 高阶温度补偿的带隙基准电压源(BGR)。采用温度曲率补偿技术和温度分段补偿技术，使该 BGR 获得低温漂特性。采用 PSRR 提升技术，使所设计的 BGR 获得高 PSRR 特性。仿真结果显示，当温度从－50 ℃到 125 ℃变化时，该 BGR 的温漂系数为 1.85×10^{-6}/℃，在频率为 100 Hz、1 kHz、10 kHz 时分别获得－88 dB、－83.6 dB、－65.8 dB 的 PSRR。

关键词： 带隙基准电压源；曲率补偿电路；分段补偿电路；PSRR 提升技术
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020) 06-0777-07
DOI：10.13911/j.cnki.1004-3365.200021

A High-PSRR High-Order Temperature Compensation Bandgap Voltage Reference

ZHOU Qianneng, LI Wenge, PENG Zhiqiang, GUAN Jingjing, LI Hongjuan, TANG Zhengwei
(*Depart. of Microelec., College of Optoelec. Engineer., Chongqing Univ. of Posts and Telecommun., Chongqing* 400065, *P. R. China*)

Abstract: A high-PSRR high-order temperature compensation bandgap voltage reference (BGR) was designed in SMIC 0.18 μm CMOS mixed-signal process. By adopting these technologies of temperature curvature-compensation and temperature piecewise-compensation, the designed BGR achieved a reference voltage with lower temperature drift coefficient. By adopting the power supply rejection ratio (PSRR) improvement technology, the designed BGR achieved the high-PSRR performance. Simulation results showed that the temperature coefficient of the designed BGR was only 1.85×10^{-6}/℃ in the temperature range from －50 ℃ to 125 ℃. The designed BGR achieved the PSRRs of －88 dB, －83.6 dB and －65.8 dB at 100 Hz, 1 kHz and 10 kHz respectively.

Key words: bandgap voltage reference; curvature-compensated circuit; piecewise-compensate circuit; power supply rejection improvement technology

0　引　言

带隙基准电压源(Bandgap Voltage Reference, BGR)是大部分模拟集成电路、数模混合集成电路等系统的重要功能模块[1-3]，已广泛应用于模数转换器(Analog-to-Digital Converter, ADC)、数模转换器(Digital-to- Analog Converter, DAC)、电源管理和射频集成电路等电路中。BGR 由 R. J. Widlar 和 A. P. Brolaw 首次提出，是一种 1 阶温度补偿 BGR[4-5]。1 阶温度补偿 BGR 电压 V_{REF} 由 PNP 双极型三极管的发射极-基极电压 V_{EB} 和热电压 V_T 求

收稿日期：2020-01-10；**定稿日期：**2020-03-09
基金项目：重庆市自然科学基金资助项目(CSTC2016JCYJA0347)；重庆市技术创新与应用示范项目(cstc2018jszx-cyztzx0049)；重庆市重点产业共性关键技术创新专项项目(cstc2016zdcy-ztzx40004)；重庆市重点产业共性关键技术创新专项重点研发项目(cstc2017zdcy-zdyfX0041)
作者简介：周前能(1973—)，男(汉族)，四川资中人，博士，教授，从事模拟集成电路设计和测试研究工作。
彭志强(1994—)，男(汉族)，重庆人，硕士研究生，主要从事模拟集成电路设计工作。

和得到，即 $V_{REF}=V_{EB}+\alpha\times V_T$，式中 α 为加权常数。PNP 双极型三极管的发射极-基极电压 V_{EB} 是一个负温度系数电压，温度系数为 -2 mV/℃；热电压 V_T 是具有正温度系数的电压，为 kT/q，其中 k 为波尔兹曼常数，T 为绝对温度，q 为电子电荷量，可通过合理选择 α 来获得低温漂系数的 BGR 电压。PNP 双极型三极管的发射极-基极电压 V_{EB} 具有温度非线性特性，因此，1 阶温度补偿 BGR 电压具有较高的温漂系数。针对 1 阶温度补偿 BGR 温漂系数高的问题，许多学者对高阶温度补偿的 BGR 进行了研究[6-12]。G. Rincon-Mora 在 1 阶温度补偿 BGR 基础上，利用分段线性电流技术，设计了一种曲率补偿的 BGR[9]。K. N. Leung 等人利用高阻多晶硅电阻以及扩散电阻的不同温度特性，设计了一种高阶温度曲率补偿 BGR[10]。在此基础上，学者通过在高于或低于设定参考温度的温度范围内向 BGR 输出端增加或抽取非线性电流，提出了 BGR 分段曲率温度补偿技术[11-12]。针对 BGR 采用电阻的问题，学者采用无电阻技术，提出了无电阻带隙基准技术[13-15]。这些采用了温度补偿技术的 BGR 虽然获得了低温漂特性，但在宽的频率范围内无法获得高电源抑制比（Power Supply Rejection Ratio，PSRR）特性。另外，BGR 作为片上系统（System on Chip，SoC）的偏置电压产生电路，与数字电路、开关电容电路以及射频电路等易引起电源波动的电路集成在同一芯片上，因此 BGR 的输出电压易遭受电源噪声影响。电源噪声又是 BGR 的重要噪声源之一，因此 SoC 需要高 PSRR 的 BGR。学者对提高 BGR 的 PSRR 的技术进行了研究[16-19]，如前调整器技术[16]、共源共栅技术[17]、低漏失电压差线性调整器技术[18-19]等。近年来，便携式设备的发展对 BGR 提出了低温漂及高 PSRR 等需求，因此，需对 BGR 进行进一步优化研究。本文采用曲率补偿技术、温度分段补偿技术以及 PSRR 提升技术，设计了一种高 PSRR 高阶温度补偿的 BGR。

1 传统 BGR

图 1 所示为传统 BGR，主要由 MOS 管 $M_1\sim M_5$、电阻 $R_1\sim R_3$、双极型三极管 $Q_1\sim Q_2$ 及误差放大器 $A_1\sim A_2$ 构成。其中，误差放大器 A_1 与 A_2 为同一种放大器，且低频增益 $A_d\gg 1$。MOS 管 M_1 与 M_2 具有相同的沟道宽长比，三极管 Q_2 发射极面积是三极管 Q_1 的 m 倍。MOS 管 M_2 的漏极电流 I_2 则为 $|I_2|=(kT\ln m)/(qr_1)$，其中 r_1 为电阻 R_1 的阻值。同理，MOS 管 M_3 的漏极电流 I_3 为 $|I_3|=V_{EB1}/r_2$，其中 V_{EB1} 为双极型三极管 Q_1 的发射极-基极电压，r_2 为电阻 R_2 的阻值。MOS 管 M_1 与 M_5 具有相同的沟道宽长比。因而，图 1 所示 BGR 的输出参考电压 V_{REF} 为：

$$V_{REF}=r_3\left(\frac{kT}{qr_1}\ln m+\frac{V_{EB1}}{r_2}\right) \tag{1}$$

式中，r_3 为电阻 R_3 的阻值。电阻 $R_1\sim R_3$ 采用相同的材料。因此，通过优化参数 m 以及电阻 $R_1\sim R_3$ 的阻值能获得 1 阶 BGR 参考电压。V_{EB1} 具有温度高阶非线性且可表示为[12]：

$$V_{EB1}(T)=V_{G0}(T_r)-[V_{G0}(T_r)-V_{EB1}(T_r)]\frac{T}{T_r}-(\eta-\alpha_0)V_T\ln\left(\frac{T}{T_r}\right) \tag{2}$$

式中，T_r 是参考温度，$V_{G0}(T_r)$ 是参考温度 T_r 处硅的能带电压，$V_{EB1}(T_r)$ 是参考温度 T_r 处双极型三极管 Q_1 的发射极-基极电压；$\eta=4-\zeta$，ζ 是与载流子温度特性相关的参数；若双极型三极管 Q_1 的发射极电流与温度无关，则 $\alpha_0=0$；若双极型三极管 Q_1 的发射极电流与温度 T 成正比，则 $\alpha_0=1$。综上分析，图 1 所示电路产生的 BGR 电压 V_{REF} 具有较高的温漂特性。针对此问题，本文采用温度曲率补偿技术、温度分段补偿技术以及 PSRR 提升技术，设计了一种高 PSRR 高阶温度补偿的 BGR。

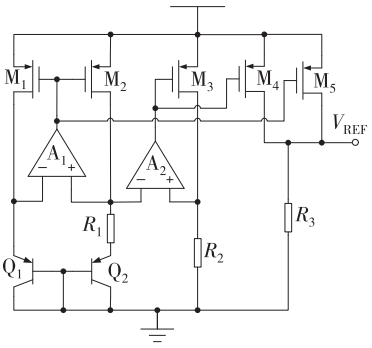
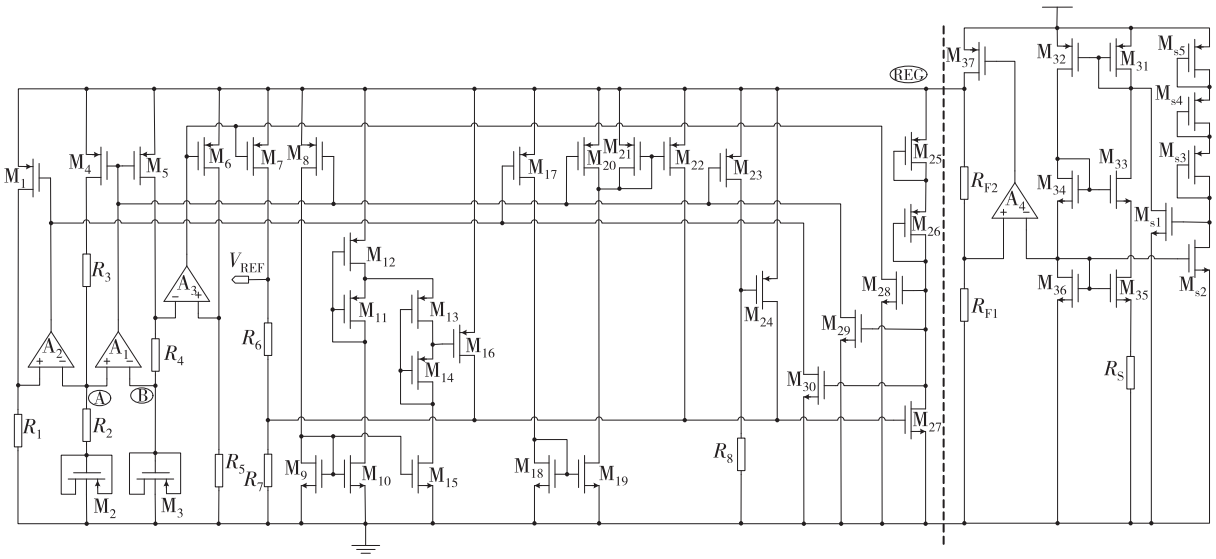


图 1 传统 BGR

2 高 PSRR 高阶温度补偿 BGR 的设计与分析

针对传统 BGR 存在的输出电压具有较高温漂、低 PSRR 等问题，本文采用温度曲率补偿技术、温度分段补偿技术以及 PSRR 提升技术，设计了一种高 PSRR 高阶温度补偿 BGR，如图 2 所示。



(a) BGR 核心电路　　(b) PSRR 提升电路

图 2　高 PSRR 高阶温度补偿 BGR.

本文设计的高 PSRR 高阶温度补偿 BGR 主要由 BGR 核心电路和 PSRR 提升电路组成，其中 BGR 核心电路采用温度曲率补偿技术和温度分段补偿技术来获得低温漂特性，PSRR 提升电路为 BGR 核心电路提供工作电源电压 V_{REG} 来取代外部电源电压 V_{DD}，从而提高 BGR 的 PSRR 特性。BGR 核心电路以及 PSRR 提升电路均具有两个平衡点，因而需要启动电路。其中，MOS 管 M_{25}～M_{30} 为 BGR 核心电路的启动电路，MOS 管 M_{s1}～M_{s5} 为 PSRR 提升电路的启动电路。误差放大器 A_1～A_4 采用同一种放大器，电路如图 3 所示，主要由 MOS 管 M_{a1}～M_{a7}、电阻 R_{a1} 以及电容 C_{a1} 组成。本文采用的误差放大器为传统的两级放大器。图 4 所示为误差放大器的交流仿真曲线。仿真结果显示，误差放大器获得了 89.5 dB 的低频增益、4.8 MHz 的增益带宽积以及 60° 的相位裕度，适合 BGR 电路。

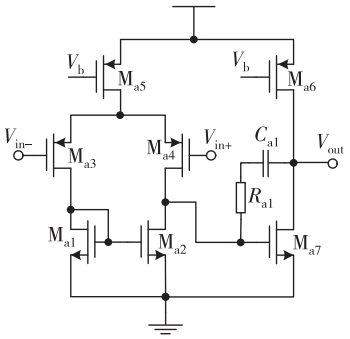


图 3　误差放大器电路图

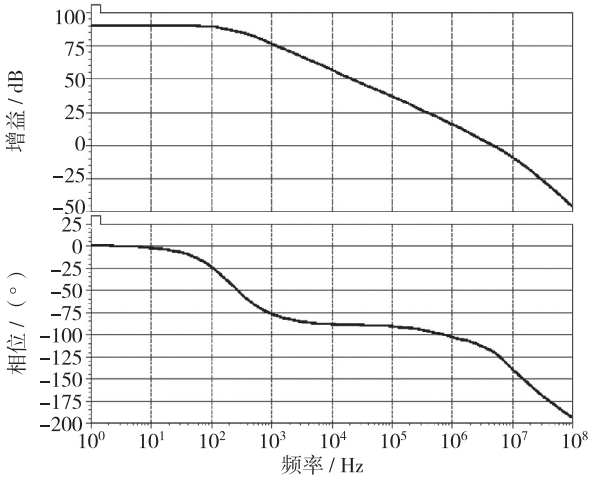


图 4　误差放大器的交流仿真曲线

2.1　BGR 核心电路

图 2(a)所示为 BGR 核心电路，主要由 MOS 管 M_1～M_{30}、电阻 R_1～R_8 以及误差放大器 A_1～A_3 等组成。其中，MOS 管 M_1～M_7、电阻 R_1～R_8 以及误差放大器 A_1～A_3 构成 BGR 核心电路的 1 阶 BGR。MOS 管 M_2 的栅极、源极以及漏极短接构成二极管，MOS 管 M_3 的栅极、源极以及漏极短接也构成二极管，且 MOS 管 M_2 的沟道宽长比是 MOS 管 M_3 的 N 倍。MOS 管 M_4 与 M_5 具有相同的沟道宽长比，因此 MOS 管 M_4 的漏极电流 I_4 为 $|I_4| = (kT\ln N)/(qr_2)$，其中 r_2 为电阻 R_2 的阻值。MOS 管 M_6 与 M_7 具有相同的沟道宽长比，因而 MOS 管 M_7 的漏极电流在电阻 R_6 与 R_7 上产生的压降 V_{REF1} 为：

$$V_{\mathrm{REF}\,1}=\frac{r_6+r_7}{r_5}\left(\frac{r_4}{r_2}\frac{kT}{q}\ln N+V_{\mathrm{DB}\,3}\right) \tag{3}$$

式中，V_{DB3}为 MOS 管 M_3 的漏-衬底电压，具有负温度特性；$r_4\sim r_7$ 分别为电阻 $R_4\sim R_7$ 的阻值。电阻 $R_1\sim R_8$ 采用同一种材料。通过优化参数 N 以及电阻 $R_2\sim R_7$ 的阻值，能获得 1 阶带隙基准电压 V_{REF1}。同理，MOS 管 M_1 的漏极电流 I_1 为 $|I_1|=V_{\mathrm{DB3}}/r_1$，其中 r_1 为电阻 R_1 的阻值。

MOS 管 $M_8\sim M_{16}$ 构成 BGR 核心电路的高温区温度曲率补偿电路，其中 MOS 管 $M_{11}\sim M_{14}$ 工作在亚阈值区。当 PMOS 管的漏-源电压 $|V_{\mathrm{DS}}|>200$ mV 时，工作在亚阈值区 PMOS 管的漏极电流 I_{D} 为[20]：

$$|I_{\mathrm{D}}|=\frac{\mu_{\mathrm{p}}C_{\mathrm{ox}}}{m}\frac{W}{L}\left(\frac{nkT}{q}\right)^2 \mathrm{e}^{\left[\frac{q}{nkT}\left(|V_{\mathrm{GS}}|-|V_{\mathrm{THp}}|-\frac{nkT}{q}\right)\right]} \tag{4}$$

式中，μ_{p} 为空穴迁移率，C_{ox}为单位面积栅氧化层电容，m 为工艺参数，W/L 为 PMOS 管的沟道宽长比，n 为斜坡因子，V_{GS} 为栅-源电压，V_{THp} 为 PMOS 管阈值电压。因而，工作在亚阈值区 PMOS 管的栅-源电压 V_{GS}为：

$$|V_{\mathrm{GS}}|=|V_{\mathrm{THp}}|+\frac{nkT}{q}\left[1+\ln\frac{m|I_{\mathrm{D}}|}{\mu_{\mathrm{p}}C_{\mathrm{ox}}\left(\frac{W}{L}\right)\left(\frac{nkT}{q}\right)^2}\right] \tag{5}$$

MOS 管 M_8 与 MOS 管 M_4 具有相同的沟道宽长比，MOS 管 M_{10} 与 M_{15} 具有相同的沟道宽长比，MOS 管 M_{10} 的沟道宽长比是 MOS 管 M_9 的 β_1 倍。MOS 管 M_{11} 的沟道宽长比是 MOS 管 M_{12} 的 β_2 倍，则 MOS 管 M_{12} 的源-漏电压 V_{SD12} 为 $V_{\mathrm{SD12}}=(nkT/q)\ln(2\beta_2)$。MOS 管 M_{14} 的沟道宽长比是 MOS 管 M_{13} 的 α_1 倍，则 MOS 管 M_{13} 的源-漏电压 V_{SD13} 为 $V_{\mathrm{SD13}}=(nkT/q)\ln\alpha_2$。MOS 管 M_{16} 的源-漏电压 V_{SG16} 为 $V_{\mathrm{SG16}}=V_{\mathrm{SD13}}+V_{\mathrm{SD12}}$。因而，MOS 管 M_{16} 的漏极电流在电阻 R_7 上产生的压降 V_{NL1} 为：

$$V_{\mathrm{NL}\,1}=\frac{r_7\mu_{\mathrm{p}}C_{\mathrm{ox}}}{m}\left(\frac{nkT}{q}\right)^2\left(\frac{W}{L}\right)_{16}\mathrm{e}^{\left[\ln(2\beta_2\alpha_1)-\frac{q}{nkT}|V_{\mathrm{THp}}|-1\right]} \tag{6}$$

式中，$(W/L)_{16}$是 MOS 管 M_{16} 的沟道宽长比。PMOS 管的阈值电压 V_{THp} 具有温度特性，可表示为[21]：

$$|V_{\mathrm{THp}}(T)|=|V_{\mathrm{THp}}(T_{\mathrm{a}})|-\beta_{\mathrm{TP}}(T-T_{\mathrm{a}}) \tag{7}$$

式中，T_{a} 为参考温度，β_{TP}为 PMOS 管阈值电压的温度系数，且 $\beta_{\mathrm{TP}}>0$；$V_{\mathrm{THp}}(T_{\mathrm{a}})$为参考温度 T_{a} 时的阈值电压。由式(6)与式(7)可知，通过优化参数 β_2 与 α_1，当温度 T 小于参考温度 T_{r1}时，V_{NL}大小可忽略，其中参考温度 T_{r1}远大于室温 T_0；当温度 T 大于参考温度 T_{r1}时，电压 V_{NL1}随温度 T 增加而增加。

MOS 管 $M_{17}\sim M_{22}$ 构成 BGR 核心电路的低温区温度分段补偿电路。MOS 管 M_{17} 的沟道宽长比是 MOS 管 M_1 的 β_3 倍，MOS 管 M_{20} 的沟道宽长比是 MOS 管 M_4 的 β_4 倍，MOS 管 M_{22} 的沟道宽长比是 MOS 管 M_{21} 的 β_5 倍，MOS 管 M_{18} 与 M_{19} 具有相同的沟道宽长比。通过优化参数 $\beta_3\sim\beta_5$，MOS 管 M_{22} 的漏极电流在电阻 R_7 上产生压降 V_{NL2}：

$$V_{\mathrm{NL2}}=\begin{cases}r_7\beta_5\left(\beta_3\frac{V_{\mathrm{DB}\,3}}{r_1}-\beta_4\frac{kT\ln N}{qr_2}\right), & T<T_{r2}\\ 0, & T\geqslant T_{r2}\end{cases} \tag{8}$$

式中，T_{r2}为参考温度且 $T_{\mathrm{r2}}<T_0$。

MOS 管 $M_{23}\sim M_{24}$ 以及电阻 R_8 构成 BGR 核心电路的低温区温度曲率补偿电路。MOS 管 M_{23} 的沟道宽长比为 MOS 管 M_4 的 β_6 倍。通过优化相关参数，MOS 管 M_{24} 的漏极电流在电阻 R_7 上产生的压降 V_{NL3} 为：

$$V_{\mathrm{NL3}}=\begin{cases}\frac{r_7\mu_{\mathrm{p}}C_{\mathrm{ox}}}{2}\left(\frac{W}{L}\right)_{24}\left[V_{\mathrm{DD}}-\frac{(\beta_6 r_8 k\ln N)-\beta_{\mathrm{TP}}}{qr_2}T-|V_{\mathrm{THp}}(T_a)|-\beta_{\mathrm{TP}}T_{\mathrm{a}}\right]^2, & T<T_{\mathrm{r3}}\\ 0, & T\geqslant T_{\mathrm{r3}}\end{cases} \tag{9}$$

式中，$(W/L)_{24}$是 MOS 管 M_{24} 的沟道宽长比，V_{DD}是电源电压，r_8 是电阻 R_8 的阻值，T_{r3}是参考温度且 $T_{\mathrm{r3}}<T_{\mathrm{r2}}$。通过优化参数，有 $\beta_6 r_8 k\ln N>\beta_{\mathrm{TP}}$。从而在 $T<T_{\mathrm{r3}}$温度区域内，随着温度 T 增加，V_{NL3}减少。

根据式(3)～式(9)，本文 BGR 的输出电压 V_{REF}为：

$$V_{\mathrm{REF}}=V_{\mathrm{REF}\,1}+V_{\mathrm{NL}\,1}+V_{\mathrm{NL}\,2}+V_{\mathrm{NL}\,3} \tag{10}$$

式(10)说明，参考电压 V_{REF} 可分为两个因子：第一个因子为 V_{REF1}，是 1 阶带隙基准电压；第二个因子为($V_{\mathrm{NL1}}+V_{\mathrm{NL2}}+V_{\mathrm{NL3}}$)，将随温度变化而变化，本文 BGR 的温度特性如图 5 所示。当 $T<T_{\mathrm{r3}}$时，因子 V_{NL1}的大小可忽略，V_{REF}主要由 V_{REF1}、V_{NL2}及 V_{NL3}决定。当 $T_{\mathrm{r3}}<T<T_{\mathrm{r2}}$时，因子 V_{NL3}与 V_{NL1}的大小可忽略，V_{REF}主要由 V_{REF1}及 V_{NL2}决定。当 $T_{\mathrm{r2}}<T<T_{\mathrm{r1}}$时，因子 V_{NL3}、V_{NL2}及 V_{NL1}的大小可忽略，V_{REF}主要由 V_{REF1}决定。当 $T>T_{\mathrm{r1}}$时，因子 V_{NL3}及 V_{NL2}的大小可忽略，V_{REF}主要由 V_{REF1}及 V_{NL1}决定。综上所述，在传统 1 阶带隙基准电路基础上增加高

温区温度曲率补偿电路、低温区温度分段补偿电路以及低温区温度曲率补偿电路等，可使本文设计的 BGR 电路获得低温漂特性。

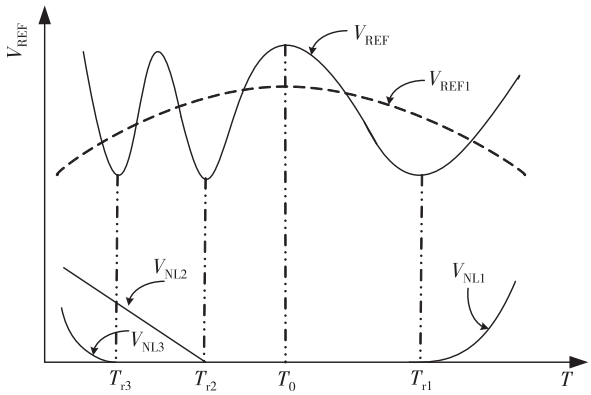


图 5　BGR 的温度特性

2.2　PSRR 提升电路及 PSRR 分析

图 2(b)所示为 PSRR 提升电路，主要由 MOS 管 M_{31}～M_{37}、MOS 管 M_{s1}～M_{s5}、电阻 R_s、电阻 R_{F1}～R_{F2} 以及误差放大器 A4 构成。其中，MOS 管 M_{s1}～M_{s5} 为 PSRR 提升电路的启动电路，MOS 管 M_{31} 与 M_{32} 完全相同，MOS 管 M_{33} 与 M_{34} 完全相同，MOS 管 M_{35} 的沟道宽长比为 MOS 管 M_{36} 的 α_2 倍。PSRR 提升电路为 BGR 核心电路提供工作电源 V_{REG}，以取代外部电源电压 V_{DD}，进而提高 BGR 的 PSRR。此处仅讨论高 PSRR 高阶温度补偿 BGR 的 PSRR。

图 2 所示电路中 MOS 管 M_1～M_{30} 均采用长沟道器件，因此工作在饱和区的 MOS 管沟道调制效应可被忽略。假设 MOS 管 M_j $(j=1,2,3,\cdots,37)$ 的等效跨导以及小信号电流分别为 g_{mj} 以及 i_j。同时，假设电源电压 V_{DD} 处有一波动电压 v_{dd}，节点 REG 处有一波动电压 v_{reg}。误差放大器 A_1～A_4 采用同一种放大器，其低频增益 $A_d \gg 1$，则有：

$$i_1 = g_{m1}\frac{1+A_d g_{m4}(r_a-r_b)+A_d g_{m4} r_a}{[1+A_d g_{m4}(r_a-r_b)](1+A_d g_{m1} r_1)} v_{reg} \tag{11}$$

$$i_4 = i_5 = \frac{g_{m4}}{1+A_d g_{m4}(r_a-r_b)} v_{reg} \tag{12}$$

$$i_6 = g_{m6}\frac{1+A_d g_{m4}(r_4+r_a)}{[1+A_d g_{m4}(r_a-r_b)](1+A_d g_{m6} r_5)} v_{reg} \tag{13}$$

式中，r_a、r_b 分别为节点 A、节点 B 到地线的等效小信号阻抗，r_1、r_4、r_5 分别为电阻 R_1、R_4、R_5 的阻值。假设 $A_d g_{m4}(r_a-r_b) \gg 1$、$A_d g_{m6} r_5 \gg 1$、$A_d g_{m1} r_1 \gg 1$、$A_d g_{m4}(r_a-r_b) \gg g_{m23} r_8$、$(g_{m10}/g_{m9}) \times (2r_{ds12}+r_{ds13}) \gg (g_{m20}/g_{m4})(g_{m22}/g_{m21})$，其中 r_{ds12}、r_{ds13} 分别为工作在亚阈值区 MOS 管 M12、M13 的源-漏极阻抗，r_8 为电阻 R_8 的阻值。节点 REG 处的波动电压 v_{reg} 与电源波动电压 v_{dd} 的关系为：

$$\frac{v_{ref}}{v_{reg}} \approx \frac{(r_4+r_a)(r_6+r_7)}{A_d(r_a-r_b)r_5} + \frac{(2r_a-r_b)\dfrac{g_{m22}}{g_{m21}}\dfrac{g_{m17}}{g_{m1}} r_7}{A_d(r_a-r_b)r_1} + \frac{g_{m8} g_{m16}(2r_{ds12}+r_{ds13})\dfrac{g_{m10}}{g_{m9}} r_7}{A_d g_{m4}(r_a-r_b)} + g_{m24} r_7 \tag{14}$$

式中，r_6、r_7 分别为电阻 R_6、R_7 的阻值。MOS 管 M_{37} 的漏极小信号电流 i_{37} 为：

$$i_{37} = g_{m37} v_{reg} - g_{m37} A_d \times \left[\frac{v_{reg} r_{F1}}{r_{F1}+r_{F2}} - \frac{v_{dd}}{g_{m36}\left(g_{m33} g_{m35} r_{o33} r_{o35} r_s + \dfrac{1}{g_{m31}}\right)}\right] \tag{15}$$

式中，r_{F1}、r_{F2} 以及 r_s 分别为电阻 R_{F1}、R_{F2} 以及 R_S 的阻值。MOS 管 M_8 与 MOS 管 M_4 具有相同的沟道宽长比，MOS 管 M_{10} 与 M_{15} 具有相同的沟道宽长比，MOS 管 M_{10} 的沟道宽长比是 MOS 管 M_9 的 β_1 倍，MOS 管 M_{11}～M_{14} 均工作在亚阈值区。MOS 管 M_{12} 的漏极小信号电流 i_{12} 以及 MOS 管 M_{16} 的漏极小信号电流 i_{16} 分别为：

$$i_{12} = 2\frac{g_{m10}}{g_{m9}}\frac{g_{m8}}{1+A_d g_{m4}(r_a-r_b)} v_{reg} \tag{16}$$

$$i_{16} = \frac{g_{m10}}{g_{m9}}\frac{g_{m8} g_{m16}(2r_{ds12}+r_{ds13})}{1+A_d g_{m4}(r_a-r_b)} v_{reg} \tag{17}$$

MOS 管 M_{23} 的沟道宽长比是 MOS 管 M_4 的 β_6 倍，则 MOS 管 M_{24} 的漏极小信号电流 i_{24} 为：

$$i_{24} = g_{m24}\left[1-\frac{g_{m23} r_8}{1+A_d g_{m4}(r_a-r_b)}\right] v_{reg} \tag{18}$$

式中，r_8 为电阻 R_8 的阻值。同理，MOS 管 M_7、M_8、M_{17}、M_{20}～M_{23} 的漏极小信号电流分别为 $i_7=(g_{m7} i_6)/g_{m6}$、$i_8=(g_{m8} i_4)/g_{m4}$、$i_{17}=(g_{m17} i_1)/g_{m1}$、$i_{20}=(g_{m20} i_4)/g_{m4}$、$i_{21}=i_{17}-i_{20}$、$i_{22}=(g_{m22} i_{21})/g_{m21}$。在节点 REG 处，根据基尔霍夫电流定律，有：

$$\frac{v_{reg}}{v_{dd}} \approx \frac{1+\dfrac{g_{m37} A_d r_{o37}}{g_{m36} g_{m33} g_{m35} r_{o33} r_{o35} r_s}}{1+\dfrac{A_d g_{m37} r_{o37} r_{F1}}{r_{F1}+r_{F2}}} \tag{19}$$

式中，r_{o33}、r_{o35}、r_{o37} 分别为 MOS 管 M_{33}、M_{35} 以及 M_{37} 的沟道小信号阻抗。本文 BGR 的 PSRR 可表示为：

$$PSRR_{dB} \approx 20\lg\left|\frac{v_{ref}}{v_{dd}}\right| = 20\lg\left|\frac{v_{ref}}{v_{reg}}\right| + 20\lg\left|\frac{v_{reg}}{v_{dd}}\right| \tag{20}$$

由式(14)、式(19)及式(20)可知，采用 PSRR 提升电路可有效提高 BGR 的 PSRR。

3 仿真结果

为验证本文设计的高 PSRR 高阶温度补偿 BGR 的性能特性，在 1.8 V 电源电压条件下，采用 SMIC 0.18 μm CMOS 混合工艺对所设计 BGR 进行了仿真验证。

图 6 所示为本文高 PSRR 高阶温度补偿 BGR 输出电压 V_{REF} 的温度特性仿真曲线。仿真结果显示，当温度在 −40 ℃～125 ℃内变化时，高 PSRR 高阶温度补偿 BGR 的温度系数为 1.85×10^{-6}/℃。图 7 所示为 BGR 核心电路以及高 PSRR 高阶温度补偿 BGR 的 PSRR 仿真曲线。仿真结果显示，高 PSRR 高阶温度补偿 BGR 在1 Hz、10 Hz、100 Hz、1k Hz 及 10k Hz 频率处分别获得了 −88.08 dB、−88.08 dB、−88 dB、−83.6 dB 及 −65.8 dB 的 PSRR，而 BGR 核心电路在 1 Hz、10 Hz、100 Hz、1k Hz 及 10k Hz 频率处分别获得了 −37.3 dB、−37.3 dB、−37.3 dB、−37.2 dB 及 −33.6 dB 的 PSRR。仿真结果表明，采用了 PSRR 提升技术的高 PSRR 高阶温度补偿的 BGR 在1 Hz 处 PSRR 提升了 50.78 dB。图 8 所示为本文高 PSRR 高阶温度补偿 BGR 的输出电压 V_{REF} 与电源电压 V_{DD} 的关系仿真曲线。仿真结果显示，当电源电压 V_{DD} 从 1.6 V 到 3 V 变化时，输出电压 V_{REF} 的变化仅为 56.9 μV，具有较好的线性度特性。表 1 给出了本文所设计的高 PSRR 高阶温度补偿 BGR 与其他文献的参数对比。

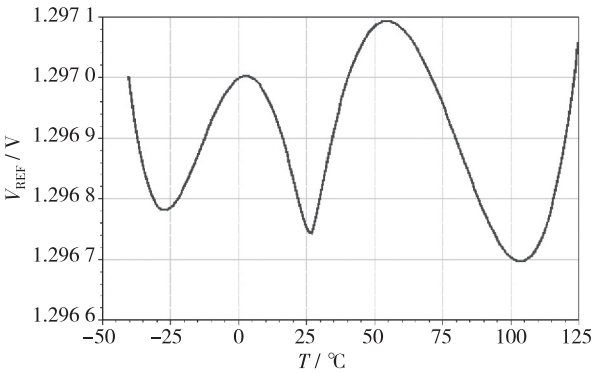


图 6 本文 BGR 的温度特性仿真曲线

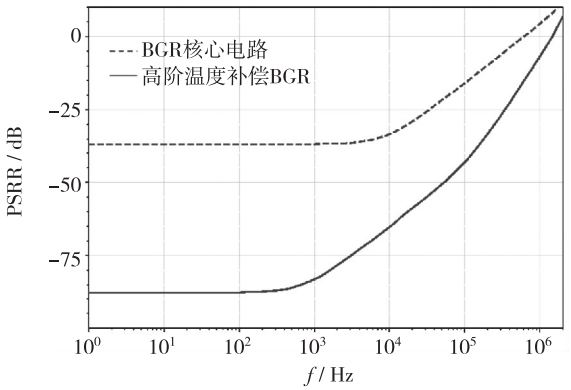


图 7 BGR 的 PSRR 仿真曲线

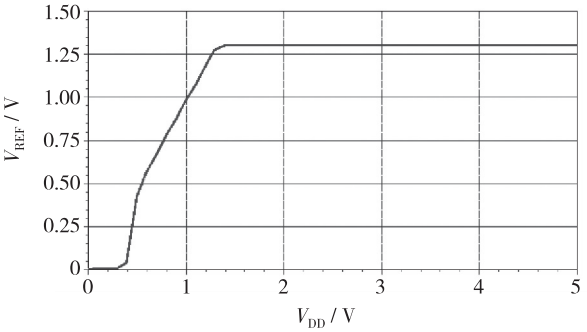


图 8 本文 BGR 输出电压与电源电压关系仿真曲线

表 1 本文 BGR 与其他文献的参数对比

参数	文献[6]	文献[7]	文献[8]	本文
工艺/nm	180	28	180	180
电源电压/V	1.2	1.05	1～3	1.8
输出电压/V	0.767	0.69	0.634 7	1.296 8
温漂系数/(×10⁻⁶℃)	4.5	5.48	3.1	1.85
PSRR/dB @1 Hz	−84	−56	-	−88.08
PSRR/dB @100 Hz	−84	−56	-	−88
PSRR/dB @1 kHz	−77.5	−56	-	−83.6

4 结论

本文基于 SMIC 0.18 μm CMOS 混合工艺设计了一种高 PSRR 高阶温度补偿 BGR。通过在传统 1 阶带隙基准电路基础上增加高温区温度曲率补偿电路、低温区温度分段补偿电路、低温区温度曲率补偿电路以及 PSRR 提升电路等，本文设计的高

PSRR 高阶温度补偿 BGR 获得了低温漂以及高 PSRR 等特性，适用于高精度电路。

参 考 文 献：

[1] SHIH Y C, OTIS B P. An inductorless DC-DC converter for energy harvesting with a 1.2-μW bandgap-referenced output controller [J]. IEEE Trans Circ & Syst II: Express Briefs, 2011, 58(12): 832-836.

[2] OSAKI Y J, HIROSE T, KUROKI N, et al. 1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs [J]. IEEE J Sol Sta Circ, 2013, 48(6): 1530-1538.

[3] ZHANG H L, XIAO Z B, TAN X, et al. Low-power sub-1-V compact bandgap reference for passive RFID tags [J]. Elect Lett, 2015, 51(11): 815-816.

[4] WIDLAR R J. New developments in IC voltage regulators [J]. IEEE J Sol Sta Circ, 1971, 6(1): 2-7.

[5] BROLAW A P. A simple three-terminal IC bandgap reference [J]. IEEE J Sol Sta Circ, 1974, 9(6): 388-393.

[6] MA B, YU F Q. A novel 1.2-V 4.5 ppm/℃ curvature- compensated CMOS bandgap reference [J]. IEEE Trans Circ & Syst I: Regu Pap, 2014, 62(4): 1026-1035.

[7] LU H R, SUN Q, ZHANG R Z, et al. A 1-V 3.1-ppm/°C 0.8-μW bandgap reference with piecewise exponential curvature compensation [C] // A-SSCC. Taiwan, China. 2018: 97-98.

[8] YAN Z K, ZHANG C M, WANG M H. Low-voltage bandgap reference circuit in 28 nm CMOS [C] // APCCAS. Chengdu, China. 2018: 14-17.

[9] RINCON-MORA G, ALLEN P W. A 1.1-V current mode and piecewise-linear curvature-corrected bandgap reference [J]. IEEE J Sol Sta Circ, 1998, 33(10): 1551-1554.

[10] LEUNG K N, MOK P K T, LEUNG C Y. A 2-V 23-μA 5.3-ppm/℃ curvature-compensated CMOS bandgap voltage reference [J]. IEEE J Sol Sta Circ, 2003, 38(3): 561-564.

[11] ANDREOU C M, KOUDOUNAS S, GEORGIOU J. A novel wide-temperature-range, 3.9 ppm/℃ CMOS bandgap reference circuit [J]. IEEE J Sol Sta Circ, 2012, 47(2): 574-581.

[12] ZHOU Z K, SHI Y, HUANG Z, et al. A 1.6-V 25-μA 5-ppm/℃ curvature-compensated bandgap reference [J]. IEEE Trans Circ & Syst I: Regu Pap, 2012, 59(4): 677-684.

[13] BUCK A E, MCDONALD C L, LEWIS S H, et al. A CMOS bandgap reference without resistors [J]. IEEE J Sol Sta Circ, 2002, 37(1): 81-83.

[14] MING X, HU L, XIN Y L, et al. A high-precision resistor-less CMOS compensated bandgap reference based on successive voltage-step compensation [J]. IEEE Trans Circ & Syst I: Regu Pap, 2018, 65(12): 4086-4095.

[15] ZHOU Z K, SHI Y, WANG Y, et al. A resistor-less high-precision compensated CMOS bandgap voltage reference [J]. IEEE Trans Circ & Syst I: Regu Pap, 2019, 66(1): 428-437.

[16] THAM K M, NAGARAJ K. A low supply voltage high PSRR voltage reference in CMOS process [J]. IEEE J Sol Sta Circ, 1995, 30(5): 586-590.

[17] DEY A, BHATTACHARYYA T K. A CMOS bandgap reference with high PSRR and improved temperature stability for system-on-chip applications [C] // EDSSC. Tianjin, China. 2011: 1-2.

[18] LIAO L, LOHAUS L, ATAC A, et al. A low power bandgap voltage reference circuit with PSRR enhancement [C] // PRIME. Piscataway, NJ, USA. 2012: 213-216.

[19] LEE M C, CHANG S Z. Implementation of a high PSRR low power CMOS bandgap voltage reference circuit [C] // PIERS. Toyama, Japan. 2018: 2121-2128.

[20] SWANSON R M, MEINDL J D. Ion-implanted complementary MOS transistors in low-voltage circuits [J]. IEEE J Sol Sta Circ, 1972, 7(2): 146-153.

[21] PSIVIDIS Y P. Operation and modeling of the MOS transistor [M]. New York: McGraw-Hill, 1987.

一种基于 BiFET 工艺的高输入阻抗运算放大器

于晓权，范国亮
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 针对 CMOS 运算放大器存在输入失调电压高、噪声性能差等问题，提出了一种基于双极结型场效应晶体管（BiFET）工艺的高输入阻抗运算放大器。采用 P 沟道 JFET 差分对作为输入级，实现了 pA 量级的极低输入偏置电流/失调电流和 nV/$\sqrt{\text{Hz}}$ 量级的极低输入噪声电压谱密度。采用双极晶体管构成的共集-共射增益级和互补推挽输出级，实现了 100 dB 的开环增益、10 V/μs 的输出电压转换速率和 10 MHz 的带宽。该运算放大器适用于微弱模拟信号的采集和放大。

关键词： 运算放大器；BiFET 工艺；高输入阻抗；输入偏置电流/失调电流；输入电压噪声谱密度

中图分类号：TN722.7+7　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0784-05

DOI：10.13911/j.cnki.1004-3365.200492

A High Input Impedance Operational Amplifier Based on BiFET Process

YU Xiaoquan, FAN Guoliang
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: In order to solve the problem of high input voltage offset and poor noise performance of CMOS operational amplifiers, a high input impedance operational amplifier based on bipolar junction field effect transistor (BiFET) process was proposed. Using P channel JFET differential pair as input stage, extremely low input bias current/offset current at pA level and extremely low input noise voltage spectrum density at nV/$\sqrt{\text{Hz}}$ level were realized. The common-collector common-emitter gain stage and complementary push-pull output stage composed of bipolar transistors were used to realize the open-loop gain of 100 dB, the output voltage conversion rate of 10 V/s and the bandwidth of 10 MHz. The operational amplifier was suitable for weak analog signal acquisition and amplification system.

Key words: operational amplifier; BiFET process; high input impedance; input bias current/offset current; input noise voltage spectral density

0　引　言

在电子信息系统中可能存在各种微弱的模拟信号，如音频信号、光电流信号、传感器信号等。这些微弱信号的检测和放大需采用具有高输入阻抗、低输入偏置电流/失调电流和低输入噪声的运算放大器，以实现系统的良好性能。

实现高输入阻抗的运算放大器有三类途径。一是 CMOS 运算放大器。采用 MOS 管作为输入级，能实现高的栅极阻抗，从而实现 pA 量级的极低输入偏置电流/失调电流，但其输入失调电压、噪声、速度等性能均较差，该电路可在指标要求不高的 LSI 中用作 IP 单元。二是改进型双极运算放大器。采用达林顿复合晶体管或超 β 晶体管作为输入级，能实现 nA 量级的低输入偏置电流/失调电流，该类电路噪声低、速度高，但其噪声性能不匹配 pA 量级的微弱信号。三是结型场效应晶体管（JFET）运算放

收稿日期：2020-08-18；**定稿日期：**2020-09-30

作者简介：于晓权（1981—），男（汉族），黑龙江人，硕士，高级工程师，从事模拟集成电路技术研究工作。

大器。采用 JFET 管作为输入级，能实现与 MOS 管等量级的栅极阻抗，从而实现 pA 量级的极低输入偏置电流/失调电流，该类电路兼具输入失调电压低、噪声低和速度高的特点[1-4]。

针对上述问题，本文提出了一种基于 BiFET 工艺的低噪声、高输入阻抗的运算放大器(OPA)。本文 OPA 采用 P 沟道 JFET(P-JFET)差分对作为差分输入级，同时实现了比双极 OPA 更高的输入阻抗和比 CMOS OPA 更低的输入噪声。

文章第 1 节分析了 OPA 的电路结构及设计，第 2 节仿真并分析了关键参数，第 3 节分析了版图设计，第 4 节给出了流片的实测结果，第 5 节给出结论。

1　电路结构与设计

本文 OPA 采用经典三级 OPA 结构，包括差分输入级、中间增益级和输出缓冲级，以及独立的偏置电路，整体电路图如图 1 所示。

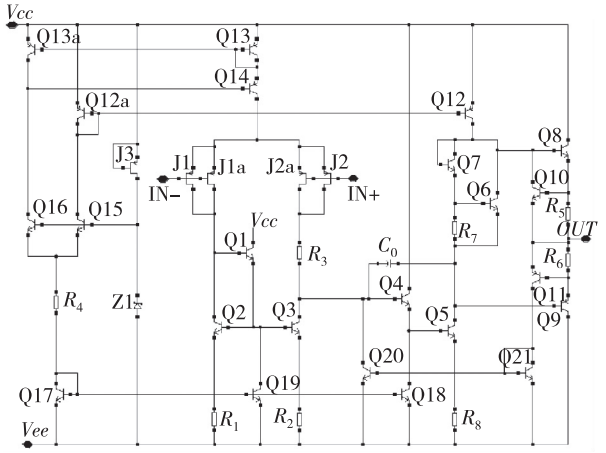


图 1　本文 OPA 的整体电路图

输入级实现了输入差分信号初步放大和差分信号转单端的功能。输入差分对采用两对 P-JFET，包括 J1、J1a 管和 J2、J2a 管，其栅极输入阻抗高达 $1\times10^{11}\sim1\times10^{12}\,\Omega$。输入 P-JFET 管为共源耦合放大结构，进一步提升了输入阻抗，确保了电路实现 pA 量级的极低输入偏置/失调电流，提高了对微弱信号的检测灵敏度。输入差分对采用 Q2、Q3 管组成的精密匹配电流镜作为有源负载，提高了输入级增益，降低了失调，同时将输入差分信号转换为单端信号。通过对 Q2、Q3 管的发射极电阻(R_1、R_2)进行修调，进一步校正了输入差分对的失调。输入级的跨导为：

$$g_m=\frac{\partial I_{OD}}{\partial V_{ID}}\Big|_{V_{ID}=0}=\sqrt{2kI_0}=g_{m1}=g_{m2} \tag{1}$$

式中，V_{ID}为输入差分电压，I_0为输入源耦合对的偏置恒流源，I_{OD}为输出电流，g_{m1}、g_{m2}为同相、反相输入管的跨导。

增益级进一步放大前级信号，确定了电路的开环增益。Q4、Q5 管组成共集-共射级联放大结构。Q4 管用作共集放大，并用作缓冲和阻抗变换，它不提供电压增益，在输入电阻大时，减小对前级的负载要求，在输出电阻小时，加强对后级的带载能力。Q5 管用作共射放大，实现了高的电压、电流增益。在增益级的输出到输入之间设置了反馈电容 C_0，提供内部频率补偿，减缓了增益随频率上升而下降的趋势，同时改善了电路的稳定性。通过调整 C_0 的值，实现速度与稳定性的折中设计。增益级的电压放大倍数为：

$$A_V=-\beta\times\frac{R_O}{R_I} \tag{2}$$

式中，负号表示输出反相，β 为 Q5 管的电流放大倍数，R_O为等效输出电阻，R_I为等效输入电阻。

输出级实现输出缓冲和驱动。采用典型互补推挽输出结构，输出管 Q8(NPN)和 Q9(PNP)均为射极跟随器，不提供电压增益，为输出负载提供较大的电流驱动能力。Q6、Q7 管和 R_7 在两个输出管的基极之间提供偏置，克服了交越失真。

输出管设置了过流保护电路，在正常工作时过流保护电路处于截止状态。当 Q8 管的拉出电流 I_{SOURCE}或 Q9 管的吸入电流 I_{SINK}过大时，采样电阻 R_5、R_6两端的压降增大，保护管 Q10 或 Q11、Q20、Q21 开启，注入输出管的基极电流被分流，输出电流即输出管的发射极电流减小，从而实现了保护功能。输出过流保护电压为：

$$I_O\times R_{SAMPLE}=V_{TH}\approx0.7\ V \tag{3}$$

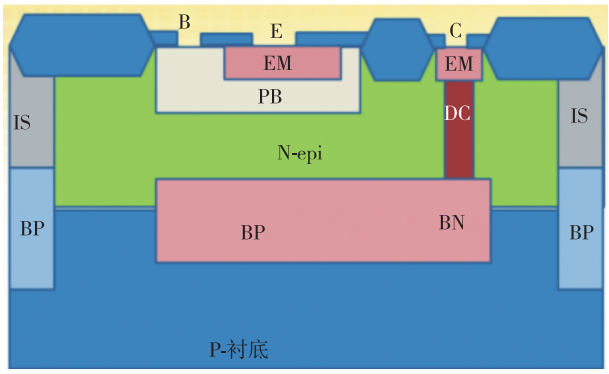
式中，I_O为输出管的发射极电流，R_{SAMPLE}为过流采样电阻，V_{TH}为保护管的开启门限即 BE 结正向压降。通过选择不同的电阻，设置过流保护电压。

偏置电路由 P-JFET 管 J3、齐纳二极管 Z1 和多个电流镜组成。JFET 的关断大电阻特性和齐纳管的稳压特性保证了 J3 管的漏极电流 I_{DSS}不随电源电压的变化而变化，基准电流稳定。镜像电流为各单元提供偏置，自身的功耗非常低。

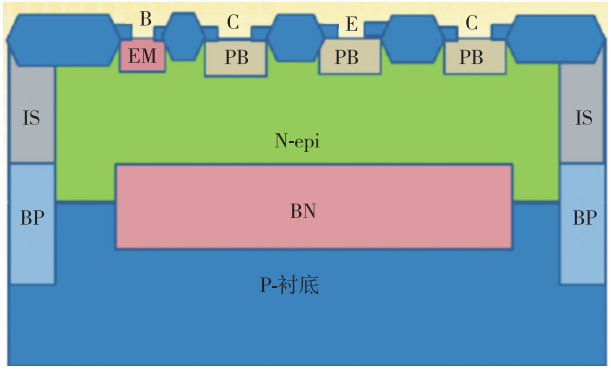
2　仿真与分析

本文 OPA 基于 40 V 线性双极 P-JFET 工艺设

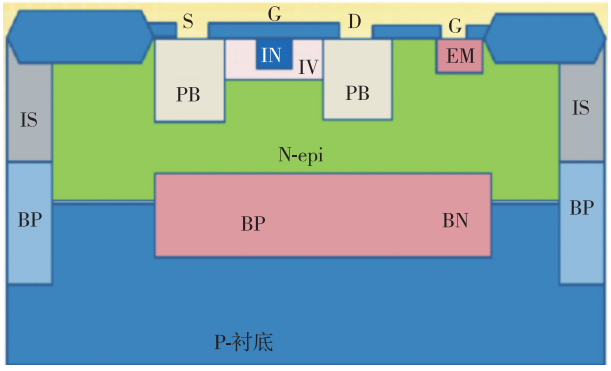
计。使用的有源器件包括 NPN 管、LPNP 管和 P-JFET，其剖面图如图 2 所示。使用的无源器件有多晶电阻、MOS 电容等。



（a）NPN 管



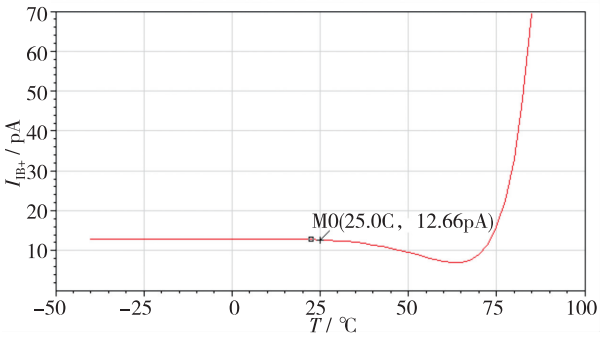
（b）LPNP 管



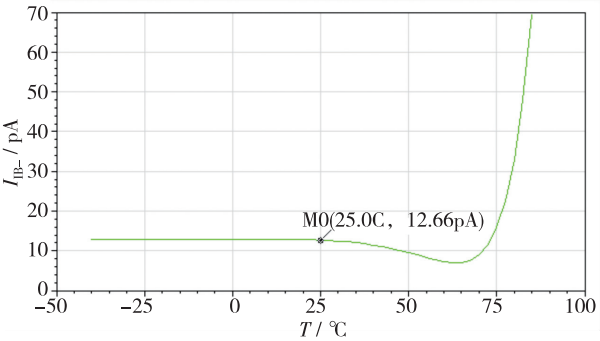
（c）P-JFET

图 2　使用的有源器件剖面图

在±15 V 电源电压下，对该 OPA 进行了各参数的仿真与分析。输入偏置电流的仿真曲线如图 3 所示。可以看出，在常温、低温条件下，输入偏置电流 I_{IB+}、I_{IB-} 在 12 pA 时的变化幅度不大。随着温度升高，在 75 ℃以上时，电流急剧上升，原因是，高温下 P-JFET 的漏电流迅速增大。调整 P-JFET 的插指数量、尺寸可改善输入偏置电流，但同时会对增益、噪声不利。通过折中设计，25 ℃时 I_{IB+}、I_{IB-} 为 12 pA。



（a）同相输入端



（b）反相输入端

图 3　输入偏置电流的仿真曲线

输入失调电流 I_{IO} 是输入差分对管的对称度的表征值，为：

$$I_{IO} = |I_{IB+} - I_{IB-}| \tag{4}$$

输入差分对管是完全对称的，理论上的仿真值 I_{IB+}、I_{IB-} 均相等，则 I_{IO} 为零。实际应用时，因版图失配、材料均匀性、工艺制造误差等因素，同相与反相输入端必然存在失调。

输入失调电压的仿真曲线如图 4 所示。可以看出，输入失调电压 V_{IO} 为 −63 μV，温度漂移值较小（10 μV 量级）。差分输入级的失调的理论值为零，但因增益级、输出级误差、输入级失调等因素，实际失调电压进一步增大。

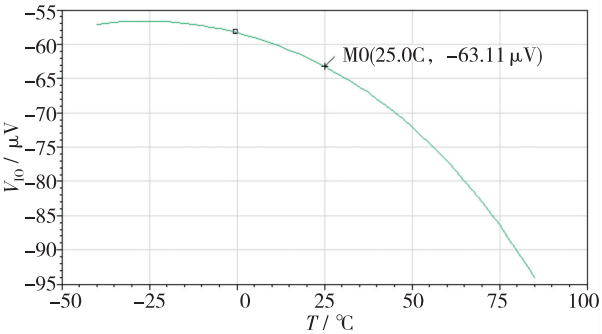


图 4　输入失调电压的仿真曲线

开环增益及相位裕度的仿真曲线如图 5 所示。

可以看出，开环增益 A_{VD} 为 105 dB。当 A_{VD} 下降至 0 dB时，对应的相位裕度为 −119°。

相位裕度 PM 为：

$$PM = Phase_{A_{VD}=0} - (-180°) \tag{5}$$

则 $PM = -119° + 180° = 61°$。最小相位裕度的理论值需为 45°以上，因此该 OPA 能稳定工作。

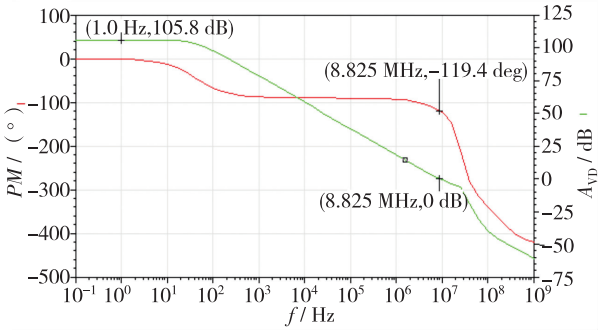


图 5　开环增益及相位裕度的仿真曲线

输入噪声电压谱密度的仿真曲线如图 6 所示。可以看出，由于输入管采用了 P-JFET，在 10 Hz～10 kHz 低频范围内，该 OPA 实现了低至 6.3 nV·$Hz^{-1/2}$ 的输入噪声电压谱密度 e_n。该参数指标优于 CMOS OPA，与双极 OPA 相当。

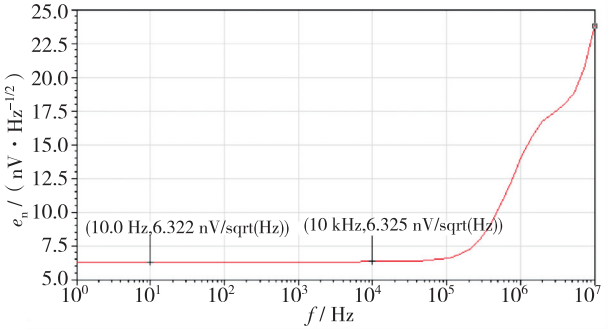


图 6　输入噪声电压谱密度的仿真曲线

瞬态响应仿真曲线如图 7 所示，可以看出，在单位增益闭环应用条件下，该 OPA 工作稳定，实现了较快的瞬态响应。输出电压转换速率 SR 为：

$$SR = \frac{\Delta V}{\Delta T} \tag{6}$$

上升沿 $SR_+ = 16\ \text{V}/(301.1 - 300.2)\ \mu\text{s} \approx 17.8\ \text{V}/\mu\text{s}$；下降沿 $SR_- = 16\ \text{V}/(401.2 - 400.3)\ \mu\text{s} \approx 17.8\ \text{V}/\mu\text{s}$。

频率响应仿真曲线如图 8 所示。可以看出，在单位增益闭环应用条件下，该 OPA 的幅频曲线较平坦，实现了稳定工作。−3 dB 小信号带宽为 25 MHz。

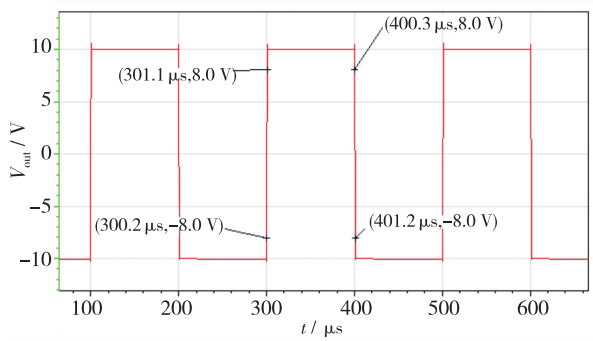


图 7　瞬态响应仿真曲线

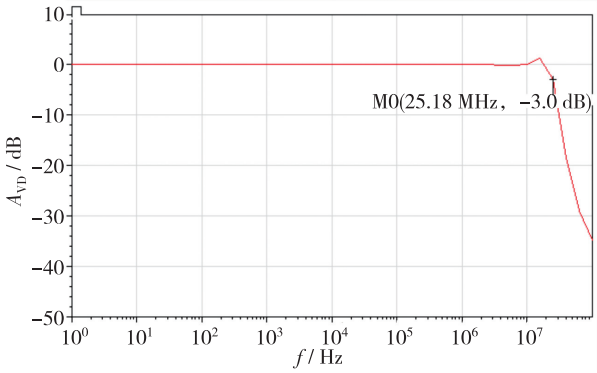


图 8　频率响应仿真曲线

3　版图设计

本文 OPA 的整体版图如图 9 所示。在设计差分输入级时，一是将输入 P-JFET 的尺寸设置大一些，结构为多管并联和多插指（梳状），以保证低的输入偏置电流和噪声；二是将同相/反相输入管设置为“共质心”结构，即同相输入端并联的 P-JFET 分别位于 1、3 象限，反相输入端并联的 P-JFET 分别位于 2、4 象限，相互交叉连接，有效减小了输入差分对的失调[5]。

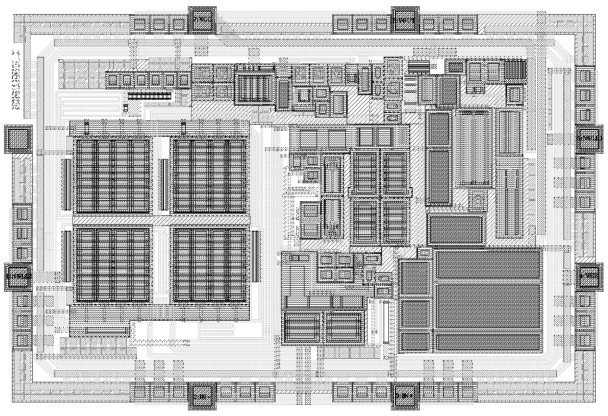


图 9　OPA 的整体版图

将正/负电源引线环绕版图四周，确保每个引脚的 ESD 管泄放回路最短，便于各单元的电源布线。将负电源线尽可能地与芯片衬底相连，确保衬底电位均匀，与各有源区隔离良好。

4 实测结果

将本文设计的 OPA 进行了流片，对芯片的典型参数进行了测试。本文 OPA 与同类 BiFET OPA 的参数对比如表 1 所示。

表 1 本文 OPA 与同类 BiFET OPA 的参数对比

参数	本文 OPA	文献[6]	文献[7]
V_{CC}，V_{EE}/V	±15	±15	±15
I_{CC}，I_{EE}/mA	6.9	2.5	1.4
I_{IB}/pA	30	20	30
I_{IO}/pA	10	10	5
V_{IO}/mV	0.2	0.3	3
A_{VD}/dB	110	112	106
e_n/(nV·Hz$^{-1/2}$)	7@1 kHz	18@1 kHz	18@1 kHz
SR /(V·μs^{-1})	10	16	13
BW /MHz	17	4	3

可以看出，该 OPA 的大部分参数与仿真值接近，但输入失调电压/电流、输出速度、带宽与仿真值略有差异。分析原因如下：1)理论设计的输入差分对管完全对称，但实际上版图设计、材料及工艺过程均引入了失调；2)为了确保单倍增益、稳定地工作，内部补偿电容设计值比仿真值略大，加上工艺、测试等过程引入的寄生电容因素，使得实际的输出速度和带宽有所降低。

可以看出，与文献[6]、[7]的同类 BiFET OPA 相比，本文 OPA 的大部分直流参数水平相当；本文 OPA 的输入噪声更低；本文 OPA 的带宽更高，但牺牲了功耗。

5 结 论

本文提出了一种基于 BIFET 工艺的高输入阻抗运算放大器，进行了设计、仿真与测试。芯片测试结果表明，通过 P-JFET 差分输入级实现了极低的输入偏置电流/失调电流和极低的输入电压噪声谱密度；通过共集-共射增益级和互补推挽输出级实现了高开环增益、高速、宽带和较大输出驱动性能。

与 OP07 系列运算放大器相比，本文运算放大器具有更低的输入偏置电流/失调电流、更好的噪声性能和更高的带宽。该运算放大器非常适用于中低频微弱模拟信号的处理，如模拟前端测量、光电二极管跨阻放大、电流检测放大和传感器接口等。

参 考 文 献：

[1] LEVINZON F A. Noise of the JFET amplifier [J]. IEEE Trans Circ & Syst I: Fundam Theo & Appl, 2000, 47(7): 981-985.

[2] YANG T, LU J J, HOLLEMAN J. A high input impedance low noise instrumentation amplifier with JFET input [C] // Proceed IEEE 56th Int MWSCAS. Columbus, OH, USA. 2013: 173-176.

[3] SNOEIJ M F, IVANOV M V. A 36 V JFET input bipolar operational amplifier with 1 μV/℃ maximum offset drift and -126 dB total harmonic distortion [C] // Proceed IEEE ISSCC. San Francisco, CA, USA. 2011: 248-250.

[4] LEVINZON F A. Ultra-low-noise high-input impedance amplifier for low-frequency measurement applications [J]. IEEE Trans Circ & Syst I: Regu Pap, 2008, 55(7): 1815- 1822.

[5] MA Q, YOUNG E F Y, PUN K P. Analog placement with common centroid constraints [C] // Proceed IEEE/ACM ICCAD. San Jose, CA, USA. 2007: 579-585.

[6] ADI. Data sheet: precision, low cost, high speed, BiFET op amp (Rev. E) [EB/OL]. https://www.analog.com/cn/ products/ad711.html, 2015.

[7] TI Incorp. Data sheet: high slew rate JFET-input operational amplifier [EB/OL]. https://www.ti.com/ product/TL081, 2017.

一种新型的高精度迟滞比较器

潘　高[1]，伍　滔[2]，周泽坤[1]，张　波[1]
（1. 电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054；
2. 成都英特格灵微电子技术有限公司，成都 610000）

摘　要： 基于 0.18 μm CMOS 工艺，提出了一种补偿电流型高精度迟滞比较器。利用两个工作在线性区的 MOS 晶体管间的电流差产生一个补偿电流源，将补偿电流源应用于传统内部迟滞比较器中，对迟滞电压中工艺和温度的相关项进行补偿，以获得低温漂的高精度迟滞电压。仿真结果表明，该迟滞电压具有非常低的温度系数，当迟滞电压为 149.94 mV、温度从-40 ℃变化至 125 ℃时，迟滞电压仅变化 1.3 mV，变化幅度仅为 0.87%。

关键词： 迟滞比较器；补偿电流源
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0789-05
DOI：10.13911/j.cnki.1004-3365.190707

A New Hysteresis Comparator with High Precision

PAN Gao[1], WU Tao[2], ZHOU Zekun[1], ZHANG Bo[1]
(1. *State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*;
2. *Chengdu International Green Chip Microelectronics Technology Co., Ltd., Chengdu* 610000, *P. R. China*)

Abstract: Based on a 0.18 μm CMOS process, a high precision hysteresis comparator with compensation current source (CCS) was proposed. A compensation current source was generated by the current difference between two MOS transistors operating in the linear region, and the CCS was applied in the traditional internal hysteresis comparator to compensate the process and temperature correlation in the hysteresis voltage, so as to obtain the high precision hysteresis voltage of low temperature drift. The simulation results showed that the hysteresis voltage had a very low temperature coefficient. When the hysteresis voltage in typical design was 149.94 mV, the hysteresis voltage only changed 1.3 mV from −40 ℃ to 125 ℃, and the change ratio was only 0.87%.

Key words: hysteresis comparator; compensation current source

0　引　言

比较器是模拟集成电路以及数模混合集成电路中的重要电路模块。比较器的输入信号为模拟输入信号和参考电压，而比较器的输出信号为数字信号，因此比较器电路可以实现由模拟信号到数字信号的转变。若传统比较器处于有噪声干扰的应用环境中，其输入信号的阈值点电压很容易受到噪声干扰，会导致传统比较器的输出信号出现误翻转。相反，迟滞比较器具有很强的抗干扰能力，非常适合应用在噪声干扰大的电路环境中[1-2]。

从电路结构来看，迟滞比较器的迟滞电压产生方式有两种。第一种是通过比较器的外部反馈来实现电压迟滞，需要额外的外部电路和高精度器件，且易受开关管的影响[3-4]；第二种是通过比较器内部反馈来实现电压迟滞，但迟滞电压易受工艺和温度的影响[5-6]。随着科技的发展，实际应用中往往需要高

收稿日期：2019-12-05；**定稿日期：**2020-01-14
基金项目：预研项目(41421050401)
作者简介：潘　高(1979—)，男(汉族)，四川成都人，博士研究生，主要研究方向为模拟集成电路设计。

精度的迟滞电压，要求迟滞电压在工艺角以及温度变化时保持稳定。本文提出了一种新型高精度迟滞比较器，对迟滞电压中工艺和温度的相关项进行补偿，以获得低温漂的高精度迟滞电压。该电路具有很强的实用性和广泛的适用性。

本文第 1 节对传统内部迟滞比较器进行分析，得出迟滞电压与工艺和温度的关系；第 2 节提出补偿电流源电路，并将其应用于传统的内部迟滞比较器中，对迟滞电压中工艺和温度的相关项进行补偿，以获得低温漂的迟滞电压；第 3 节给出新型迟滞比较器电路的仿真结果并讨论；第 4 节给出结论。

1　传统迟滞比较器迟滞电压 V_{Hys} 分析

传统的内部迟滞比较器利用输出信号的反馈对内部电流进行调整，以获得比较器的迟滞电压。图 1 所示为传统内部迟滞比较器电路，图中 M1 和 M2 管为比较器的输入管，M3 和 M4 组成比较器的迟滞电流支路。

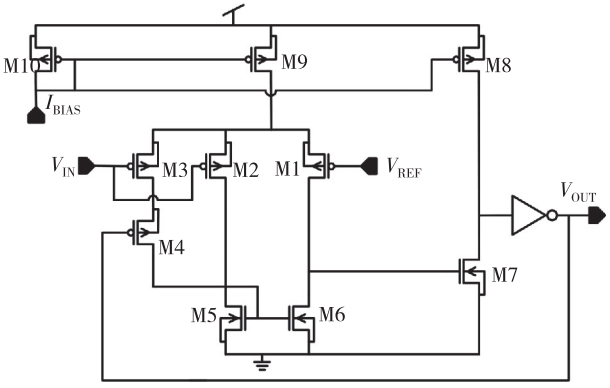


图 1　传统内部迟滞比较器示意图

当比较器正端信号电压 V_{IN} 高于负端信号电压 V_{REF} 时，比较器的输出电压 V_{OUT} 为高电平，M4 管关断，此状态下 M5 管的漏端电流等于 M2 管的漏端电流，M6 管的漏端电流通过电流镜镜像于 M5 管的漏端电流。随着 V_{IN} 降低，M2 管的漏端电流增大，M5 管的漏端电流也随之增大。M6 管的漏端电流通过电流镜与 M5 管漏端电流一致，当 M6 管的镜像电流大于 M1 管的漏端电流时，比较器的输出从高电平变为低电平。当迟滞比较器的输出信号从高电平变成低电平时，比较器的正端输入电压等于 V_{REF}。

当 V_{IN} 低于 V_{REF} 后，迟滞比较器输出为低电平，此时 M4 管开启，该状态下 M5 管的漏端电流等于 M2 管与 M3 管的漏端电流之和，M6 管的漏端电流等于 M1 管的漏端电流。M5、M6 管都工作在饱和区，根据饱和区的 MOS 电流公式，可以得到 M5 管的漏端电流：

$$I_{DM5}=\frac{1}{2}\mu_p C_{ox}\left(\frac{W_2}{L_2}+\frac{W_3}{L_3}\right)(V_{IN}-V_S-V_{TH})^2 \tag{1}$$

M6 管的漏端电流为：

$$I_{DM6}=\frac{1}{2}\mu_p C_{ox}\frac{W_1}{L_1}(V_{REF}-V_S-V_{TH})^2 \tag{2}$$

随着 V_{IN} 升高，M1 管的漏端电流增大，M5 管的漏端电流随之减小。当 M6 管的镜像电流小于 M1 管的漏端电流时，比较器的输出就从低电平变为高电平，根据式(1)和式(2)可以得到此时比较器的正端电压：

$$V_{IN}=V_{REF}+\sqrt{\frac{2I_{DM6}}{\mu_p C_{ox}}}\left(\sqrt{\frac{1}{\frac{W_1}{L_1}}}-\sqrt{\frac{1}{\frac{W_2}{L_2}+\frac{W_3}{L_3}}}\right) \tag{3}$$

根据两种翻转状态下对应的正端电压，可以得到传统迟滞比较器的迟滞电压 V_{Hys}：

$$V_{Hys}=\sqrt{\frac{2I_{DM6}}{\mu_p C_{ox}}}\left(\sqrt{\frac{1}{\frac{W_1}{L_1}}}-\sqrt{\frac{1}{\frac{W_2}{L_2}+\frac{W_3}{L_3}}}\right) \tag{4}$$

根据式(4)可知，该比较器的迟滞电压与比较器偏置电流、迁移率 μ_p、栅氧化层电容 C_{ox} 以及 M1、M2、M3 管的宽长比具有相关性。迁移率 μ_p 和栅氧化层电容 C_{ox} 是与工艺相关的参数，因此迟滞电压与工艺相关。硅半导体中存在声学波散射和电离杂质散射，使得迁移率会随着温度发生变化[7]，比较器偏置电流也存在温度系数，这两点都使得迟滞比较器的迟滞电压与温度相关。M1、M2、M3 管宽长比的不匹配会造成一定的误差，但随着工艺技术的发展，以及对 M1、M2、M3 管在版图布局上不匹配等因素的考虑，宽长比的不匹配因素可以忽略。

因此，如何处理比较器偏置电流、迁移率以及栅氧化层电容成为获得高精度迟滞电压的关键。

2　补偿电流型迟滞比较器

2.1　补偿电流源原理与设计

本文提出了一种补偿电流源(Compensation Current Source，CCS)电路，利用两个工作在线性区的 MOS 晶体管的电流差，产生一个与迁移率和栅氧化层电容相关的补偿电流，用该电流对迟滞电压中工艺和温度的相关项进行补偿，得到一种高精度的迟滞比较器。

CCS 电路如图 2 所示，该电路通过 M19、M20、M21、M22 组成的电流镜将基准电流 I_{REF} 镜像到电路内部，然后通过运算放大器 A1、A2 与 R_1、R_2、R_3 的共同作用来箝制 M16 和 M18 的漏极电压。最后将 M15 管的漏端电流 I_5 与 M13 管的漏端电流 I_6 相减得到的电流 I_7 镜像 K 倍后，获得输出电流 I_{OUT}。

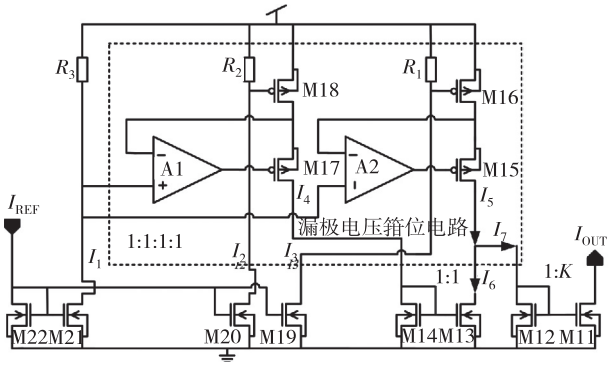


图 2　CCS 电路示意图

在电路设计中，漏极电压箝位电路使 M18 与 M16 均工作在深线性区，调节 R_1 和 R_2 的电阻值，使 M16 的电流 I_5 大于 M18 管的镜像电流 I_6。工作在线性区的 M16 管的漏端电流为：

$$I_{DM16}=\mu_p C_{ox}\frac{W_{16}}{L_{16}}\left((V_{GSM16}-V_{TH})V_{DS}-\frac{1}{2}V_{DS}^2\right) \tag{5}$$

M18 管的漏端电流为：

$$I_{DM18}=\mu_p C_{ox}\frac{W_{18}}{L_{18}}\left((V_{GSM18}-V_{TH})V_{DS}-\frac{1}{2}V_{DS}^2\right) \tag{6}$$

式中，V_{GSM16} 和 V_{GSM18} 分别为 M16 和 M18 的栅源电压，M16 和 M18 的漏源电压相等，均为 V_{DS}，并且 M16 和 M18 的阈值电压都为 V_{TH}。

根据式(5)和式(6)，假定 M18 管的尺寸与 M16 管相同，可得补偿电流源电路的输出电流 I_{OUT}：

$$I_{OUT}=K\mu_p C_{ox}\frac{W_{16}}{L_{16}}(V_{GSM16}-V_{GSM18})V_{DS} \tag{7}$$

2.2　包含 CCS 的迟滞比较器设计

本文提出的新型高精度迟滞比较器如图 3 所示。电路一共包含三个部分，分别为基准电流模块、CCS 模块和内部迟滞比较器模块。

基准电流模块通过芯片内部与温度无关的基准电压 V_R、运算放大器 A0、电阻 R_4 等来产生补偿电流源模块的电流输入信号 I_{REF}。

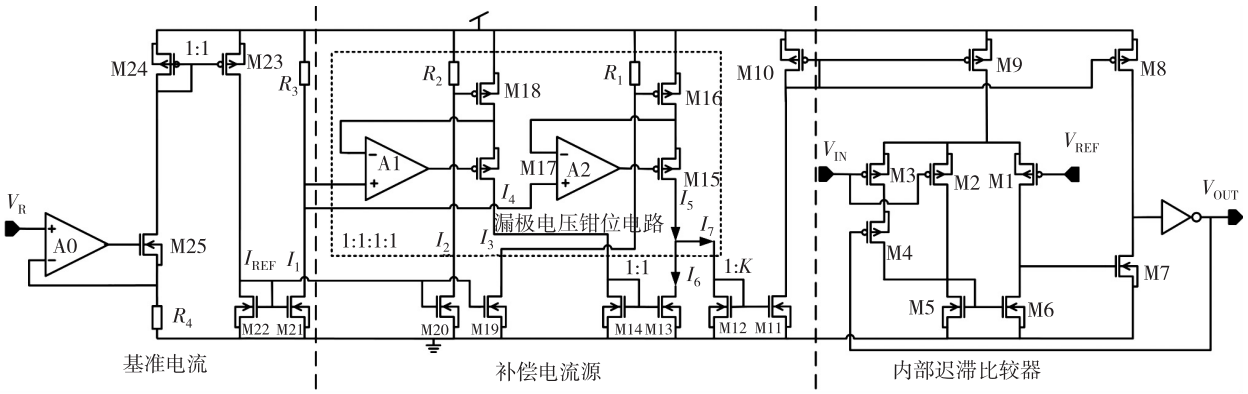


图 3　新型高精度迟滞比较器

补偿电流源模块中 M16 和 M18 管的栅源电压分别是电阻 R_1、R_2 与 I_{REF} 镜像电流的乘积；而 M16 和 M18 管的漏源电压都是电阻 R_3 与 I_{REF} 镜像电流的乘积。将 M16 和 M18 的栅源电压、漏源电压与式(7)一同代入到式(4)中，可以得到新型迟滞比较器的迟滞电压 V_{HYS}：

$$V_{HYS}=\sqrt{2K\frac{W_{16}}{L_{16}}(R_1-R_2)R_3\left(\frac{V_R}{R_4}\right)^2}\times\left(\sqrt{\frac{1}{\frac{W_1}{L_1}}}-\sqrt{\frac{1}{\frac{W_2}{L_2}+\frac{W_3}{L_3}}}\right) \tag{8}$$

式(8)中，K 为补偿电流源电路输出电流的系数。通过设定不同的系数，可以获得不同的电压迟滞值。若将补偿电流源电路产生的 N 个不同的迟滞比较器偏置电流应用到不同的迟滞比较器中，就能获得 N 个迟滞量不同的高精度迟滞比较器。

从式(8)可以看出，迟滞电压 V_{HYS} 大小只与基准电压信号 V_R、补偿电流源电路比例系数 K 和电阻 R_1、R_2、R_3、R_4 相关。通过补偿电流源，消除了工艺和温度的相关项迁移率 μ_p 和栅氧化层电容 C_{ox}。补偿电流源比例系数 K 没有温度系数，当电阻 R_1、R_2、R_3、R_4 随温度变化时，电阻的温度项可以相互抵消，而且 V_R 是芯片内部的基准电压，具有非常低的温度系数，因此可得到低温漂的高精度迟滞电压。

3　仿真结果与讨论

文本提出的新型的高精度迟滞比较器使用标准的 0.18 μm CMOS 工艺进行电路设计。图 4 所示为使用与未使用补偿电流源电路的迟滞比较器的迟滞电压随温度变化的比较。使用了补偿电流源电路的迟滞比较器迟滞电压的平均值为 149.94 mV，在 −40℃到 125℃的温度范围内，迟滞电压变化了 1.3 mV，变化幅度为 0.87%；而未使用补偿电流源电路的比较器迟滞电压的平均值为 149.5 mV，在 −40℃到 125℃的温度范围内，迟滞电压变化了 82 mV，变化幅度为 54.85%。

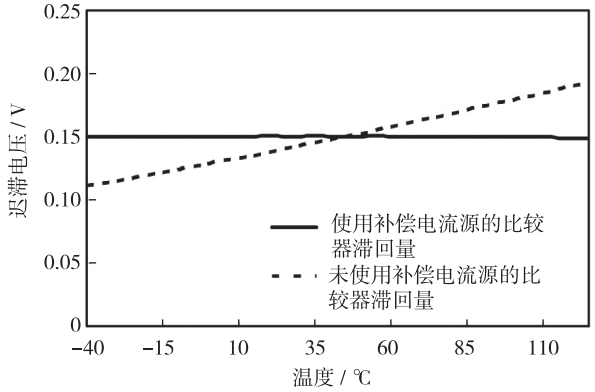


图 4　两种迟滞比较器迟滞电压随温度变化的比较

图 5 所示为当电源电压为 5 V 时，在不同模型下，迟滞电压随着温度变化的波形。

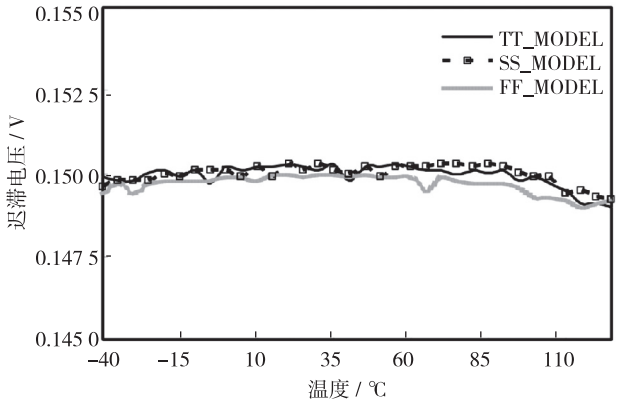


图 5　迟滞电压在不同模型下随温度的变化曲线

在 TT、FF、SS 这三种模型下，对应迟滞电压的平均值分别为 149.94 mV、149.97 mV 和 149.69 mV，在 −40 ℃到 125 ℃的温度范围内，迟滞电压分别变化了 1.3 mV、1.1 mV 和 1.0 mV，变化幅度分别为 0.87%、0.73%和 0.69%。

图 6 所示为在典型模型的不同电源电压条件下，迟滞电压随着温度变化的波形。电源电压分别为 3.0 V、3.5 V、4.0 V、4.5 V、5.0 V。当电源电压为 3.0 V 时，迟滞电压变化最小，变化幅度为 0.74%；当电源电压为 3.5 V 时，迟滞电压变化最大，变化幅度为 1.40%。五个电源电压条件下的迟滞电压线性调整率为 0.53 mV/V。

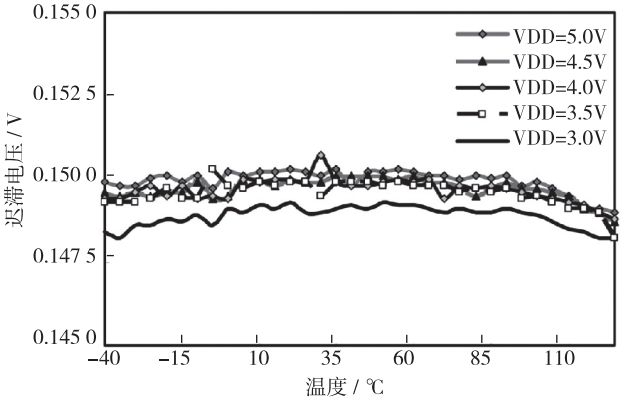


图 6　迟滞电压在不同电源电压下随温度的变化曲线

图 7 所示为对迟滞比较器进行了 500 次 Monte Carlo 分析后得到的迟滞电压分布图，迟滞电压的平均值为 150.085 mV，标准差为 1.405 86 mV。分布结果显示，Monte Carlo 仿真下迟滞电压的正负 3 个 σ 范围是从 145.867 mV 到 154.302 mV，表明合格率为 99.73%的条件下，迟滞电压仅偏差了 4.52%，因此在工艺变化时，具有非常高的稳定性。

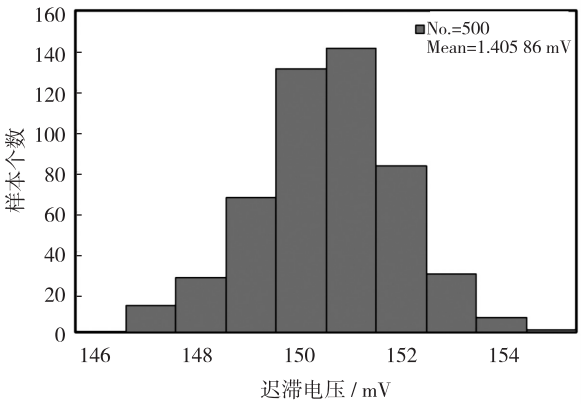


图 7　迟滞电压 500 次 Monte Carlo 分析结果

使用标准 0.18 μm CMOS 工艺进行该电路的版图设计，版图如图 8 所示。版图长度为 175 μm，宽度为 107 μm，面积大小为 0.018 7 mm^2。

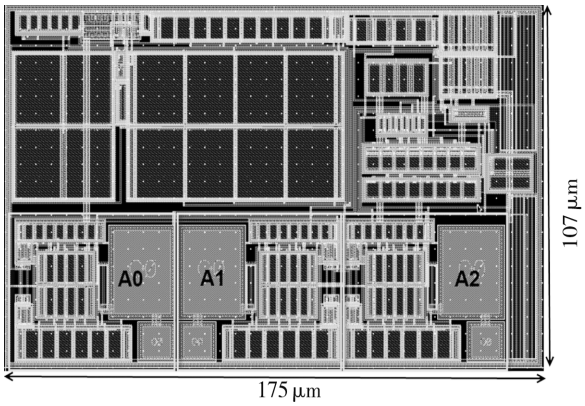


图 8　迟滞比较器版图

表 1 所示为本文与文献[5]迟滞比较器的性能对比。可以看出，本文提出的迟滞电压比较器具有非常好的线性调整率和温度系数。

表 1　本文与文献[5]迟滞比较器的性能对比

参数	文献[5]	本文
电源电压/V	1.8～2.5	3.0～5.0
CMOS 工艺/μm	0.18	0.18
迟滞电压/mV	200	149.94
线性调整率/(mV・V^{-1})	5	0.53
温度范围/℃	0～85	－40～125
温度系数/(mV・$℃^{-1}$)	0.11	0.007 9

4　结　论

本文提出了一种补偿电流型迟滞比较器，利用补偿电流源电路对迟滞电压中工艺和温度的相关项进行补偿，以获得低温漂的高精度迟滞电压。仿真结果表明，该设计的迟滞电压具有非常低的温度系数，在迟滞电压典型值 149.94 mV 的条件下，当温度从－40 ℃变化到 125 ℃时，迟滞电压仅变化了 1.3 mV，变化幅度仅为 0.87%。该迟滞电压比较器精度高，适用性强，能灵活调整迟滞电压的大小，非常适合应用于集成电路中。

参 考 文 献：

[1] ALLEN P E，HOLBERG D R. CMOS analog circuit design [M]. 北京：电子工业出版社，2002：465-475.

[2] RODRIGUES C R，MULLER C，NETO D J M. Hysteresis settling technique for CMOS comparators based on substrate voltage [J]. Elec Lett，2013，49(1)：27-28.

[3] EKEKWE N，ETIENNE-CUMMINGS R. Adaptive hysteretic comparator with opamp threshold level setting [C] // MWSCAS. Knoxville，TN，USA. 2008：121-124.

[4] TAO J，WANG Y J，XING J L. A comparator with flexible programming of the hysteresis [C] // Intl Conf ASID. Chengdu，China. 2010：105-107.

[5] 薛腾飞，朱江，乔明. 一种滞回比较器设计 [J]. 电子与封装，2015，15(3)：26-28.

[6] FURTH P M，TSEN Y C，KULKARNI V B，et al. On the design of low-power CMOS comparators with programmable hysteresis [C] // MWSCAS. Seattle，WA，USA. 2010：1077-1080.

[7] 刘恩科，朱秉升，罗晋生. 半导体物理学 [M]. 第 7 版. 北京：电子工业出版社，2008：119-123.

用于峰值电流模 Boost 变换器的瞬态响应优化电路

王晨阳，罗　萍，周先立，王　浩
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘　要： 为了提高瞬态响应速度，提出了一种用于峰值电流模 PWM 控制 Boost 变换器的瞬态响应优化电路。传统峰值电流模 Boost 变换器的带宽因受限于右半平面零点而限制了负载阶跃时的瞬态响应速度。该优化电路根据输出电压信号来输出自适应瞬态增强电流信号，优化了变换器的瞬态响应特性。采用 0.18 μm BCD 工艺对电路进行仿真验证。结果表明，负载电流从 1 A 变化到 200 mA 时，负载阶跃恢复时间从 65 μs 减小到 50 μs；负载电流从 200 mA 变化到 1 A 时，负载阶跃恢复时间从 46 μs 减小到 33 μs。

关键词： 峰值电流模；Boost 变换器；瞬态响应优化
中图分类号：TN86；TN433　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0794-05
DOI：10.13911/j.cnki.1004-3365.190700

A Transient Response Optimization Circuit Applied in Peak-Current Mode Boost Converter

WANG Chenyang, LUO Ping, ZHOU Xianli, WANG Hao
(*State Key Lab. of Elec. Thin Films and Inter. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*)

Abstract: A transient response optimization circuit applied in peak-current mode PWM boost converter was proposed, which could improve the transient response speed. The bandwidth of the traditional peak-current mode boost converter was limited by the zero point of right half plane, which limited the transient response speed during the load step. The optimized circuit could output the adaptive transient enhanced current signal according to the output voltage signal, thus optimizing the transient response characteristics of the converter. The proposed circuit was simulated and verified in a 0.18 μm BCD process. The results showed that the load step recovery time was reduced from 65 μs to 50 μs while the load current changed from 1 A to 200 mA, and the load step recovery time was reduced from 46 μs to 33 μs while the load current changed from 200 mA to 1 A.

Key words: peak-current mode; boost converter; transient response optimization

0　引　言

DC-DC 变换器因效率高而成为便携式电子产品的重要组件。随着越来越多高度集成片上系统的应用，开关变换器的快速瞬态响应特性成为重要的指标[1-2]。峰值电流模 PWM 控制 Boost 变换器具有系统稳定、补偿简单的优点而被广泛应用于小功率开关电源领域。

传统峰值电流模 PWM 控制 Boost 变换器有右

收稿日期：2019-12-03；**定稿日期：**2020-01-15
基金项目：国家自然科学基金 NSAF 联合基金资助项目(U1630117)
作者简介：王晨阳(1995—)，男(汉族)，湖北枣阳人，研究方向为模拟集成电路和 DC-DC 变换器技术。
罗　萍(1968—)，女(汉族)，四川成都人，教授，博导，研究方向为智能功率 IC 与系统技术。通信作者。

半平面零点，环路带宽受到限制[3]。为了减小右半平面零点对环路稳定性的影响，设计时需要将右半平面零点置于环路带宽（GBW）之外，通常将环路 GBW 选在右半平面零点 1/8～1/2 处。重载下，右半平面零点最小，此时环路有最小的相位裕度。这就需要针对最重载情况设计补偿网络，使 Boost 变换器在全工作状态下均保持稳定。因此，需将环路 GBW 设为较低的值，这使得环路的瞬态响应速度受到一定限制，从而增加了负载阶跃响应的建立时间。

针对上述情况，本文基于 0.18 μm BCD 工艺设计了一种用于峰值电流模 PWM 控制 Boost 变换器的瞬态响应优化电路，可有效提高系统的瞬态响应速度，缩短负载阶跃响应时间。

1　传统峰值电流模 Boost 变换器

传统峰值电流模 PWM 控制 Boost 变换器包括误差放大器、PWM 比较器、电感电流采样模块、斜坡补偿模块以及逻辑和驱动模块，结构如图 1 所示。

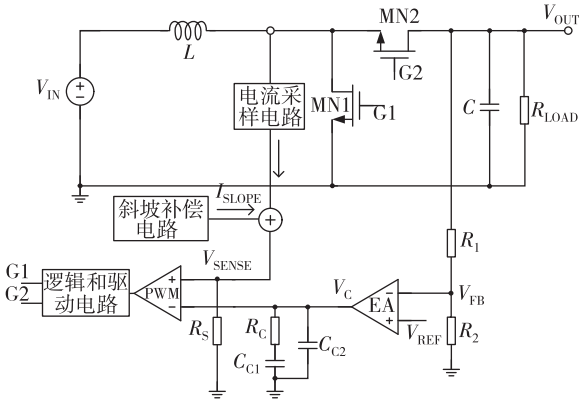


图 1　传统峰值电流模 PWM 控制 Boost 变换器

输出电压的分压 V_{FB} 与基准电压 V_{REF} 送至 EA 输入端，产生的误差放大电压 V_C 送至 PWM 比较器的反相输入端。采样电压 V_{SENSE} 与斜坡补偿电压 V_{SLOPE} 叠加，经过转换后得到 V_S。将 V_S 与 V_C 进行比较。当 V_S 大于 V_C 时，PWM 比较器立即输出高电平，并通过逻辑驱动模块来控制功率管 MN1 关断，电感电流逐渐减小。当 V_S 峰值达到 V_C 值时，功率管关断，这种控制模式也被称为峰值电流模。当负载电流增大时，负载电容开始放电，输出电压下降，V_C 增大，占空比增大；当负载电流减小时，输出电压增大，V_C 减小，占空比减小，输出电压随之减小。

在下管 MN1 关断阶段，电感对负载提供能量，在 MN1 管开启阶段，电源只对电感储存能量，输出电容对负载提供能量。因为整个阶段的电感电流是连续的，负载电流增大时，输出电压降低，环路反馈使得占空比增大。因此，MN1 管开启时间再次增大，关断时间减小。然而，负载电流是由关断状态下电感电流提供，输出电流平均值减小，负载电压会下降。

右半平面零点的物理表现为：负载电流增大时输出电压会先大幅下降，经过多个开关周期后再逐渐回升。反之亦然。若将环路 GBW 远离右半平面零点，则可减小右半平面零点带来的影响。

右半平面零点的位置由负载电阻 R_{LOAD}、电感 L、输入电压和输出电压决定。右半平面零点表达式为：

$$\omega_{ZRHP}=\frac{R_{LOAD}}{L}\times\left(\frac{V_{IN}}{V_{OUT}}\right)^2 \tag{1}$$

由式(1)可知，在系统工作状态确定后，环路中右半平面零点的位置便已确定，因此只能按最恶劣情况（即右半平面零点最靠近原点）来设计环路补偿参数。Boost 芯片的负载范围较宽，设计时需按最重载情况来设计。对于传统电路，为了保证系统稳定，就需要减小反馈带宽，从而影响系统的瞬态响应。

2　瞬态响应优化电路基本原理

针对上述传统电路的问题，本文提出了一种用于峰值电流模 Boost 变换器的瞬态响应优化电路，如图 2 所示。该瞬态响应优化电路的原理如下。首先将 V_{FB} 与 V_{REF} 进行差分放大，获得输出电压的变化信息，产生与输出电压变化幅度成正比的电流信号 I_{OUT}。接着将 I_{OUT} 与 I_{SENSE}、I_{SLOPE} 叠加，经过 I-V 转换电路后送至 PWM 正相输入端，再与 V_C 比较，输出 PWM 控制信号。最后，PWM 控制信号送至逻辑驱动模块，产生驱动信号，达到控制功率管开关的目的。

瞬态响应优化电路的大信号分析如下。当负载从重载变为轻载时，输出电压出现过冲，V_{FB} 随之增大。该电路输出与反馈电压变化量成正比的电流量，即在 V_S 处叠加一个与输出变化量相关的电流量，因此 V_C 处电压的增大使得占空比减小，加速了负载阶跃阶段调整速度。

同理，当负载从轻载变为重载时，该电路产生与

输出电压变化量相关的电流量，输出电压发生下冲，该电路输出与反馈电压变化量成正比的电流量，即在 V_S 处减去一个与输出电压变化量相关的电流量，因此 V_C 处电压的下降使得占空比信号增大，加速了负载阶跃阶段的调整速度。

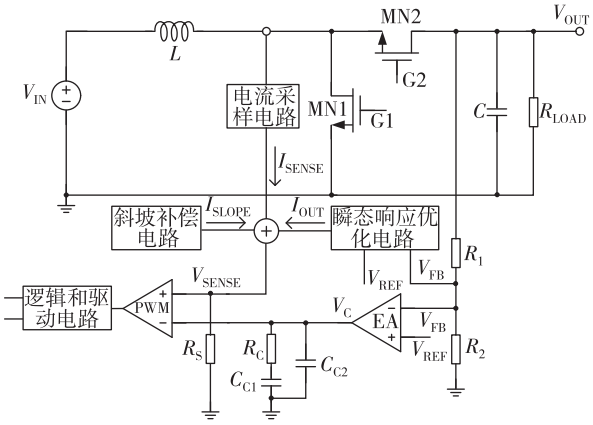


图 2　应用本文瞬态优化电路的峰值电流模 Boost 变换器

瞬态响应优化电路的小信号分析如下。在峰值电流模 Boost 变换器中，从控制到输出的传输函数为：

$$T_{OC}=A\frac{\left(1-\frac{s}{\omega_{ZRHP}}\right)\left(1-\frac{s}{\omega_{ZESR}}\right)}{\left(1+\frac{s}{\omega_0}\right)\left[1+\frac{s}{Q_P\omega_n}+\left(\frac{s}{\omega_n}\right)^2\right]} \tag{2}$$

其中，A 为低频增益，表达式为：

$$A=\frac{R_{LOAD}(1-D)}{2R} \tag{3}$$

本文电路是根据该传输函数对环路进行补偿，确保右半平面零点处于 GBW 之外。由输出电容引入的 ESR 零点通常处于高频，电流模 Boost 变换器从控制到输出可看作是一个单极点系统。本文的补偿网络选择二型补偿，即设计两个极点和一个零点。零点用于抵消从控制到输出的传递函数的输出极点。第一个极点为主极点，第二个极点在 1/2 开关频率处，以补偿右半平面零点带来的 +20 dB/dec，使幅频曲线在高频下仍能以 −40 dB/dec 斜率下降。

应用本文瞬态响应优化电路的环路小信号模型如图 3 所示。相比传统电流模 Boost 电路[4]，本文电路的小信号模型增加了一条从 V_{OUT} 至 R_i 的小信号通路。将该瞬态响应优化电路添加至系统后，来自该电路的额外电流信号在电流传感器处与电感电流采样信号、斜坡补偿信号相叠加，产生新的电流环路。此时，从控制到输出的低频增益变为：

$$A=\frac{R_{LOAD}(1-D)}{2R_i-kR_{LOAD}(1-D)} \tag{4}$$

式中，$k=Z/g_m$，k 是瞬态优化小信号模型中得出的函数，Z 为差分放大器的增益绝对值，g_m 为输出级的跨导。从式(4)可知，在应用本文瞬态响应优化电路后，环路低频增益增大。因为主极点设置在 EA 输出处，主极点位置保持不变，所以在输出发生负载阶跃时，环路 GBW 增大，瞬态响应特性得到优化。

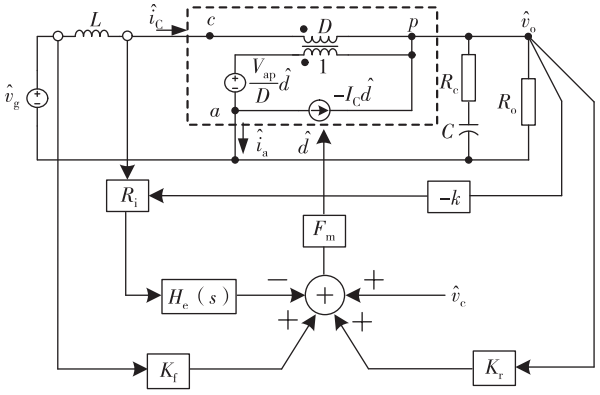


图 3　应用本文瞬态优化电路的环路小信号模型

3　瞬态响应优化电路设计

本文提出的瞬态响应优化电路如图 4 所示。该电路采用运算放大器构成差分放大器，将 V_{FB} 与 V_{REF} 作为差分放大器的输入信号，经差分放大之后输入送至输出电路，并将放大后的信号反馈至输入端，及时调整输入信号，实现了控制增益的功能。

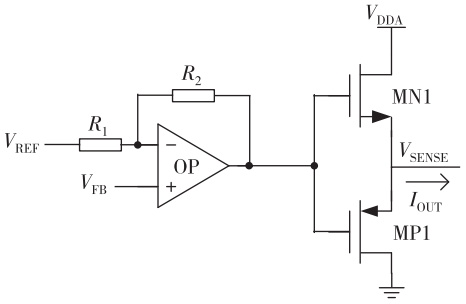


图 4　本文提出的瞬态响应优化电路

该电路中，输出反馈电压与运放正相输入端相接，基准电压信号与运放反相输入端相接。输出级采用乙类互补推挽输出，差分放大器的输出电压信号转换为电流信号，并与电感电流采样信号、斜坡补偿信号相叠加。该电路仅工作于环路发生瞬态响应阶段。在正常工作阶段，电路的输出电流为零。在负载阶跃阶段，输出电压发生过冲或下冲，导致输出

电流发生变化。输出电流的正方向如图 4 所示，输出电流为：

$$I_{OUT}=\frac{R_2}{R_1}(V_{FB}-V_{REF})g_m \tag{5}$$

当负载从重载变为轻载时，负载电流减小，而电感电流不能发生突变，输出电压发生过冲，同时 V_{FB} 出现过冲并高于 V_{REF}。输出级栅极电压增大后，MN1 管开启，输出正向自适应电流 I_{OUT}，即在 V_S 电压上叠加了一个直流电平，增大了比较器正相输入端的电压信号，从而加速了 Boost 功率管栅驱动信号占空比的变化。因此整个阶跃阶段的系统响应速度提高，实现了瞬态优化的功能。

同理，当负载从轻载变为重载时，输出电压会发生下冲，同时 V_{FB} 低于 V_{REF}，在通过差分放大电路后，输出级的栅极电压减小后，MP1 管开启，将原本电感采样与斜坡补偿叠加后的电流的一部分灌入电路中，即在 V_S 电压上减小了一个直流电平，减小了比较器正相输入端的电压信号，从而加速了 Boost 功率管栅驱动信号占空比的变化。因此整个阶跃阶段的系统响应速度提高，实现了瞬态优化的功能。

4　仿真结果与分析

本文基于 0.18 μm BCD 工艺进行电路设计，采用 Cadence 软件进行仿真验证。输入电压范围为 8～12 V，输出电压为 38 V。最终设置的仿真参数为：输入电压为 8 V，输出电压为 38 V，电感为 4.7 μH，输出电容为 10 μF，开关频率为 1 MHz。

传统 Boost 变换器、本文 Boost 变换器从重载变轻载时的仿真曲线分别如图 5、图 6 所示。可以看出，在负载电流从 1 A 跳变为 200 mA 时，本文 Boost 变换器的上冲电压为 442 mV，恢复时间为 50 μs。与传统电路相比，本文电路的上冲电压和恢复时间较优。

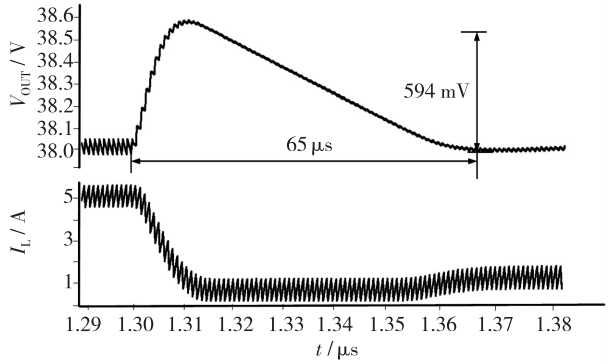


图 5　传统 Boost 变换器从重载变轻载时的仿真曲线

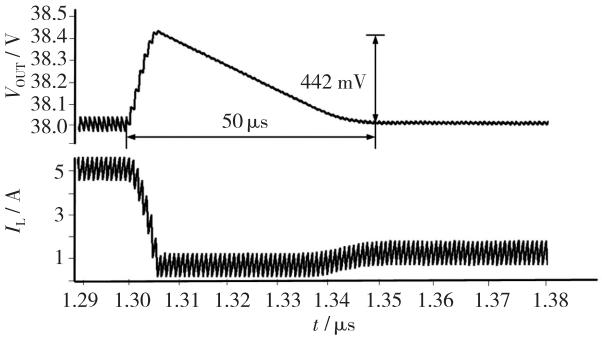


图 6　本文 Boost 变换器从重载变轻载时的仿真曲线

传统 Boost 变换器、本文 Boost 变换器从轻载变重载时的仿真曲线分别如图 7、图 8 所示。可以看出，在负载电流从 200 mA 跳变为 1 A 时，本文 Boost 变换器的下冲电压为 532 mV，恢复时间为 33 μs。与传统电路相比，本文电路的下冲电压和恢复时间较优。

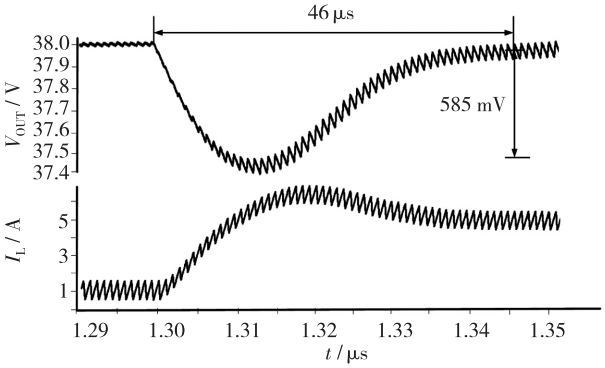


图 7　传统 Boost 变换器从轻载变重载时的仿真曲线

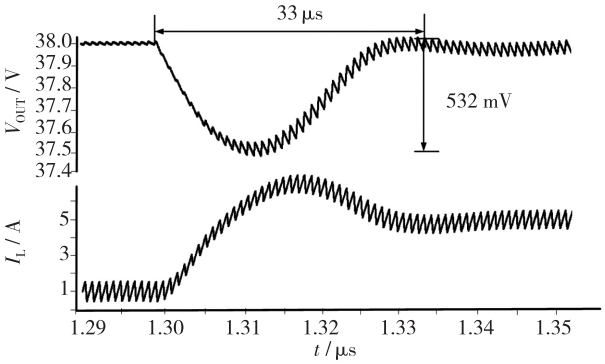


图 7　本文 Boost 变换器从轻载变重载时的仿真曲线

本文与其他文献中 Boost 变换器的参数对比如表 1 所示。表 1 中，优值 FOM 定义为恢复时间与负载电流变化量之比。从表 1 可以看出，与其他文献相比，本文 Boost 变换器的恢复时间较短，瞬态响应较优。

表 1 本文与其他文献中 Boost 变换器的参数对比

参数	文献[5]	文献[6]	文献[7]	本文
工艺/μm	0.35	0.18	0.35	0.18
输入电压/V	2.7～4.5	0.8～1.2	0.9	8～12
输出电压/V	8	1.8	3	38
电感/μH	10	3.3	1	4.7
电容/μF	10	10	10	10
开关频率/MHz	0.833	1～2	1	1
重载变轻载下恢复时间/μs	20	8	4	50
轻载变重载下恢复时间/μs	20	8	8.9	33
负载阶跃电流/ A	0.06～0.3	0.01～0.1	0～0.04	0.2～1
重载变轻载 FOM/(μs·mA^{-1})	0.083	0.089	0.1	0.062 5
轻载变重载 FOM/(μs·mA^{-1})	0.083	0.089	0.222 5	0.041 3

5 结 论

本文基于 0.18 μm BCD 工艺设计了一种应用于峰值电流模 Boost 变换器的瞬态响应优化电路。详细分析了瞬态优化电路的工作原理及小信号模型。该电路可以根据负载阶跃阶段的输出电压变化量来产生自适应的电流量，自适应地调整比较器的正相输入端电压，提高了电路在瞬态响应阶段的调整速度。仿真结果表明，相比于传统 Boost 变换器，本文 Boost 变换器有效改善了系统的瞬态响应。

参 考 文 献：

[1] LIU Y G，ZHAN C Y，KI W H. A fast- transient-response hybrid buck converter with automatic and nearly-seamless loop transition for portable application [C] // IEEE ESSCIRC. Bordeaux，France. 2012：165-168.

[2] SANKMAN J，SONG M K，MA D S. A 40-MHz current-mode hysteretic controlled switching converter with digital push-pull current pumping technique for high performance microprocessors [C] // Int Symp VLSI Des，Autom &Test. Hsinchu，China. 2014：1-4.

[3] KITTIPEERACHON K，BUNLAKSANANUSORN C. Feedback compensation design for switched mode power supplies with a right-half plane (RHP) zero [C] // Second Int Conf Power Elec，Machines & Driv. Edinburgh，UK. 2004：236-241.

[4] RIDLEY R B. A new，continuous-time model for current- mode control [J]. IEEE Trans Power Elec，1991，6(2)：271-280.

[5] KONG T，WOO Y，WANG S，et al. Zeroth-order control of boost DC-DC converter with transient enhancement scheme [J]. IEEE J Sol Sta Circ，2013，48(3)：760-773.

[6] HWANG Y S，CHEN J J，LAI B H，et al. A fast-transient boost converter with noise-reduction techniques for wireless sensor networks [J]. IEEE Sensors J，2016，16(9)：3188-3197.

[7] LUO H，SIEK L. A 0.9-V input PWM DCM boost converter with low output ripples and fast load transient response based on a novel square-root voltage mode (SRVM) control approach [C] // IEEE ISCAS. Baltimore，MD，USA. 2017：1-4.

基于 ASK/OOK 的低功耗双向无线数据传输电路

陈　曦[1]，吴天宝[2]，龚奕宇[2]，陈逸飞[1]，陈铭易[1]
（1. 上海交通大学 电子信息与电气工程学院，上海 200240；
2. 国网四川省电力公司电力科学研究院，成都 610094）

摘　要： 在可植入式生物电子设备中，无线数据传输模块是内部设备和外部设备之间进行数据交互的重要模块。有限的电池体积和植入安全性要求传输功耗尽可能低。基于幅度移键控（ASK）和开关键控（OOK）的调制解调方案，架构简单、功耗低以及便于植入，因而被广泛采用。文章提出了一种低功耗的双向无线数据传输电路，并对其进行了电路设计及仿真。仿真结果表明，在 XFAB 0.18 μm工艺下，当最小调制深度为 3.2%、最小输入为 1.76 V 时，正向传输数据率达到 1 Mbit/s，实现了 120 pJ/bit 的能效，反向传输数据率达到 500 kbit/s，实现了 532.3 pJ/bit 的能效。

关键词： 无线数据传输模块；ASK 调制；压控振荡器；半双工
中图分类号：TN492；TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0799-07
DOI：10.13911/j.cnki.1004-3365.190711

A Low Power Bidirectional Data Telemetry Module Based on ASK/OOK

CHEN Xi[1], WU Tianbao[2], GONG Yiyu[2], CHEN Yifei[1], CHEN Mingyi[1]
(1. *School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai* 200240, *P. R. China*;
2. *State Grid Sichuan Electric Power Research Institute, Chengdu* 610094, *P. R. China*)

Abstract: In implantable bioelectronic devices, wireless data telemetry module was an important module for data interaction between internal and external devices. The limited battery size of the device and implantation safety required minimizing the power consumption of transmission. Amplitude shift keying (ASK) and On-off keying (OOK)-based modulation and demodulation scheme was widely used because it has simple architecture, low power consumption, and easy to implant. A low power bidirectional wireless data telemetry module was proposed in this paper, and the circuit design and simulation were carried out. The simulation results showed that in the XFAB 0.18 μm process, when the minimum modulation depth was 3.2% and the minimum input was 1.76 V, the forward transmission data rate reached 1 Mbit/s, achieving 120 pJ/bit energy efficiency, and the reverse transmission data rate reached 500 kbit/s, achieving 532.3 pJ/bit energy efficiency.

Key words: wireless data telemetry module; ASK modulation; VCO; half-duplex

0　引　言

随着生物医学电子工业的发展，可植入式生物电子设备，如人造视网膜、脑刺激器、人工耳蜗等，已经得到了广泛的应用。这些系统需要接收由体外设备发送至植入体的控制信号，以便实现诸如恢复视觉、听觉等功能。同时植入体还需将自身的温度、功耗等信息发送至体外设备，以便体外设备可以在出现异常时及时关闭系统，以保证使用者的安全。为

收稿日期：2019-12-07；**定稿日期：**2020-01-20
基金项目：国网总部 2017 年科技课题（52199916024H）
作者简介：陈　曦（1990—），男（汉族），北京人，博士研究生，研究方向为人造视网膜。
陈铭易（1982—），男（汉族），江苏苏州人，博士，助理教授，研究方向为面向生物电子和工业电子的数模混合芯片设计。通信作者，mychen@sjtu.edu.cn。

避免穿过皮肤的导线引起感染风险，可植入式设备通常使用通过线圈耦合的无线数据传输系统与体外设备进行通信[1]。本文针对可植入式设备中无线数据传输模块仅可单向传输的问题，提出基于半双工协议的正向幅度移键控（Amplitude-Shift Keying，ASK）调制和反向二进制开关键控（On-Off Keying，OOK）调制的低功耗双向无线数据传输模块，并对其进行了电路设计和功能仿真。仿真表明，本设计可以实现完整的无线数据传输功能，且正向与反向传输能效都较先前结构有明显提升。

文章第 1 节介绍可植入式设备中无线数据传输模块现状，分析现有结构存在的缺陷；第 2 节介绍新一代低功耗无线数据传输模块系统架构；第 3 节介绍正向数据传输模块；第 4 节介绍反向数据传输模块；第 5 节列出仿真结果和性能对比；第 6 节给出结论。

1 可植入式设备中无线数据传输模块现状

在可植入式生物电子设备中，无线数据传输模块是内部设备和外部设备之间进行数据交互的重要模块。准确的调制解调数据是保证整个植入式设备正确工作的前提，而有限的电池体积和植入安全性要求功耗尽可能低，从而一方面可以使设备拥有较长的使用寿命，另一方面也可以减少因设备过热带来患者身体上的不适，避免潜在的安全问题。

根据调制方式的不同，可将可植入设备的通讯方式分为基于相移键控（Phase-Shift Keying，PSK）的无线数据传输、基于频移键控（Frequency-Shift Keying，FSK）的无线数据传输和基于 ASK 的无线数据传输。在文献[2]和[3]中分别报道了使用 PSK 调制和 FSK 调制方案的两种解调器。文献[2]使用锁相环（Phase Locked Loop，PLL）进行解调，在 20 MHz 的载波频率上可传输速率为 20 Mbit/s 的数据码率。然而，该电路功耗为 6.625 mW，不适用于低功耗可植入设备；文献[3]利用开关电容在 5/10 MHz 组成的解调器实现 FSK 解调，并实现了 2 Mbit/s 数据传输速率，功耗为 0.38 mW，但需要制定特有的传输协议来解决频率同步问题。与 PSK 和 FSK 方案相比，ASK 方案解调端电路结构简单、功耗低，且易于频率同步，因此被广泛应用于生物医学设备通信领域。

对于 ASK 解调器，MI 与输入范围是评价 ASK 解调器性能的两个重要指标。MI 定义为 $(V_H-V_L)/(V_H+V_L)$，其中 V_H 和 V_L 分别为数字逻辑“1”和“0”在载波上对应的载波幅度。在文献[4]中，MI 需要达到 14.4%，这会很大程度限制解调性能。一个可以在较小的 MI 下工作的解调器意味着具有更好的检测灵敏度。

在生物医学植入物中，解调器接收到的输入信号幅值可能会出现较大幅度的变化。例如在视网膜假体系统中，由于眼球转动和体外线圈位置发生变化，体内线圈接收到的信号幅值将在几百毫伏至数伏间变化。传统的 ASK 解调器往往无法在耦合系数发生巨变时仍保持正常工作。因此往往需要较高的输入信号电压，才能保证其正常工作[4-8]。

为了实现内部设备和外部设备之间的数据交互，通常需要正向和反向数据传输模块，以及功率传输模块。在先前所报道的架构中[9]，通常采用将正向和反向数据传输模块分开，同时将反向数据传输与功率传输集成在一起的架构。此架构的缺点在于正向和反向传输模块需使用不同的载波频率，而体外调制解调系统需要针对不同载波频率设计两个系统，使得体外调制解调系统变得复杂，增加了功耗代价。为了尽可能简化体内与体外系统，减小功耗，文献[10]提出将正向和反向数据传输模块集成在一起的方案，其目的是为了将不同调制方式（DPSK/LSK）的正向与反向数据以全双工的形式用同一根天线进行传输，以达到实时监测的目的。

2 新一代低功耗无线数据传输模块系统架构

通过借鉴上述方案思路，本文基于 ASK/OOK 传输模式，设计了新一代低功耗无线数据传输模块架构。架构图如图 1 所示。系统由三个模块构成：正向数据接收模块（Receiver，RX）、反向数据发送模块（Transmitter，TX）和复用器（Multiplexer，MUX）。其中 RX 的主要部分为一个低功耗 ASK 解调器，用以解调接收到的数据信号；TX 由 PLL 和功率放大器（Power Amplifier，PA）组成。由于使用片外晶振生成数据载波，功耗较大，因此选择利用 PLL 中的压控振荡器（Voltage-Controlled Oscillator，VCO）来产生载波，并在 PLL 之后集成一个 PA，以进行数据调制和信号放大，在简化结构

的同时大大降低了功耗。整体采用半双工协议传输，与全双工传输比较，其优点在于避免了两个方向数据的干扰问题，且架构更简单，功耗更低，更符合可植入设备的性能需求。

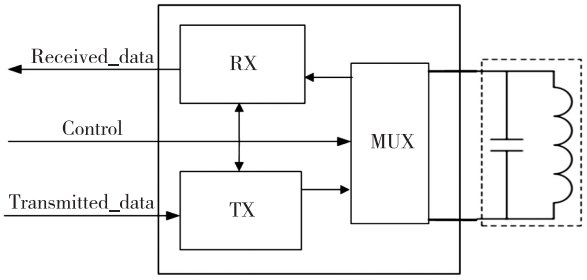


图 1　新一代可植入式设备中的无线数据传输模块架构图

3　正向数据传输模块

正向传输模块架构图与电路图如图 2 所示。其中，图 2(a)为用于视网膜假体刺激器芯片的新一代低功耗无线数据传输模块中 ASK 解调器系统结构[11]，主要部分由三部分构成：跨导放大器(Operational Transconductance Amplifier，OTA)、包络检测器(Envelop Detector，ED)和比较器。其中 ED 和比较器为解调器的主要功能核心，而 OTA 是功能保证的前提，更是使整个解调器性能提升的重要部分。通过在前端加入 OTA 模块，将输入的差分 ASK 电压信号放大并转换为差分电流信号，再送入 ED。在 ED 中对接受到的电流信号整流并转换回电压信号，提取出包络电压和直流电平。最后通过快速比较器，将包络电压和基准直流电平进行比较，输出最终恢复的数字数据。

为了提高输入范围，采取了如下方法：在输入电压进行包络检测之前，通过前端的 OTA，将输入电压转换成电流信号，同时进行放大。如此便可在满足 ED 正常工作的前提下，令整个系统可以接受的输入信号变得更小，系统的调制深度变得更小，输入信号范围变得更大，更适应信号的大幅变化。为了降低功耗，主要采取了两种方法。一是用全差分 OTA 代替无源或数字 OTA 作为模拟前端(Analog Front End，AFE)[7-8]。相比无源或数字结构，这种有源 AFE 能够在满足相同的 MI、输入范围、信号幅度等信号解调要求的同时，拥有更小的功耗和面积。二是缩小并优化了器件的尺寸，使电路的功耗进一步降低。

3.1　跨导放大器电路设计

ASK 解调器中使用的 OTA 电路如图 2(b)所示。晶体管 M1～M13 为 OTA 主级，使用了全差分结构，有助于排除共模干扰。M14～M17 为反馈电路。输出级由 M10～M13 组成。输出级的 W/L 值是其他同类型晶体管的 m 倍，即 $(W/L)_{10}=m*(W/L)_8$，$(W/L)_{11}=m*(W/L)_3$。

OTA 的闭环增益，即闭环跨导，可以表示为：

$$G_{\mathrm{m,close}}=\frac{m*G_{\mathrm{m}}}{1+R_{\mathrm{f}}*G_{\mathrm{m}}}\approx\frac{m}{R_{\mathrm{f}}} \tag{1}$$

式中，G_{m} 是 OTA 的开环跨导，R_{f} 是反馈电阻。由于 G_{m} 较大，因此在式中可被简化，简化后 OTA 的闭环跨导主要由 R_{f} 决定。式中的 m 可以增加 OTA 的闭环增益，同时最小化静态功耗。

最小输入电压为：

$$V_{\mathrm{amp,min}}=\frac{V_{\mathrm{comp}}/R}{2*MI*G_{\mathrm{m,close}}} \tag{2}$$

式中，V_{comp} 是比较器的分辨率，R 是包络检测器的增益。该式意味着增加 $G_{\mathrm{m,close}}$ 可以减小输入幅值和 MI。

另一方面，跨导放大器的最大输入幅值主要由 OTA 的电流驱动能力决定。因此，最大输入电压可表示为：

$$V_{\mathrm{max}}=\frac{m*I_{\mathrm{b}}}{G_{\mathrm{m,close}}} \tag{3}$$

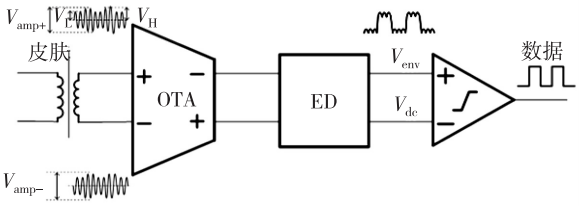
式中，I_{b} 为偏置电流。在不超过后续的包络检测器所能耐受的最大电流前提下，I_{b} 越大，可以得到的输入值越大，但其后果是功耗升高。

该跨导放大器的输出负载为包络检波器的低阻抗节点，因此差分输入节点贡献了整个输入级的主极点。当 $G_{\mathrm{m}}*R_{\mathrm{f}}\gg1$ 时，输入级的带宽可以简化为：

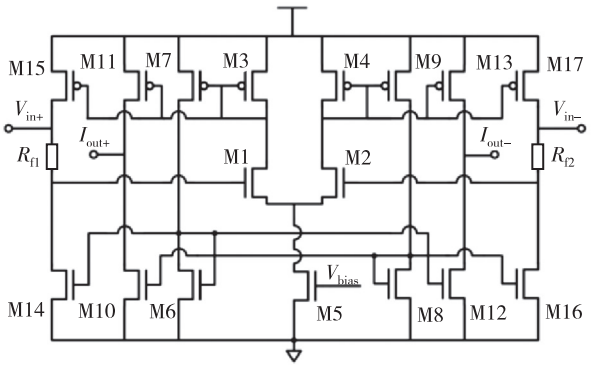
$$\omega_{\mathrm{3DB}}=\frac{G_{\mathrm{m}}}{C_{\mathrm{g}}} \tag{4}$$

式中，G_{m} 是 OTA 的开环跨导，C_{g} 是输入端的电容。

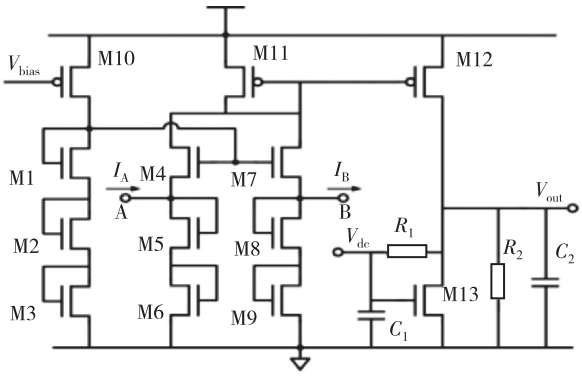
式(4)与晶体管的本征频率表达式相同，理论上可达上百 GHz。若只考虑输入差分对寄生电容，用较小的偏置电流和功耗就很容易获得较大的载频带宽。



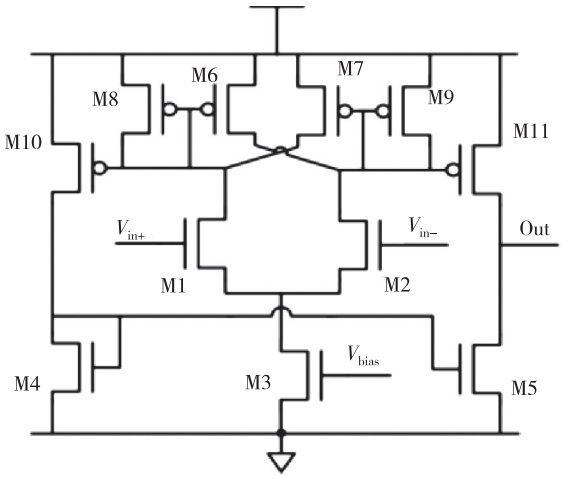
(a) ASK 解调器架构图



(b) 跨导放大器电路图



(c) 包络检测器电路图



(d) 比较器电路图

图 2　正向传输模块架构图与电路图

3.2　包络检测器电路设计

图 2(c)所示的包络检波器由全波有源整流器和包络提取器两部分组成。

整流器由 M1～M11 组成。I_A 和 I_B 分别为从 OTA 流向/流出节点 A 和节点 B 的电流。假设 I_A 为正相，电流流入节点 A，I_B 为负相，从节点 B 中提取电流，则 M4 关闭，所有电流通过 M5、M6 汇聚，因此没有电流参与输出。同时，M8、M9 关闭，所有电流从 M7 源中提取，此时对 M11 的总贡献电流为 I_B，即输出电流全部由 I_B 贡献。当相位相反时，I_A 从节点 A 中提取电流，I_B 向节点 B 注入电流，只有 I_A 贡献总输出电流。如上述周期循环，输入信号就被周期性地整流。

如上所述，每个半波整流支路在一个载波周期内贡献一次整流电流，保证了全波整流信号的输出。因此，内部整形后的调制速率降低了一半，从而提高了 ASK 解调器的调制速率。这种结构与文献[12]中使用反馈循环的操作原理相似。但本研究通过优化结构，减少了支路数目，从而减小电流损耗，并将晶体管偏置在亚阈值区，将偏置电流要求降低至 250 nA。

图 2(c)中，包络提取器由 M12、M13、R_1、R_2、C_1 和 C_2 组成。M12 将 M11 的整流电流放大 n 倍，n 等于 $(W/L)_{12}$ 与 $(W/L)_{11}$ 之比。然后这个复制的电流 I_{in} 被包络提取器放大。最后，对 V_{out} 和 V_{dc} 分别输出包络信号和直流电压。该包络提取器的传递函数为：

$$R_{eq}(s)=\frac{V_{out}(s)}{I_{in}(s)}=\frac{\frac{1}{g_{m13}}*(\frac{s}{\omega_z}+1)}{(\frac{s}{\omega_{p1}}+1)(\frac{s}{\omega_{p2}}+1)} \tag{5}$$

式中，$\omega_z=\omega_1=1/(R_1C_1)$，$\omega_{p1}=g_{m13}R_2\omega_1$，$\omega_{p2}=1/(R_2C_2)$。此处 $\omega_1\ll\omega_{p1}<\omega_{p2}$，$\omega_{p2}=\omega_{env}$，可以得到包络频率下 R_2 附近的增益。因此，该提取器可以作为带通滤波器进行包络提取。

3.3　比较器电路设计

图 2(d)为比较器的电路图。该比较器将包络信号与 ED 的直流电压进行比较，得到不归零数字码。差分 NMOS 对 M1 和 M2 采用足够大的尺寸，尽可能减小输入失调电压，从而提高 ASK 解调器的灵敏度。

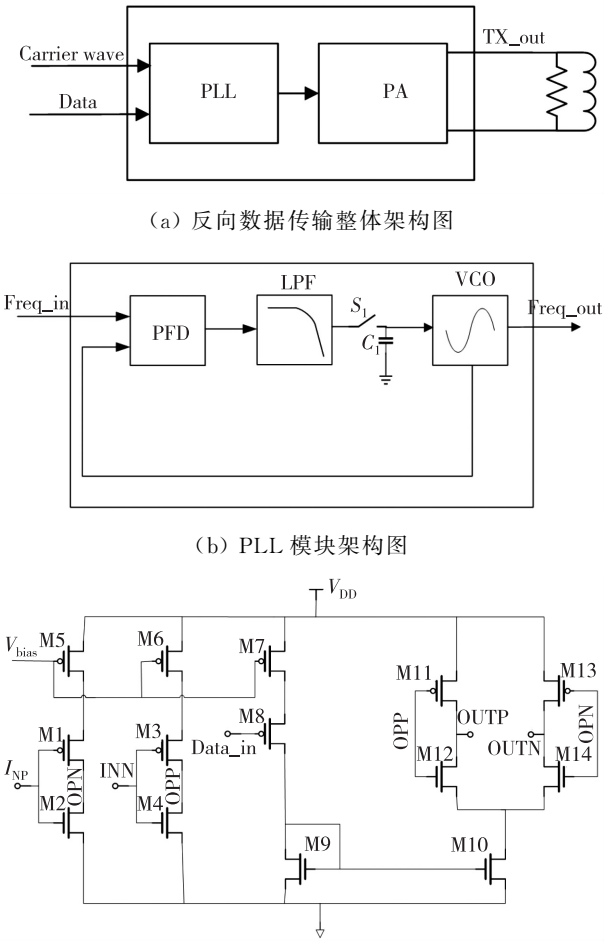
4　反向数据传输模块

反向传输模块主要由两部分结构组成：PLL 和 PA。其中 PLL 用于产生反向数据传输时所需的 13.56 MHz 载波，PA 用于将载波和数据以电流形式调制并进行放大。反向数据传输模块架构图与电路图如图 3 所示。其中，图 3(a)为反向数据传输整体架构图。下面分别介绍这两个部分。

4.1　锁相环回路设计

该系统中的 PLL 由鉴频鉴相器（Phase Frequency Detector，PFD）、低通滤波器（Low Pass Filter，LPF）和 VCO 组成。图 3(b)为 PLL 的整体架构图。与不使用 PLL 相比，使用 PLL 有更好的 PVT 特性和稳定性。与以往借助外部晶振的 PLL 结构不同，为了实现低功耗，该 PLL 中加入了一个

开关电容来代替外部晶振，从而大幅降低了系统复杂程度，并且降低了功耗。通过将晶体管偏置在亚阈值区，可最大程度提升效率。通过降低参考电流，可达到降低功耗的目的。



(a) 反向数据传输整体架构图

(b) PLL 模块架构图

(c) PA 电路图

图 3　反向数据传输模块架构图与电路图

当正向传输时，PLL 保持锁定状态。当进入反向数据发送模式时，PLL 首先锁定数据载波频率，此时稳态的 VCO 控制电压被存储在片上电容 C 中。之后复用器 MUX 将线圈与 TX 模块相连，将锁相环回路中的开关 S_1 断开。VCO 随后基于片上电容 C 存储的电压开始震荡，从而产生反向数据发送所需载波。电容漏电会带来潜在的 VCO 频率偏移，但发送时间较短，因此电容漏电导致的误差可以控制在合理范围之内。

4.2　功率放大器设计

该系统中的功率放大器主要用于锁相环产生的数据和载波的调制，并将调制后的信号进行放大并驱动数据线圈进行无线传输，其等效电阻为7.73 Ω。图 3(c)所示为功率放大器电路图。调制方案为 OOK，具体表现是，数据为“0”时有载波输出，数据为“1”时无载波输出。

差分载波电压 INP/INN 传入功率放大器后，先由两对反相管(M1 和 M2、M3 和 M4)将电压信号转化为电流信号，再将电流信号传入两对放大管(M11 和 M12、M13 和 M14)进行放大，以获得足够大的能量来发射信号。

OOK 的调制方式通过 M8 管完成。当 Data_in 为“0”时，M8 管导通，此时放大管 M11～M14 正常工作；当 Data_in 为“1”时，M8 管关断，此时没有电流信号流入放大管，即失去放大效果，输出端保持在低电平。这样就实现了 OOK 的调制方式。

5　仿真结果与性能对比

5.1　正向数据传输模块仿真结果

本设计使用 XFAB 0.18 μm CMOS 工艺，载波频率为 13.56 MHz，对正向数据传输模块进行了电路仿真，如图 4(a)所示。仿真结果表明，该电路在输入信号幅值为 880 mV、MI 为 3.2%的情况下，能够对 ASK 信号进行正确解调。

5.2　反向数据传输模块仿真结果

图 4(b)所示为反向传输模块发送的调制波经 FFT 后的频率响应图，可以看到，在 100 μs 的发送时间内，频率分量主要集中在 13.56 MHz 处，表明发送的载波频率准确。

图 4(c)所示为反向传输模块的发送结果图。尽管发送结果存在一定的电压和频率偏移，但 OOK 的调制效果明显，信号可被外部设备接收并解调。

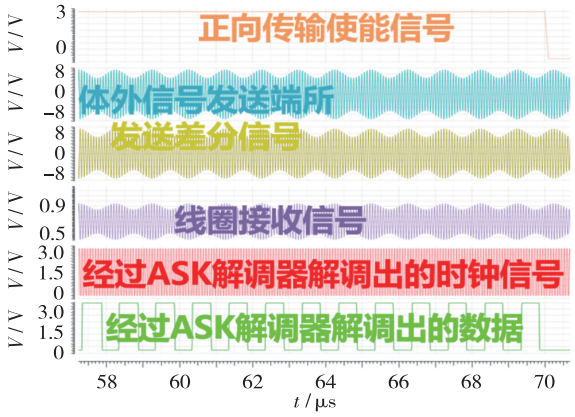
图 4(d)所示为在 100 μs 内发送的数据经解调模块后与源数据的对比结果图。解调后的数据可以准确恢复原始数据。

5.3　完整功能仿真结果

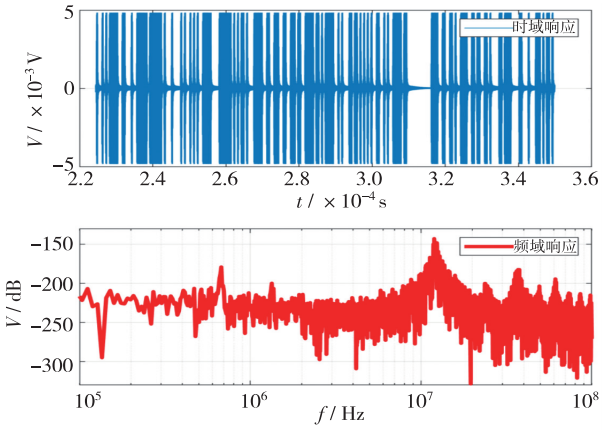
图 4(e)所示为整个无线数据传输模块从正向到反向的完整仿真结果.

5.4　与现有结构的性能对比

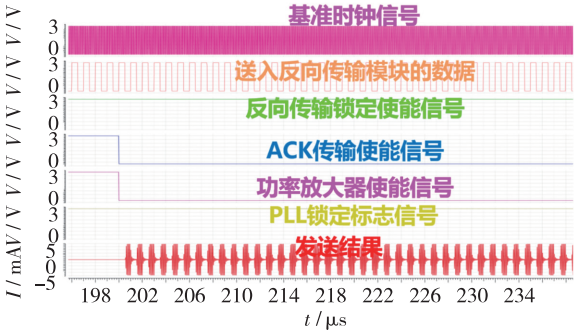
表 1 所示为本文与现有的可植入式设备中正向传输模块的性能对比。通过对比可以看出，在 MI 较大范围的情况下，本模块的能效比其他解调模块有较大提升。表 2 所示为本文与现有的可植入式设备中反向传输模块的性能对比。通过表 2 的对比可以看出，本系统在反向传输模块上同样具有较大的能效提升。



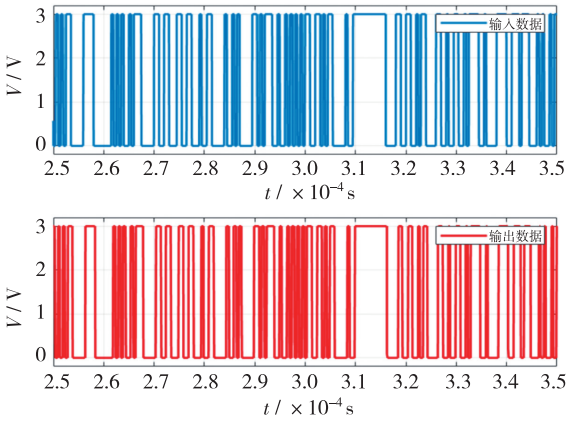
（a）正向传输模块数据解调结果



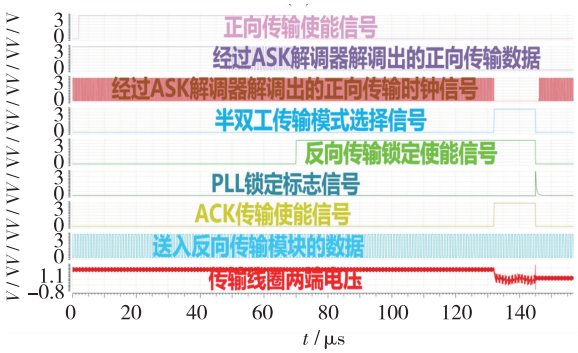
（b）反向数据发送载波频率响应图



（c）源数据与解调后数据对比图



（d）500 kbit/s 数据的反向传输发送结果图



（e）无线数据传输模块整体仿真结果

图 4　各模块仿真结果图

表 2　与现有视网膜假体中的反向无线传输模块性能对比

参数	文献[13]	文献[14]	本款芯片
工艺/μm	-	0.5	0.18
电源电压/V	-	5	3
载波频率/ MHz	13.56	13.56	13.56
调制方式	PSK	BPSK	OOK
数据传输速率/（kbit・s^{-1}）	10	800	500
传输功耗/mW	60	2.3	0.266 13
FoM/（pJ・bit^{-1}）	6E9	2000	532.3

表 1　与现有视网膜假体中的正向无线传输模块性能对比

参数	文献[2]	文献[3]	文献[4]	文献[5]	文献[7]	本文
工艺/μm	0.065 LV CMOS	1.3 CMOS	0.35 CMOS	0.18 CMOS	0.18 CMOS	0.18 CMOS
电源电压/V	2.5	5	3.3	1.8	1.8	3
载波频率/MHz	20	5/10	2	2	2	13.56
调制方式	PSK	FSK	ASK	ASK	ASK	ASK
数据传输速率/（Mbit・s^{-1}）	20	2.5	0.01	1	1	1
调制深度/%	-	-	14.4	5.26	2.8～38	3.2～100
传输功耗/mW	6.625	0.38	10.23	0.336	0.396	0.12
FoM/（pJ・bit^{-1}）	331.25	152	1.02E9	336	396	120

6 结　论

本文设计了基于半双工协议的 ASK/OOK 的低功耗双向无线数据传输模块。在正向传输时加入前端 OTA，可满足小幅值输入信号下正常的解调功能；在反向传输时，通过 VCO 产生数据载波，并加入开关电容来存储 VCO 的控制电压，进一步减小，反向传输功耗。通过以上两种方法实现了低功耗的设计目标。电路仿真表明，在 XFAB 0.18 μm 工艺下，采用 13.56 MHz 载波频率，当最小 MI 为 3.2%、最小输入为 1.76 V 时，正向传输数据率达到 1 Mbit/s，实现了 120 pJ/bit 的能效，反向传输数据率达到 500 kbit/s，实现了 532.3 pJ/bit 的能效。正向和反向传输的能效指标均优于同类报道。

参 考 文 献：

[1] CAPPS C. Near field or far field? [J]. EDN, 2001, 46(18): 95-102.

[2] MONGE M, RAJ M, NAZARI M H, et al. A fully intraocular high-density self-calibrating epiretinal prosthesis [J]. IEEE Trans Biomed Circ Syst, 2013, 7(6): 747-760.

[3] GHOVANLOO M, NAJAFI K. A wideband frequency-shift keying wireless link for inductively powered biomedical implants [J]. IEEE Trans Circ Syst I: Regul Pap, 2004, 51(12): 2374-2383.

[4] WANG C C, HSUEH Y H, CHIO U F, et al. A C-less ASK demodulator for implantable neural interfacing chips [C] // IEEE ISCAS. Vancouver, BC, Canada. 2004, 4: IV-57.

[5] GONG C S A., SHIUE M T, YAO K W, et al. A truly low-cost high-efficiency ASK demodulator based on self- sampling scheme for bioimplantable applications [J]. IEEE Trans Circ Syst I: Regul Pap, 2008, 55(6): 1464-1477.

[6] WANG C C, CHEN C L, KUO R C, et al. Self-sampled all-MOS ASK demodulator for lower ISM band applications [J]. IEEE Trans Circ Syst II: Expr Bri, 2010, 57(4): 265-269.

[7] KAO C H, TANG K T. Wireless power and data transmission with ASK demodulator and power regulator for a biomedical implantable SOC [C] // Proceed IEEE/NIH Life Sci Syst Appl Workshop. Bethesda, MD, USA. 2009: 179-182.

[8] KANGI M K, MAYMANDI-NEJAD M, NASSERIAN M. A fully digital ASK demodulator with digital calibration for bioimplantable devices [J]. IEEE Trans Very Large Scale Integr (VLSI) Syst, 2015, 23(8): 1557-1561.

[9] TRAN N, BAI S, YANG J W, et al. A complete 256-electrode retinal prosthesis chip [J]. IEEE J Sol Sta Circ, 2014, 49(3): 751-765.

[10] LO Y K, KUAN Y C, CULACLII S, et al. A fully integrated wireless SoC for motor function recovery after spinal cord injury [J]. IEEE Trans Biomed Circ Syst, 2017, 11(3): 497-509.

[11] ZHOU J, CHEN X, WU T, et al. A fully differential high efficiency ASK demodulator for biomedical implantable application [C] // IEEE 12th ASICON. Guiyang, China. 2017: 508-511.

[12] LIANG B, YANG Z, LIU W. An ASK demodulator for data telemetry in biomedical application [C] // 31st Annual Int Conf IEEE EMBS. Minneapolis, MN, USA. 2009: 1561-1564.

[13] NAJJARZADEGAN M, GHOTBI I, ASHTIANI J S, et al. A double-carrier wireless power and data telemetry for implantable biomedical systems [C] // IEEE ISCAS. Montreal, QC, Canada. 2016: 2038-2041.

[14] XU W R, LUO Z Y, SONKUSALE S. Biomedical implant transceiver with novel multi level LSK back telemetry and fully digital BPSK demodulation [C] // IEEE 35th Annual Northeast Bioengineer Conf. Boston, MA, USA. 2009: 1-2.

面向植入式射频识别的超低功耗温度传感器

伏仕波[1,2,3]，肖宛昂[1,2,3]，毛文宇[1]，王　昂[1,2,3]，于丽娜[1]
(1. 中国科学院 半导体研究所，北京 100083；2. 中国科学院大学 材料与光电研究中心 & 微电子学院，北京 100083；3. 射频集成电路与系统北京市重点实验室，北京 100083)

摘　要： 针对应用于动物体温检测的植入式射频识别标签(RFID)，设计了一种超低功耗的温度传感器。采用差分延时线结构和差分型电压电流转换器，增大了时间随温度的变化率，提高了温度传感器的分辨率和精度。基于 SMIC 0.18 μm CMOS 工艺，采用 Cadence SpectreVerilog 进行仿真。结果表明，在 TT、FF 和 SS 工艺角下，当温度范围为 35 ℃～45 ℃时，温度传感器的分辨率为 0.03 ℃/LSB，误差为±0.2 ℃，功耗为 600 nW，测温时间为 1 ms。该温度传感器满足应用于动物体温检测的植入式 RFID 的要求。

关键词： 植入式体温检测；射频识别；温度传感器；时间数字转换器；超低功耗
中图分类号：TN432；TP212.11　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0806-05
DOI：10.13911/j.cnki.1004-3365.190712

An Ultra-Low Power Temperature Sensor for Implanted RFID

FU Shibo[1,2,3], XIAO Wan'ang[1,2,3], MAO Wenyu[1], WANG Ang[1,2,3], YU Li'na[1]
(1. *Institute of Semiconductors, Chinese Academy of Sciences, Beijing* 100083, *P. R. China*;
2. *Center of Mater. Sci. and Optoelec. Engineer. & School of Microelec., Univ. of Chinese Academy of Sciences, Beijing* 100049, *P. R. China*;
3. *Beijing Key Laboratory of Radio Frequency Integrated Circuit and System, Beijing* 100083, *P. R. China*)

Abstract: An ultra-low power temperature sensor was designed for implanted radio frequency identification (RFID) tags used in animal temperature detection. By using differential delay line structure and differential voltage-current converter, the change rate of time with temperature was increased, thus improving the resolution and precision of the temperature sensor. Based on SMIC 0.18 μm CMOS process, the sensor had been simulated by Cadence SpectreVerilog Simulator. The results showed that at TT, FF and SS process corner, when the temperature range was 35 ℃～45 ℃, the resolution of the temperature sensor was 0.03 ℃/LSB, the error was ±0.2 ℃, the power consumption was 600 nW, and the temperature measurement time was 1 ms. The temperature sensor met the requirements of implantable RFID used in animal temperature detection.

Key words: implanted body temperature measurement; RFID; temperature sensor; time-to-digital converter; ultra-low power

0　引　言

与传统动物测温方式相比，带温度传感器的植入式动物体内的 RFID 芯片具有安全、准确、高效的优点，能同时实现目标识别与温度感知[1]。相比有源 RFID，无源 RFID 成本更低、寿命更长。因此，植入式 RFID 芯片采用无源供电方式[2]，需满足低功

收稿日期：2019-12-08；**定稿日期：**2020-01-20
基金项目：国家自然科学基金联合基金项目(U1936106)
作者简介：伏仕波(1993—)，男，四川南充人，硕士研究生，研究方向为模拟集成电路设计。
肖宛昂(1970—)，男，江西樟树人，研究员，主要从事低功耗芯片设计。通信作者。

耗要求(小于 1 μW)。同时为了准确反映动物的健康状况，温度传感器需要具有较高的精度(小于 0.2 ℃)[3]。

基于模数转换器(ADC)的温度传感器将温度转换为与温度呈线性关系的电压，再通过 ADC 获得温度数据[4]。这种温度传感器的精度高，误差小于±0.2 ℃，缺点是功耗大(μW 级)。基于频率数字转换器(FDC)或时间数字转换器(TDC)的温度传感器将温度转换为与温度呈线性关系的频率或时间，再通过 FDC 或 TDC 获得温度数据[5-6]。这两种温度传感器的功耗较低(nW 级)，缺点是精度低，误差大于±0.5 ℃。

为了满足低功耗的要求，本文基于 TDC 设计了一种超低功耗温度传感器。文章第 1 节介绍了该温度传感器的整体结构，第 2 节叙述了脉宽信号产生器和 TDC 的设计，第 3 节给出仿真结果，第 4 节给出结论。

1　整体结构

本文设计的温度传感器由脉宽信号产生器、TDC 和时钟电路组成，整体结构如图 1 所示。脉宽信号产生器产生与温度呈线性关系的脉宽信号 sen_PW，经过 TDC 量化，得到 10 位温度数据 sen_data，产生一个完成标志 sen_done。采用两点校准将 10 位温度数据转换为实际的温度值[7]。时钟电路为 TDC 提供 1.28 MHz 频率的时钟。

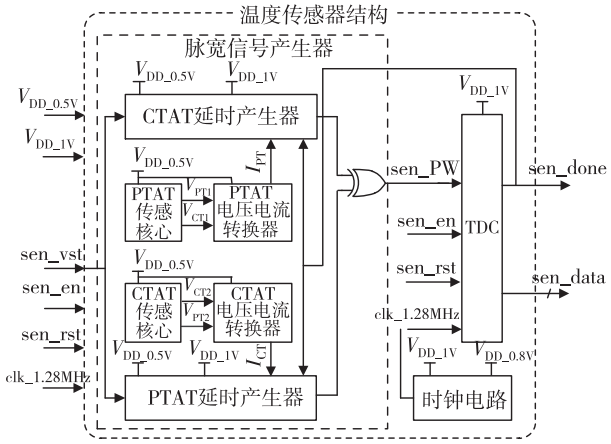


图 1　温度传感器整体结构

脉宽信号产生器由传感核心、电压电流转换器、延时产生器和异或门组成。首先，与温度呈正比(PTAT)的传感核心产生 PTAT 电压 V_{PT1} 和与温度呈反比(CTAT)的电压 V_{CT1}，$V_{PT1}>V_{CT1}$；接着，CTAT 传感核心产生 PTAT 电压 V_{PT2} 和 CTAT 电压 V_{CT2}，$V_{CT2}>V_{PT2}$；然后，PTAT 电压电流转换器、CTAT 电压电流转换器分别将电压转换为 PTAT 电流 I_{PT}、CTAT 电流 I_{CT}；最后，PTAT 延时产生器、CTAT 延时产生器分别产生 PTAT 延时信号、CTAT 延时信号，通过异或门得到与温度呈线性关系的脉宽信号 sen_PW。

该温度传感器采用多电压域供电。传感核心、电压电流转换器的电源电压为 0.5 V，TDC 的电源电压为 1.0 V，延时产生器实现 0.5 V 到 1.0 V 的电平转换。时钟电路的电源电压为 0.8 V，采用电平转换器实现 0.8 V 到 1.0 V 的电平转换。

为了提高分辨率和精度，该温度传感器采用差分延时线结构。设 PTAT 延时线、CTAT 延时线的变化分别为 Δt_{PT} 和 Δt_{CT}，时钟频率为 f_{clk}，测温温度为 T_{mea}，则 sen_PW 的脉宽变化 Δt_{PW} 及对应的分辨率 R_{es} 分别为：

$$\Delta t_{PW}=\Delta t_{PT}+\Delta t_{CT} \tag{1}$$

$$R_{es}=\frac{T_{mea}}{\Delta t_{PW}\cdot f_{clk}} \tag{2}$$

从式(1)、(2)可知，采用差分延时线结构能有效提高分辨率。

2　单元结构

2.1　脉宽信号产生器

脉宽信号产生器的简化原理图如图 2 所示，该电路由电压电流转换器、延时产生器和异或门组成。

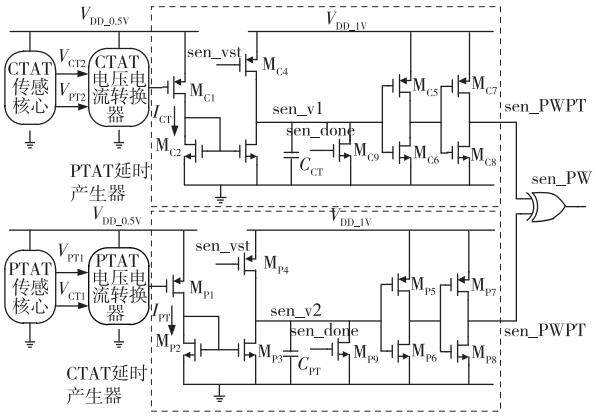


图 2　脉宽信号产生器原理图

PTAT 电压电流转换器产生了 I_{PT}，通过 $M_{P1\text{-}3}$ 电流镜实现了 I_{PT} 电流的复制。同理，CTAT 电压电流转换器产生了 I_{CT}。

PTAT 与 CTAT 延时产生器的原理相同，因此

下面仅分析 CTAT 延时产生器。在待启动阶段，令电压置位信号 sen_vst＝0，M_{P4}（M_{C4}）管导通，C_{PT}（C_{CT}）被充电至 V_{DD_1V}＝1 V，$C_{PT}=C_{CT}=C$。当转换开始时，令启动信号 sen_vst＝1，M_{P4}（M_{C4}）管截止，C_{PT}（C_{CT}）放电。当 C_{PT}（C_{CT}）的电压值小于反相器 $M_{P5\text{-}6}$（$M_{C5\text{-}6}$）的开关阈值时，反相器的输出从“0”变为“1”。$M_{P7\text{-}8}$（$M_{C7\text{-}8}$）为缓冲器，使信号驱动能力增强，得到具有 CTAT 特性的输出信号 sen_PWCT。

PTAT 延时产生器中缓冲器 $M_{P7\text{-}8}$ 与 CTAT 延时产生器中缓冲器 $M_{C7\text{-}8}$ 的输出信号的上升沿之差与温度呈线性关系，通过异或门即可得到脉冲宽度与温度呈线性关系的脉宽信号 sen_PW。

设 PTAT 延时产生器、CTAT 延时产生器的输出信号 sen_PWPT 和 sen_PWCT 的脉宽分别为 t_{PT}、t_{CT}，根据电容充放电公式得：

$$t_{PT}(T)=\frac{C\Delta V}{I_{CT}(T)},\ t_{CT}(T)=\frac{C\Delta V}{I_{PT}(T)} \tag{3}$$

式中，ΔV 是 V_{DD_1V} 与反相器 $M_{C7\sim8}$ 开关阈值之差。设 $I_{CT}(T)$ 和 $I_{PT}(T)$ 的温度特性由 1 阶线性模型表示，为：

$$I_{CT}(T)\approx I_{CT}(T_0)(1+k_{ICT}\Delta T) \tag{4}$$

$$I_{PT}(T)\approx I_{PT}(T_0)(1+k_{IPT}\Delta T) \tag{5}$$

式中，$I_{CT}(T_0)$ 和 $I_{PT}(T_0)$ 分别为参考温度 T_0 时的 I_{CT} 和 I_{PT}，k_{ICT} 和 k_{IPT} 分别为 1 阶温度系数，且 $k_{ICT}>0$，$k_{IPT}>0$，$\Delta T=T-T_0$。若 $k_{IPT}\Delta T$ 或 $k_{ICT}\Delta T$ 足够小，根据泰勒展开式得：

$$t_{PT}(T)=\frac{C\Delta V}{I_{CT}(T_0)}(1+k_{ICT}\Delta T+k_{ICT}^2(\Delta T)^2) \tag{6}$$

$$t_{CT}(T)=\frac{C\Delta V}{I_{PT}(T_0)}(1-k_{IPT}\Delta T+k_{IPT}^2(\Delta T)^2) \tag{7}$$

若 $t_{PT}(T)>t_{CT}(T)$，假设能够抵消 2 阶项，则脉宽 t_{PW} 为：

$$t_{PW}(T)\approx t_{PW}(T_0)+\left(\frac{C\Delta Vk_{IPT}}{I_{PT}(T_0)}+\frac{C\Delta Vk_{ICT}}{I_{CT}(T_0)}\right)\Delta T \tag{8}$$

$$t_{PW}(T_0)=\frac{C\Delta V}{I_{CT}(T_0)}-\frac{C\Delta V}{I_{PT}(T_0)} \tag{9}$$

综上可知，脉宽呈现 PTAT 特性，其变化率由 ΔT 的 1 阶温度系数决定。差分结构中，k_{IPT} 和 k_{ICT} 均大于 0，这增大了 t_{PW} 的 1 阶温度系数，从而提高了分辨率。

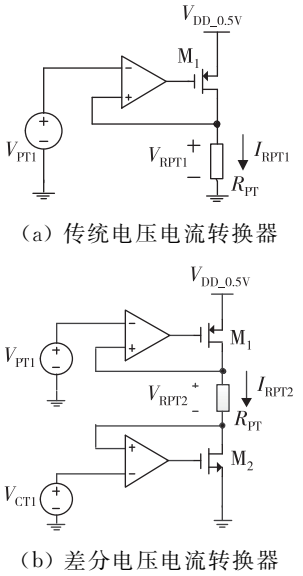
传感核心由 6 个 MOS 管组成，所有 MOS 管均工作在亚阈值区，具有极低的功耗[8]。PTAT 传感核心与 CTAT 传感核心的结构相同，尺寸不同。PTAT 传统型与差分型电压电流转换器的结构如图 3 所示。

设 V_{PT1} 的温度特性由 1 阶线性模型表示，忽略非线性效应，则 V_{PT1}、V_{CT1} 分别为：

$$V_{PT1}(T)\approx V_{PT1}(T_0)(1-k_{VPT}\Delta T) \tag{10}$$

$$V_{CT1}(T)\approx V_{CT1}(T_0)(1-k_{VCT}\Delta T) \tag{11}$$

式中，$V_{PT1}(T_0)$、$V_{CT1}(T_0)$ 分别为参考温度 T_0 时的 V_{PT1} 和 V_{CT1}，k_{VPT} 和 k_{VCT} 分别为 1 阶温度系数，且 $k_{VPT}>0$，$k_{VCT}>0$。



（a）传统电压电流转换器

（b）差分电压电流转换器

图 3 传统型与差分型电压电流转换器的结构

传统型电压电流转换器采用单个负反馈环路。由于放大器的负反馈作用，放大器的正负两端电压相等，通过 R_{PT} 的电流为：

$$I_{RPT1}(T)\approx\frac{V_{PT1}(T_0)}{R_{PT}}(1+k_{VPT}\Delta T) \tag{12}$$

比较式(10)和式(12)可得，电流随温度的变化率 $k_{IPT1}=k_{VPT}$。

差分型电压电流转换器采用两条负反馈环路，实现了差分结构，由于放大器的负反馈作用，通过 R_{PT} 的电流为：

$$I_{RPT2}(T)\approx\frac{(V_{PT1}-V_{CT1})}{R_{PT}} \tag{13}$$

需要注意的是，必须保证 $V_{PT1}>V_{CT1}$。

将式(10)和式(11)代入式(13)，计算得：

$$I_{PT2}(T_0)=\frac{V_{PT1}(T_0)-V_{CT1}(T_0)}{R_{PT}} \tag{14}$$

$$k_{IPT2}=\frac{V_{PT1}(T_0)k_{VPT}+V_{CT1}(T_0)k_{VCT}}{V_{PT1}(T_0)-V_{CT1}(T_0)} \tag{15}$$

因为 $V_{PT1}(T_0)-V_{CT1}(T_0)$ 的差值较小，采用阻值较小的电阻可得到较小的电流 $I_{PT2}(T_0)$。设 $V_{PT}(T_0)=V_{CT}(T_0)(1+\varepsilon)$，对比差分型和传统型电

压电流转换器的电流随温度的变化率，得：

$$\frac{k_{\mathrm{IPT2}}}{k_{\mathrm{IPT1}}}=1+\frac{1+\frac{k_{\mathrm{VCT}}}{k_{\mathrm{VPT}}}}{\varepsilon}\approx 1+\frac{2}{\varepsilon} \tag{16}$$

因为 $\varepsilon \ll 1$，所以差分型电压电流转换器的电流变化率远大于传统型。根据式(16)可知，差分型电压电流转换器增大了脉宽随温度的变化率。

2.2　TDC

TDC 由 10 位纹波计数器、触发器和逻辑门电路组成。传感器的工作时序如图 4 所示。

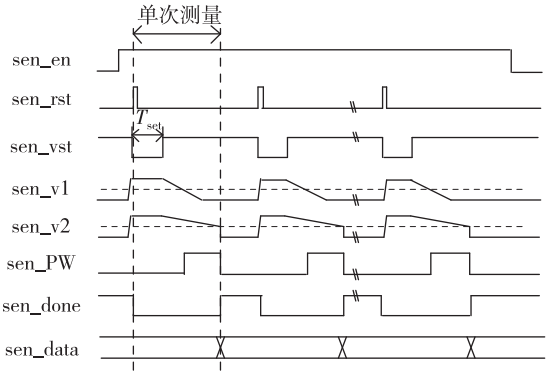


图 4　传感器工作时序

初始状态时，使能信号 sen_en＝“0”，复位信号 sen_rst＝“0”，电压置位 sen_vst＝“1”，完成标志 sen_done＝“1”，电容两端的电压 sen_v1 和 sen_v2 被拉低。当接收到测温指令后，sen_en 被拉高，测温开始。首先 sen_rst 被拉低，温度数据 sen_data 和 sen_done 信号被复位；接着 sen_vst 被拉低，对 C_{PT}(C_{CT})进行充电，sen_v1 和 sen_v2 电压被拉高；然后令 sen_vst 电压为高电平，C_{PT}(C_{CT})进行放电，sen_v1 和 sen_v2 电压降低；最后 TDC 量化，获得有效的温度数据 sen_data，输出完成标志 sen_done。上述步骤是一个单次测量的过程。

3　电路仿真

基于 SMIC 0.18 μm CMOS 工艺，本文设计了一种温度传感器，版图如图 5 所示。版图面积为(1 105×1 060)μm^2，核心电路的版图面积为(320×280)μm^2。

功耗的仿真结果表明，在 TT 工艺角时，时钟电路、脉宽信号产生器和 TDC 的功耗分别为 900 nW、500 nW 和 100 nW。本文传感器的功耗只计入脉宽信号产生器和 TDC，所以传感器的功耗为 600 nW。这满足植入式 RFID 芯片的低功耗需求。

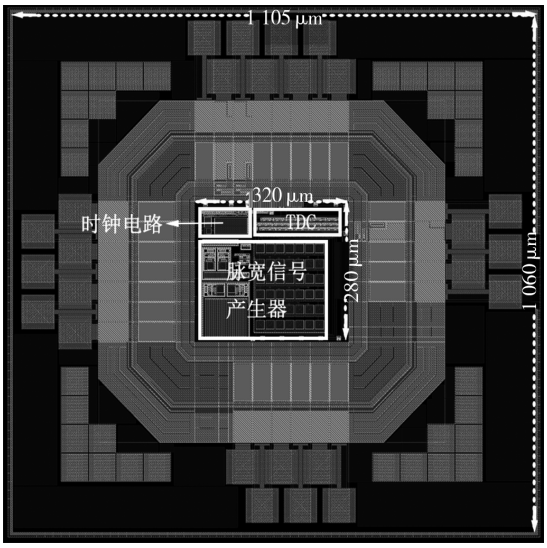


图 5　温度传感器版图

TT 工艺角、37 ℃下的瞬态仿真曲线如图 6 所示。可以看出，仿真时间为 800 μs，传感器能按照图 4 所示的一定时序进行工作。SS 工艺角的仿真结果表明，经过 1 ms 测温时间后，能获得温度数据。

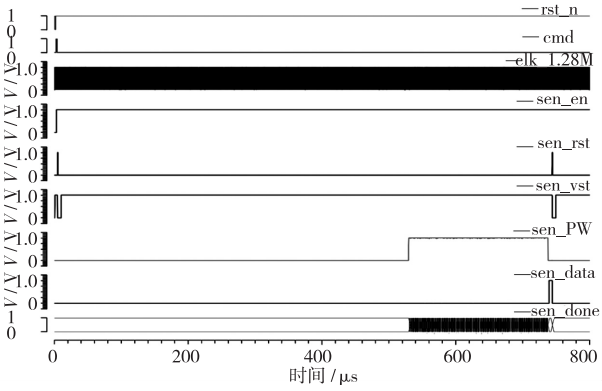


图 6　TT 工艺角、37 ℃下的瞬态仿真曲线

在 TT、FF、SS 工艺角下，35 ℃～45 ℃范围内每隔 1 ℃进行瞬态仿真，在 37 ℃和 42 ℃时进行校准，计算得到测量温度值，绘制的误差曲线如图 7 所示。可以看出，误差为±0.2 ℃。这表明本文温度传感器能满足动物测温的要求。

本文与其他文献中温度传感器的参数对比如表 1 所示。可以看出，与基于 ADC 的温度传感器相比，本文温度传感器的测温范围窄，误差相当，功耗更低；与基于 TDC、FDC 的温度传感器相比，本文温度传感器的测温范围窄，功耗稍大，误差更小。本文温度传感器的分辨率和误差品质因子较低，综合性能较好。

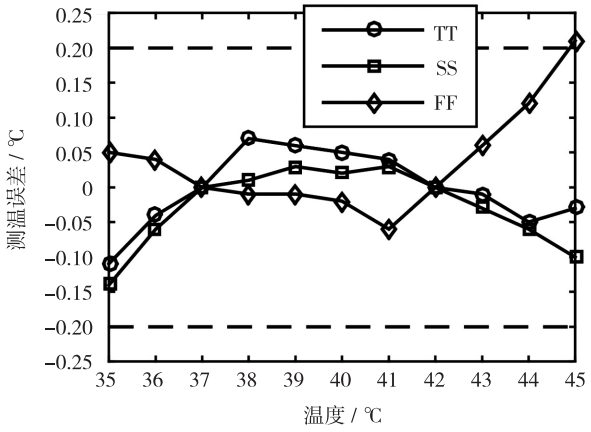


图 7 不同工艺角下的误差曲线

表 1 本文与其他文献中温度传感器的参数对比

参数	文献[6]	文献[9]	文献[10]	本文
传感器结构	ADC	FDC	TDC	TDC
工艺/μm	0.18	0.18	0.18	0.18
测温范围/℃	25～45	0～100	−10～30	35～45
功耗/μW	1.10	0.31	0.119	0.600
分辨率/℃	0.01	0.3	0.21	0.03
误差 /℃	±0.2	−1.6/+3	−0.8/+1.0	±0.2
测温时间/ms	500	100	30	1
单次转换能量/nJ	550.0	31.0	3.6	0.6
分辨率品质因子/(10^{-2} · nJ · ℃^{2})	5.50	279.00	15.88	0.05
误差品质因子/(nJ · %^{2})	2200.0	656.0	72.9	9.6

注：分辨率品质因子＝(功耗×测温时间)×分辨率^2；误差品质因子＝(功耗×测温时间)×相对误差^2；相对误差(%)＝100×(最大误差/温度范围)。

4 结 论

本文针对传统型温度传感器测温误差大的缺点，采用了差分延时线和差分电压电流转换器，有效地提高了脉宽随温度的变化率，提高了分辨率，并减小了测温误差。仿真结果表明，在 35 ℃～45 ℃范围内，分辨率达到 0.03 ℃，测温误差为±0.2 ℃，测温时间仅 1 ms，功耗仅 600 nW。这同时满足了应用于动物体温检测的植入式 RFID 芯片的高精度和低功耗的需求。

参 考 文 献：

[1] TAN J, SATHYAMURTHY M, ROLAP A, et al. A fully passive RFID temperature sensor SoC with an accuracy of ±0.4 ℃(3σ) from 0 ℃ to 125℃ [J]. IEEE J Radio Freq Identif, 2019, 3(1): 35-45.

[2] PARADA R, MELIA-SEGUI J. Gesture detection using passive RFID tags to enable people-centric IoT applications [J]. IEEE Commun Mag, 2017, 55(2): 56-61.

[3] LAW M, LU S, WU T, et al. A 1.1 μW CMOS smart temperature sensor with an inaccuracy of ±0.2 ℃(3σ) for clinical temperature monitoring [J]. IEEE Sensor J, 2016, 16(8): 2272-2281.

[4] ZHANG T T, LAW M K, MAK P I, et al. Nano-watt class energy-efficient capacitive sensor interface with on-chip temperature drift compensation [J]. IEEE Sensor J, 2018, 18(7): 2870-2882.

[5] SONG W, LEE J, CHO N, et al. An ultra low power time-domain temperature sensor with time-domain delta-sigma TDC [J]. IEEE Trans Circ & Syst II: Expr Bri, 2017, 64(10): 1117-1121.

[6] CHIA Y K, TSUNG T L. CMOS temperature sensor using a current starved ring oscillator for low power and low leakage IoT applications [J]. IEEE Trans Circ & Syst II: Expr Bri, 2019, 66(10): 1658-1662.

[7] VAZ A, UBARRETXENA A, ZALBIDE I, et al. Full passive UHF tag with a temperature sensor suitable for human body temperature monitoring [J]. IEEE Trans Circ & Syst II: Expr Bri, 2010, 57(2): 95-99.

[8] LAW M K, BERMAK A, LUONG H C. A sub-μW embedded CMOS temperature sensor for RFID food monitoring application [J]. IEEE J Sol Sta Circ, 2010, 45(6): 1246-1255.

[9] FOJTIK M, KIM D, CHEN G, et al. A millimeter-scale energy-autonomous sensor system with stacked battery and solar cells [J]. IEEE J Sol Sta Circ, 2013, 48(3): 801-813.

[10] YIN J, YI J, LAW M K, et al. A system-on-chip EPC gen-2 passive UHF RFID tag with embedded temperature sensor [J]. IEEE J Sol Sta Circ, 2010, 45(11): 2404-2420.

适用于双源能量收集的最大功率同步追踪电路

林思宇，徐卫林，王按楠，韦保林，段吉海
（桂林电子科技大学 广西精密导航技术与应用重点实验室，广西 桂林 541004）

摘　要： 针对多数传统能量收集系统的能量来源单一、现有多源能量收集系统的追踪效率较低、输入功率范围较窄等问题，提出一种双源最大功率同步追踪电路（DSS-MPPT）。该电路实时同步追踪两个环境能量源的最大输出功率，通过设计数字控制电路，MPPT 电路中两个比较器可以共用单边延时电路，从而提高电路的能量转换效率。该数字控制电路可实时切换输入能量源，使得系统仅需一个电感，从而降低能量收集系统的体积以及电路的复杂度。基于 0.18 μm CMOS 工艺的仿真表明，系统能量转换效率最高可达 95.37%，并且在 20 μW～1 mW 的宽输入功率范围内追踪效率始终高于 98.53%。

关键词： 能量收集；双源；最大功率追踪电路；同步追踪
中图分类号：TM910.6；TN602；TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0811-06
DOI：10.13911/j.cnki.1004-3365.200001

A Synchronous Maximum Power Point Tracking Circuit for Dual-Source Energy Harvesting System

LIN Siyu, XU Weilin, WANG Annan, WEI Baolin, DUAN Jihai
(*Guangxi Key Lab. of Precision Naviga. Technol. and Applic., Guilin Univ. of Elec. Technol., Guilin, Guangxi* 541004, *P. R. China*)

Abstract: To solve the issues that most traditional energy harvesting systems had a single input source, and the existing multi-source energy harvesting systems had low tracking efficiency and narrow input power range, a dual-source synchronous maximum power point tracking (DSS-MPPT) circuit was proposed. The maximum power of dual sources was tracked synchronously by the proposed MPPT circuit. The input energy sources could be properly switched by the digital control circuit. Thus, only one inductor was needed in the system, thereby reducing the size of the energy harvesting system and the complexity of the circuit. Simulation verification based on a 0.18 μm CMOS process showed that the conversion efficiency of the designed DSS-MPPT could reach 95.37%, and its tracking efficiency was always higher than 98.53% in the input power range of 20 μW～1 mW.

Key words: energy harvesting; dual-source; MPPT circuit; synchronous tracking

0　引　言

新型环境能量电池的出现使得便携式医疗设备具备自我补充能量的能力，这些便携式设备可通过收集环境能量来延长自身的工作时间。用于便携式医疗设备的新型能量电池的类型主要有温差热电池（TEG）以及生物燃料电池（BFC）等。研究表明，人体在静止或运动状态下皮肤表面能产生 9.4 mW/cm^2～13.9 mW/cm^2 的热能[1]。但实验中温差热

收稿日期：2020-01-02；**定稿日期：**2020-03-25
基金项目：国家自然科学基金资助项目（62064002，61861009）；广西自然科学基金资助项目（2017GXNSFAA198224，2018GXNSFAA138130）；广西精密导航技术与应用重点实验室基金资助项目（DH201908）
作者简介：林思宇（1994—），男（汉族），广东珠海人，硕士研究生，主要从事集成电路研究工作。
徐卫林（1976—），男（汉族），湖南邵阳人，博士，副教授，主要从事集成电路研究工作。通信作者。

能采集器从人体中采集到的能量较弱[1]，对于静止状态的年长者，采集器采集到的能量仅为 12.2 $\mu W/cm^2$，而儿童则为 26.2 $\mu W/cm^2$。一种表面积约为 5 mm^2 的新型高密度微型温差热电池在 10 K 温度差下最大可提供 2.8 mW 的输出功率[2]。使用该电池的能量采集装置在 37 ℃的人体表面可产生约为 0.25 V 的电压[2]，同时该采集装置的内阻约为 400 Ω。一种可穿戴式柔性 BFC 利用人体表面的代谢物来产生可供电能[3]，这种 BFC 在输出电压为 0.34 V 时可提供最高为 100 $\mu W/cm^2$ 的输出功率。

通常便携式医疗设备的微型环境能量电池的输出电压较低且内阻不可被忽略，需要后级最大功率追踪(MPPT)电路在升压的同时持续追踪其最大功率点。基于时间的 MPPT 电路可以用于追踪不同类型的环境能量源，但其基于数字追踪方式的控制电路功耗较大[4]，高达 5 μW。而基于比较器结构的 MPPT 电路可以在得到较高能量转换效率的同时，使控制电路的功耗变低[5-6]，但这种追踪电路仅能追踪单一环境能量电池的最大输出功率，且其比较器触发延时单元的结构难以适用于内阻较小的情况[6]。由于单能量源的能量有限，所以通常需要多个能量源。一种基于振荡器方式的双源追踪电路可以同步追踪两个环境能量源的最大输出功率[7]，但定时 500 μs 切换能量源的追踪方式使其追踪效率较低，且输入功率范围较窄，最大输入功率仅为 70 μW。文献[8]针对三个不同的能量源配置三个不同的振荡器，虽然可以同步追踪不同能量源的最大功率点，但采用振荡器结构导致了其最大输入功率仅为 40 μW，且电路较为复杂。不同于基于振荡器结构的追踪方式[4,7-8]，基于比较器结构的 MPPT 电路除采样最大功率点电压所需的振荡器以外，无需其他额外的振荡器来产生开关信号[5-6]，因此该方法是实现双源同步 MPPT 的较好的追踪方式。本文在此基础上提出了一种适用于双源微环境能量收集系统的高效最大功率同步追踪电路，电路在较宽的功率范围内具有较高的能量转换效率以及追踪效率。

1 MPPT 电路的工作原理与损耗分析

1.1 MPPT 电路的工作原理

单比较器结构的 MPPT 电路通常未对电路传输过程中的损耗进行优化，导致效率不高[5]，而根据输入信号采用上升沿信号触发延时电路的方式对传输损耗进行优化的比较器结构，在环境能量电池的内阻较小时将不能工作[6]。针对上述问题，提出了一种基于比较器的单边延时电路的结构，如图 1 所示。

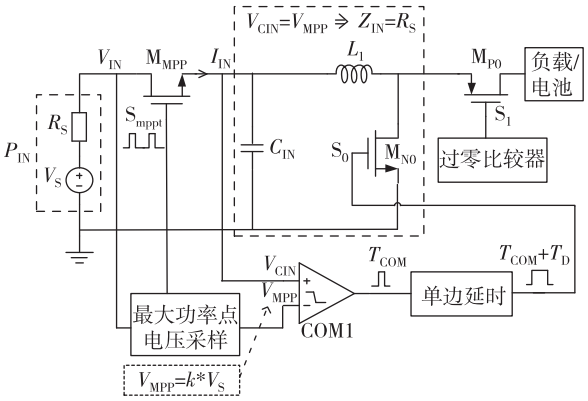


图 1 基于比较器结构的最大功率追踪电路

环境能量电池 P_{IN} 可以等效为图 1 所示的电压源与电阻串联。根据最大功率传输定理，P_{IN} 的大小为[4]：

$$P_{IN}=\frac{V_S^2}{4R_S} \tag{1}$$

为了实现 P_{IN} 至负载端的最大功率传输，后级 DC-DC 升压电路的输入阻抗应当等于环境能量电池的内阻 R_S。

图 1 中最大功率采样电路周期性地采样 P_{IN} 的开路电压，并输出大小为 $k\times V_S$ 的最大功率点电压 V_{MPP}，通常 $k=0.5$，而对于光伏电池[5]，$k=0.75$。当 MPPT 电路工作时，比较器 COM1 实时比较输入电容 C_{IN} 上的电压 V_{CIN} 与 V_{MPP}。当 V_{CIN} 高于 V_{MPP} 时，S_0 将由低电平变为高电平，以使 NMOS 晶体管 M_{N0} 导通。M_{N0} 导通后，C_{IN} 以及 P_{IN} 同时为电感 L_1 充电，电感电流逐渐增大。当电感电流大于输入电流 I_{IN} 时，V_{CIN} 开始降低，直到 V_{CIN} 低于 V_{MPP}，经延时时间 T_D 后，S_0 转变为低电平。电路通过不断重复上述工作过程，使输入电压 V_{IN} 稳定在 $k\times V_S$ 附近，从而达到最大功率追踪的目的。图 1 电路中输入电容 C_{IN} 上电压 V_{CIN}、开关信号 S_0、S_1 以及电感电流 i_{L1} 的工作波形如图 2 所示。

1.2 损耗分析

由于 MPPT 电路中晶体管 M_{N0} 与 M_{P0} 中存在导通电阻与栅极寄生电容，且电感 L_1 中也存在寄生电阻(ESR)，因此 MPPT 电路在升压过程中的损耗会包含导通电阻损耗与电容充放电损耗。M_{N0} 导通

时电路的导通电阻损耗为[5]：

$$P_{\text{on\_N}}=\frac{1}{T_{\text{W}}}\int_{0}^{T_{\text{on\_N}}}\left(\frac{V_{\text{MPP}}t}{L_1}\right)^2 R_{\text{en0}}\,\text{d}t=\frac{V_{\text{MPP}}^2T_{\text{on\_N}}^3R_{\text{en0}}}{3T_{\text{W}}L_1^2} \tag{2}$$

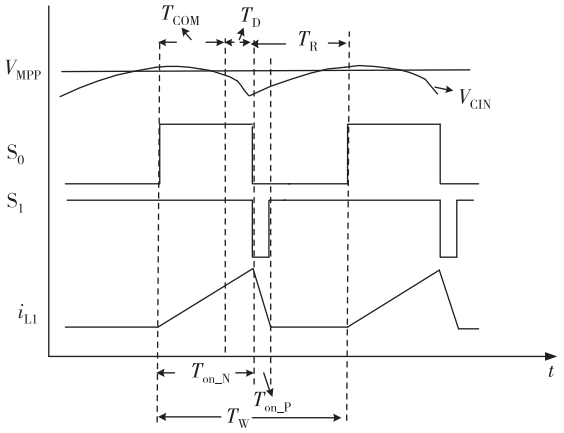


图 2　图 1 电路中主要信号的工作波形

式中，$T_{\text{on_N}}$为 M_{N0}的导通时间，R_{en0}为 M_{N0}的导通电阻与电感的寄生电阻之和，T_{W} 为 M_{N0}的开关周期。假设 M_{P0}的导通时间为 $T_{\text{on\_P}}$，由于电路工作在间歇导通状态，根据伏秒平衡原理[10]，$T_{\text{on_P}}$可以由 $T_{\text{on_N}}$求得：

$$\frac{V_{\text{MPP}}T_{\text{on\_N}}}{L_1}=\frac{(V_{\text{OUT}}-V_{\text{MPP}})T_{\text{on\_P}}}{L_1} \tag{3}$$

$$T_{\text{on\_P}}=\frac{V_{\text{MPP}}T_{\text{on\_N}}}{V_{\text{OUT}}-V_{\text{MPP}}} \tag{4}$$

则 M_{P0}导通时电路的导通电阻损耗为：

$$P_{\text{on\_P}}=\frac{1}{T_{\text{W}}}\int_{0}^{T_{\text{on\_P}}}\left(\frac{V_{\text{MPP}}T_{\text{on\_N}}}{L_1}-\frac{V_{\text{OUT}}-V_{\text{MPP}}}{L_1}t\right)^2\times R_{\text{en\_P}}\,\text{d}t=\frac{V_{\text{MPP}}^3T_{\text{on\_N}}^3R_{\text{en\_P}}}{3(V_{\text{OUT}}-V_{\text{MPP}})T_{\text{W}}L_1^2} \tag{5}$$

式中，$R_{\text{en_P}}$为 M_{P0}的导通电阻。总的导通电阻损耗为：

$$P_{\text{res}}=P_{\text{on\_N}}+P_{\text{on\_P}}=\frac{V_{\text{MPP}}^2T_{\text{on\_N}}^3R_{\text{en0}}}{3T_{\text{W}}L_1^2}\times\left(1+\frac{R_{\text{en\_P}}V_{\text{MPP}}}{R_{\text{en0}}(V_{\text{OUT}}-V_{\text{MPP}})}\right) \tag{6}$$

假设 C_{eff}为 M_{N0}与 M_{P0}的栅极寄生电容之和，则开关损耗为：

$$P_{\text{sw\_c}}=C_{\text{eff}}V_{\text{OUT}}^2\frac{1}{T_{\text{W}}} \tag{7}$$

从式(6)、式(7)可以看出，适当调节 M_{N0}的导通时间可以使得在 P_{res}较小的同时 $P_{\text{sw_c}}$也较小，从而将传输损耗降至最低。

2　双源最大功率同步追踪电路

2.1　整体电路结构设计

在单源 MPPT 电路的基础上进一步构建双源最大功率同步追踪(DSS-MPPT)电路，如图 3 所示。追踪电路包含功率电路和控制电路两部分。控制电路包含六个模块：电压采样模块、电压追踪模块、过零检测模块、数字控制模块、输出稳压模块和驱动电路模块。其中数字控制模块包括开关产生电路和脉冲产生电路。

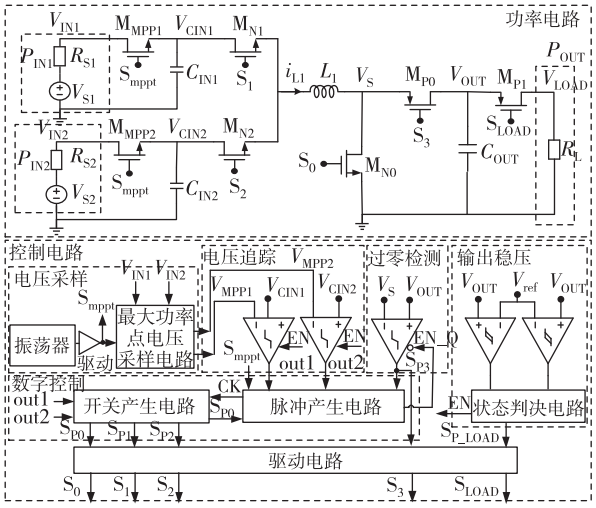


图 3　双源最大功率同步追踪电路的结构图

电压采样模块包含振荡器和最大功率点电压采样电路，当电压采样模块工作时，M_{PP1}、M_{PP2}将被关断。电压采样结束后采样电路将输出电压 V_{MPP1}、V_{MPP2}。这里最大功率采样电路的采样频率为 410 Hz，采样时间为 28 μs。

过零检测模块通过比较器检测并比较晶体管 M_{P0}两端的电压 V_S 和 V_{OUT}，并输出开关信号 S_3 到数字控制模块，目的是保证电感 L_1 上电流 i_{L1}始终大于或等于零。

电压追踪模块包含两个单阈值比较器以及它们的输出信号 out1 和 out2。两个比较器实时比较电压 V_{MPP1}与 V_{CIN1}、V_{MPP2}与 V_{CIN2}的大小，以使得输入电压 V_{IN1}、V_{IN2}始终分别稳定在电压 V_{MPP1}、V_{MPP2}附近。根据最大功率传输定理，对于 TEG 或 BFC，当 V_{IN1}、V_{IN2}分别等于 $k\times V_{S1}$、$k\times V_{S2}$时，微能量源 P_{IN1}、P_{IN2}的输出功率最大，从而使设计的电路实现最大功率同步追踪。

脉冲产生电路检测信号 out1、out2、S_{P0}和 S_{P3}的变化，以产生相应的 CK、EN_Q 信号。开关产生电

路根据信号 out1、out2 以及 CK 信号产生开关信号 S_{P0}、S_{P1} 和 S_{P2}。

电压追踪模块将两个比较器的输出信号 out1、out2 和过零检测模块的输出信号 S_{P0} 传输至数字控制模块。根据式(6)和式(7)，比较器的输出信号应适当被延时 T_D，以提升电路的能量转化效率。例如，如图 2 所示的 S_0 波形，其高电平持续时间为比较器的比较时间 T_{COM} 与延时单元产生的延时时间 T_D 之和。本文提出的数字控制模块使得信号 out1、out2 可以共用单边延时电路，且该数字控制模块可根据信号 S_{P3} 和 S_{P0} 的状态间歇性地使过零比较休眠以节省控制电路功耗。输出稳压模块包含两个迟滞电压不同的迟滞比较器以及状态判决电路，它们实时判断负载所需功率与输入功率的大小，以保证输出电容 C_{OUT} 上电压稳定。

通过设计追踪电路，输入源 P_{IN1}、P_{IN2} 的最大输出功率可以被高效地传输至 R_L 负载端。

2.2　用于双源同步追踪的数字控制模块的设计

提出的数字控制模块包含开关产生电路与脉冲产生电路，该模块根据信号 out1、out2 和 S_{P3} 的变化，通过驱动电路生成开关信号 S_0、S_1、S_2，以保证输入电压 V_{IN1}、V_{IN2} 始终分别稳定在 $k\times V_{S1}$、$k\times V_{S2}$ 附近，从而同步追踪 P_{IN1} 与 P_{IN2} 的最大功率点。

图 4 所示为所设计的脉冲产生电路。当输入电压 V_{IN1} 高于电压 V_{MPP1} 或 V_{IN2} 高于电压 V_{MPP2} 时，信号 out1、out2 将出现上升沿，脉冲产生电路检测该上升沿，并输出 CK 使能信号，使开关产生电路的 D 触发器采样，输出使能信号 EN_Q 使过零检测模块被间歇性地休眠，从而降低控制电路功耗。工作流程图如图 5 所示。

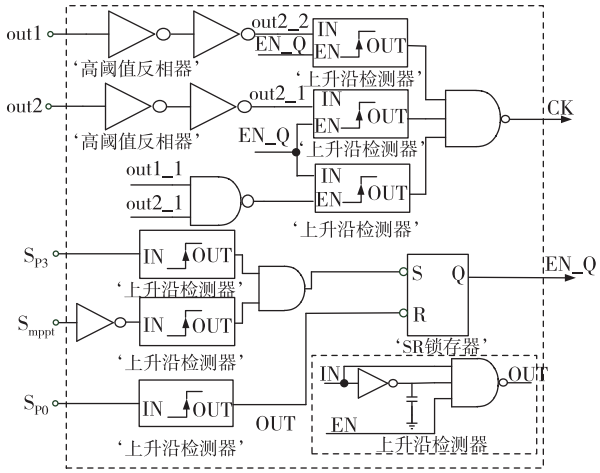


图 4　脉冲产生电路

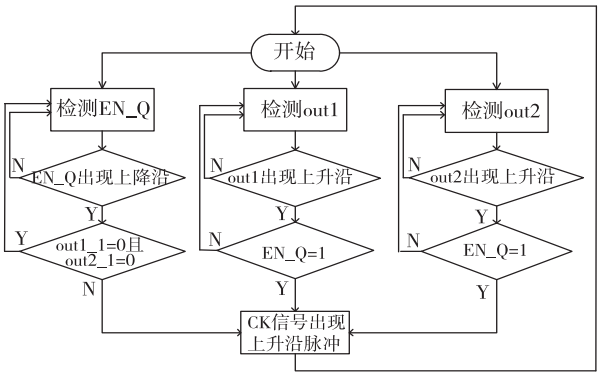


图 5　脉冲产生电路的工作流程

开关产生电路如图 6 所示，当信号 out1、out2 由低电平转换为高电平时，开关信号 S_{P1} 或 S_{P2} 的逻辑状态由该电路采样对应的 out1 或 out2 信号的逻辑状态决定。例如，当 out1 信号由“0”转变为“1”时，电路将保证开关信号 S_{P1} 也为“1”；当 out2 信号由“0”转变为“1”时，电路将保证开关信号 S_{P2} 也为“1”。当 out1 和 out1 同时为“1”时，电路优先将 S_{P1} 置为“1”、S_{P2} 置为“0”，也就是优先传输图 3 中输入源 P_{IN1} 的能量和电容 C_{IN1} 中储存的能量，当输入源 P_{IN1} 传输完成后电路将开始传输输入源 P_{IN2} 的能量和电容 C_{IN2} 中储存的能量。数字控制模块的输入输出信号以及电感电流的波形如图 7 所示。

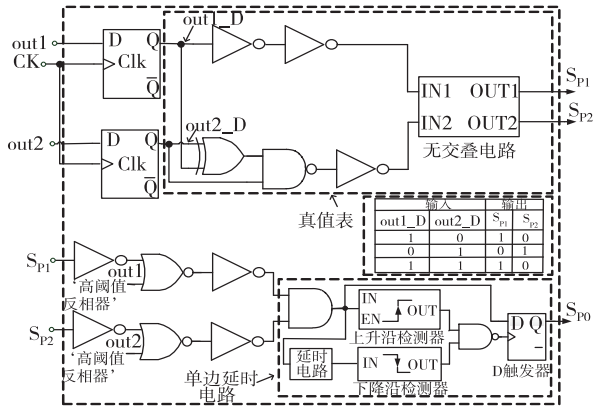


图 6　开关产生电路

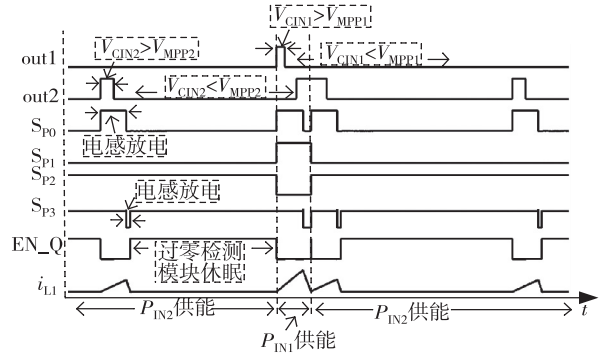


图 7　数字控制模块的输入输出信号以及电感电流的波形图

2.3　输出稳压模块的设计

当 MPPT 电路将环境能量电池中的能量传输到负载端后，需要稳压模块对其输出电压进行稳压。文献[5]中，输出电压的稳压模块仅有单个比较器，这导致当电路负载所需功率远小于环境能量电池的功率时，输出电压将持续增大。提出的稳压模块如图 8 所示，该模块可以判断输入功率与负载所需功率之间的关系，并实时调整电路的工作状态以保证输出电容上电压较为稳定。当环境能量电池所提供的功率大于负载所需功率时，输出稳压模块使 MPPT 电路间歇性工作，也就是减少输入功率以保证输出电压不会持续增大。当环境能量电池所提供的功率小于负载所需功率时，环境能量电池持续向负载供能，但此时负载需要被间歇性地断开，即减少输出功率以保证输出电容上电压稳定。图 9 所示为输出功率 P_{OUT} 变化时电压 V_{OUT}、输出功率 P_{OUT} 和输出稳压模块中信号的仿真图。

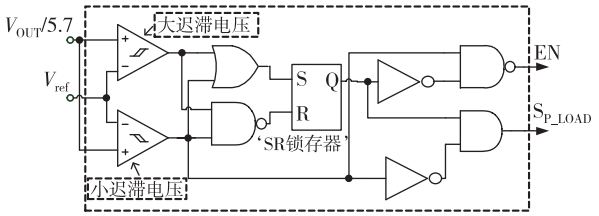


图 8　输出稳压模块具体电路图

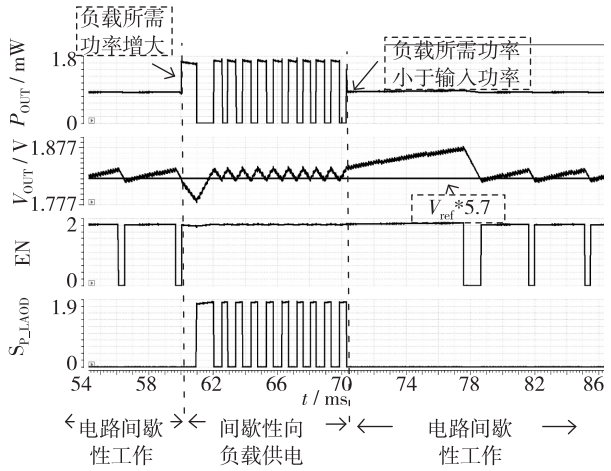


图 9　输出稳压模块各参数的仿真图($P_{IN1}+P_{IN2}=1$ mW)

3　版图设计与仿真验证

所设计的功率电路参数如表 1 所示，双源最大功率同步追踪电路采用 0.18 μm 1P6M Salicide CMOS 工艺进行设计，版图如图 10 所示，面积为 0.45 * 1.01 mm^2。版图设计中，光刻掩膜层包含了氧化层、多晶硅、N 阱、N 注入、P 注入、金属 M1～M6 和过孔。

表 1　图 3 中功率电路的器件参数

参数	数值
V_{S1}/ mV	126.5～894.4
R_{S1}/Ω	400
V_{S2}/mV	500
R_{S2}/Ω	125～6 250
R_L/kΩ	3.3～167.4
C_{IN1}，C_{IN2}，C_{OUT}(ESR=45 mΩ)/μF	10
L_1(ESR=145 mΩ)/μH	47
M_{N0}，$M_{N1,2}$，$M_{MPP1,2}$ 宽长比/(μm・μm^{-1})	16 800/0.18
M_{P0}，M_{P1} 宽长比/(μm・μm^{-1})	12 000/0.18

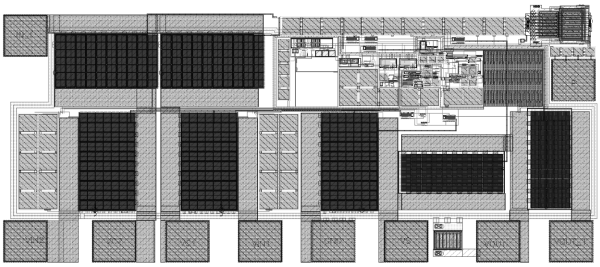


图 10　双源最大功率同步追踪电路的版图

电路同步追踪时输入电压与电感电流仿真图如图 11 所示。在 P_{IN1} 固定为 10 μW、$P_{IN1}=P_{IN2}$ 以及 P_{IN2} 固定为 10 μW 三种情况下，分别验证了总最大输入功率从 20 μW 到 1 mW 时双源最大功率同步追踪电路的能量转换效率以及追踪效率，其中追踪效率为实际输入功率与理论最大输入功率的比值。P_{IN1} 的内阻固定为 400 Ω，以模拟新型 TEG[2]；P_{IN2} 的开路电压固定为 500 mV，以模拟 BFC。电路的能量转换效率如图 12 所示，电路的追踪效率如图 13 所示。

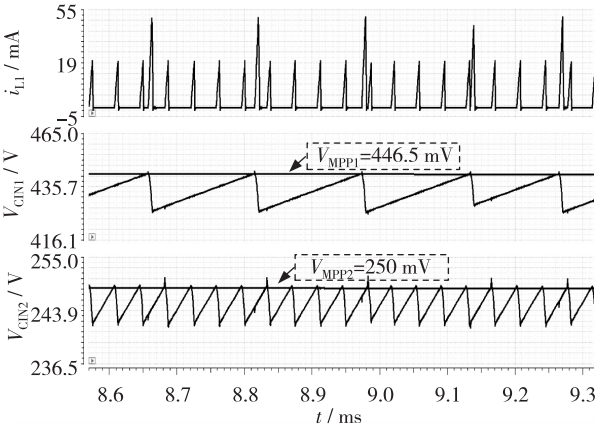


图 11　电路同步追踪时输入电压与电感电流仿真图

($V_{S1}=894.4$ mV，$V_{S2}=500$ mV)

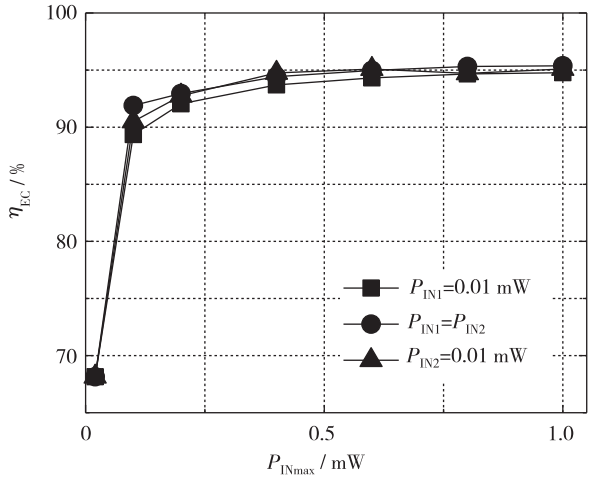


图 12 双源最大功率同步追踪电路的能量转换效率

从图 11、图 12 中可以看出，设计的双源最大功率同步追踪电路在同步追踪两个环境能量源的最大功率时，即使两个能量源的最大输入功率相差 100 倍，电路仍具有较高的能量转换效率和较高的追踪效率。电路的最高能量转换效率为 95.37%，最高追踪效率为 98.84%，控制电路的静态电流为 900 nA。

本文与其他文献中 MPPT 电路的性能参数对比结果如表 2 所示。可以看出，本文的最大功率同步追踪电路在具有较高能量转换效率的同时仍具有较高的追踪效率。

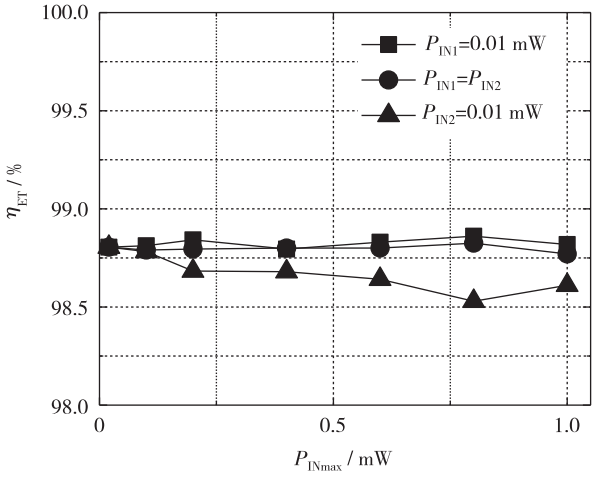


图 13 双源最大功率同步追踪电路的追踪效率

表 2 本文与其他文献中最大功率追踪电路的性能参数对比

参数	文献[4]	文献[6]	文献[7]	文献[9]	本文
工艺/μm	0.18	0.18	0.18	0.35	0.18
最高转换效率/%	87	89.5	80	89.6	95.37
最高追踪效率/%	96	-	-	-	98.84
输出电压/V	1.88	1.9	1.5	<5V	1.83
输入功率范围/mW	0.022 5～2.5	0.001～0.07	<0.1	<2.12	0.02～1
追踪方式	PFM	PFM	PFM	PWM+PFM	PWM+PFM
是否同步追踪	否	是	是	是	是

4 结 论

基于 0.18 μm CMOS 工艺，设计了一种适用于双源微环境能量收集系统的高效最大功率同步追踪电路。该同步追踪电路在同步追踪两个环境能量源的最大功率时具有较高的能量转换效率以及追踪效率，其最高能量转换效率为 95.37%，最高追踪效率为 98.84%，平均输出电压为 1.83 V，控制电路的静态电流为 900 nA。该双源最大功率同步追踪电路适用于可穿戴式电子设备的全天候工作。

参 考 文 献：

[1] THIELEN M, KARA G, UNKOVIC I, et al. Thermal harvesting potential of the human body [J]. J Elec Mater, 2018, 47(6): 3307-3313.

[2] BOTTNER H, NURNUS J, SCHUBERT A, et al. New high density micro structured thermogenerators for stand alone sensor systems [C] // 26th IEEE ICT. Jeju Island, South Korea. 2007: 306-309.

[3] JIA W, WANG X, IMANI S, et al. Wearable textile biofuel cells for powering electronics [J]. J Mater Chem A, 2014, 2(43): 18184-18189.

[4] BANDYOPADHYAY S, CHANDRAKASAN A P. Platform architecture for solar, thermal, and vibration energy combining with MPPT and single inductor [J]. IEEE J Sol Sta Circ, 2012, 47(9): 2199-2215.

[5] CHOWDARY G, CHATTERJEE S. A 300-nW sensitive, 50-nA DC-DC converter for energy harvesting applications [J]. IEEE Trans Circ & Syst I: Regul Pap, 2015, 62(11): 1-11.

（下转第 822 页）

一种基于自适应偏置的 2.4 GHz CMOS 功率放大器

陈福栈[1,2]，罗彦彬[1,2,3]，甘业兵[1,2,3]，乐建连[1,2,3]
(1. 中国科学院 微电子研究所，北京 100029；2. 中国科学院大学，北京 100049；
3. 杭州中科微电子有限公司，杭州 310053)

摘　要： 提出了一种单端自适应偏置电路，该电路能够根据输入信号功率，动态地调整输出直流电压，以提升射频功率放大器(PA)的线性度及功率回退区域的效率。为验证该电路的功能，设计了一款 2.4 GHz PA，该电路基于单端三级结构设计，采用 0.18 μm CMOS 工艺制造，电路输入及输出阻抗匹配网络均集成于片内。测试结果表明，PA 的增益为 26.8 dB，S_{11} 和 S_{22} 均小于 −10 dB，OP1 dB 为 23.5 dBm，功率回退 6 dB 点 PAE 和峰值 PAE 分别为 14% 和 24%。该 PA 对 WLAN、ZigBee 等 2.4 GHz 设备具有一定的应用价值。

关键词： 自适应偏置电路；CMOS；功率放大器；线性度
中图分类号：TN722.7+5；TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0817-06
DOI：10.13911/j.cnki.1004-3365.190747

A 2.4 GHz CMOS Power Amplifier with Adaptive Bias Circuit

CHEN Fuzhan[1,2], LUO Yanbin[1,2,3], GAN Yebing[1,2,3], LE Jianlian[1,2,3]
(1. *Institute of Microelectronics, Chinese Academy of Sciences, Beijing* 100029, *P. R. China*; 2. *University of Chinese Academy of Sciences, Beijing* 100049, *P. R. China*; 3. *Hangzhou Zhongke Microelectronics Co., Ltd., Hangzhou* 310053, *P. R. China*)

Abstract: A single-port adaptive bias circuit was proposed, which could adjust bias voltage according to the power level of inputting signal so as to enhance power amplifier(PA)'s back-off efficiency and linearity. To verify the function of the adaptive bias circuit, a 2.4 GHz power amplifier was designed based on single-ended three-stage structure and manufactured in a 0.18 μm CMOS process. The input and output impedance matching networks of the PA were both implemented on-chip. Measurement results showed that the PA had gain of 26.8 dB, with S_{11} and S_{22} both less than −10 dB. The output 1 dB compression point of the PA was 23.5 dBm while the back-off 6 dB PAE and peak PAE of the PA was 14% and 24% respectively. Therefore, the PA possessed application prospect for 2.4 GHz applications such as WLAN and ZigBee devices.

Key words: adaptive bias circuit; CMOS; power amplifier; linearity

0　引　言

作为射频发射机的核心模块，射频功率放大器(Power Amplifier，PA)是射频通信系统设计中的一大难点。随着通信技术的快速迭代、发展，为提升通信网络数据容量、提高数据传输速率，信号调制算法愈发复杂[1]。以广泛应用于短距离数据传输的 802.11 b/g/n 无线局域网(WLAN)为例，WLAN 通常采用正交频分复用技术(OFDM)[2]，OFDM 信号具有高峰值平均功率比的特点，对 PA 的线性度有很高的要求[3]。因此，PA 通常工作于功率回退

收稿日期：2019-12-27；**定稿日期：**2020-03-18
作者简介：陈福栈(1995—)，男(汉族)，浙江温州人，硕士研究生，研究方向为射频集成电路设计。

区域，以效率为代价换取可观的线性度，这导致了射频系统功耗增大。

针对射频功率放大器线性度和效率难以折中的问题，自适应偏置电路技术被提出并应用于多款射频功率放大器的设计中[4-6]。这种电路能够根据 PA 输入或输出信号功率的大小调整偏置电压的高低，提升 PA 的线性度和功率回退区域的效率[4]。然而，大部分自适应偏置电路采用两端结构，使 PA 中形成环路结构，导致 PA 的稳定性降低。针对此问题，本文提出了一种单端自适应偏置电路。理论分析及仿真结果表明，该电路能够显著提升 PA 的线性度；利用该电路设计了一款 2.4 GHz 功率放大器，该功率放大器被嵌于一款射频前端芯片之中。文章第 1 节介绍电路结构设计，第 2 节介绍射频前端芯片中 PA 部分的测试结果，第 3 节给出结论。

1 电路设计

1.1 自适应偏置电路

理想情况下，传统电流镜偏置电路的输出直流电压 V_{BIAS} 不受放大器输入信号影响，保持相对恒定，因此当输入信号功率增大时，放大管的导通角逐步减小，线性度随之降低。此外，相较于高峰值平均功率比信号，传统偏置电路的 V_{BIAS} 难以确定，若 V_{BIAS} 设定较高，放大器小信号工作时的效率则会较低，反之，难以保证放大器大信号工作时的线性度。

针对上述问题，本文提出了一种自适应偏置电路，电路结构如图 1 所示，其中 M1、M2 管为二极管方式连接的 DNW NMOS 管，为了使电路结构更清晰，省略了对 DNW NMOS 管的 P 阱端及深 N 阱端的绘制。

M2、M3 和 M4 管构成的环路及电阻 R_3 保证 M3 管源端电压 V_{S3} 在 PA 工作时保持相对恒定。为简化电路原理分析，将 M1 管看作一个二极管，忽略反偏电流的影响，假设此时放大管的输入信号（即 V_{BIAS} 端的信号）为理想正弦信号。当输入信号电平较小时，M1 管在信号全周期导通，流经 M1 管的电流 I_M 为：

$$I_M = I_S \exp(V_M / V_T - 1) \tag{1}$$

式中，I_S 为二极管方式连接的 M1 管反向饱和电流，V_M 为 M1 管漏端相对其源端的电势差。设 M3 管的源端电压为 V_{S3}，放大管栅端的直流偏置电压为 V_{DC}，放大管的输入电压信号为 $V_{IN}\sin(\omega t)$，可得 V_M 为：

$$V_M = V_{S3} - V_{DC} - V_{IN}\sin(\omega t) \tag{2}$$

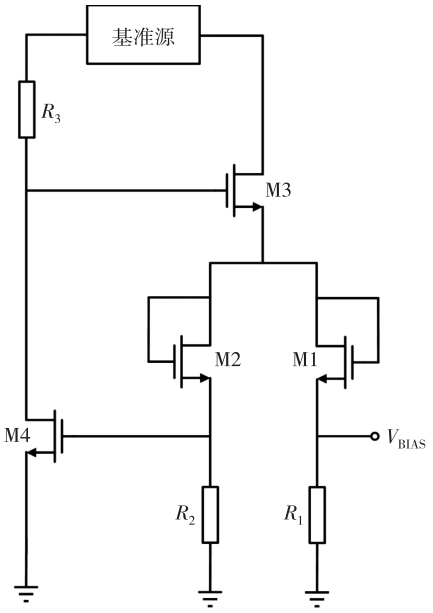


图 1 自适应偏置电路

由式(2)可知，当输入信号功率较大时，在部分信号周期内，$V_M < 0$ V，此时 M1 管反偏，$I_M = 0$ A。假设 $\alpha_1 \leqslant \omega t \leqslant \alpha_2$ 时 $V_M < 0$ V，对 V_M 做傅里叶变换，可得其直流成分：

$$V_{M,DC} = (1/(2\pi))[(V_{S3} - V_{DC})(2\pi - \delta\alpha) + 2V_{IN}\sin(\delta\alpha/2)] \tag{3}$$

式中，$\delta\alpha = \alpha_2 - \alpha_1$，可以看出，$\delta\alpha$ 小于 π，$\delta\alpha = f(V_{IN})$。随着 V_{IN} 增大，$\delta\alpha$ 增大，$(V_{DD} - V_{DC})(2\pi - \delta\alpha)$ 随之减小，但 $2V_{IN}\sin(\delta\alpha/2)$ 随之增大，由于 $(V_{DD} - V_{DC})(2\pi - \delta\alpha)$ 与 $f(V_{IN})$ 呈单调关系，而 $2V_{IN}\sin(\delta\alpha/2)$ 与 $V_{IN} f(V_{IN})$ 呈单调关系，因此 $V_{M,DC}$ 随 V_{IN} 增大而增大。

流经 M1 管的直流电流 $I_{M,DC}$ 为：

$$I_{M,DC} = I_S \exp(V_{M,DC} / V_T - 1) \tag{4}$$

随着 V_{IN} 的增大，$V_{M,DC}$ 增大，$I_{M,DC}$ 随之增大，因此，自适应偏置电路的输出直流电压 V_{BIAS} 也增大。可见，本文自适应偏置电路能够根据输入信号功率的变化动态地调整输出电压 V_{BIAS} 的大小：当小信号输入时，V_{BIAS} 较低，保证 PA 具备高效率；当输入信号功率增大时，V_{BIAS} 随之增大，缓解 PA 线性度的恶化趋势。

利用 EDA 工具验证以上的分析。设计了两个 PA 用于对比：PA1 是本文所提出的 PA，电路结构如图 1 所示；PA2 基于 PA1 结构设计，但三级均采用传统偏置电路。PA1 和 PA2 三级放大管栅极的小信号直流偏置电压均相同。仿真结果如图 2 所示，四条曲线分别为 PA1、PA2 输出功率和中间级

放大管的栅极直流偏压随输入信号功率的变化曲线。

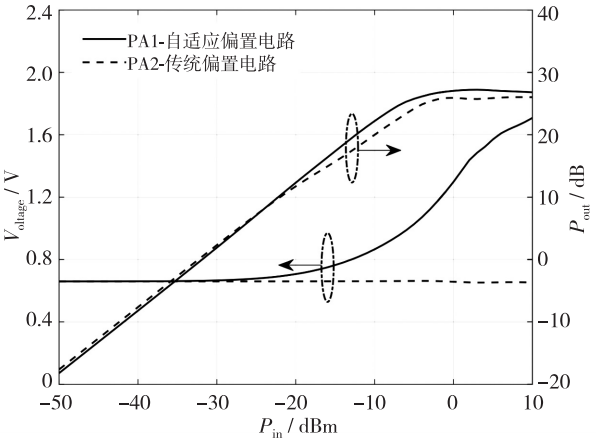


图 2　PA1 和 PA2 的放大管偏压及输出功率变化曲线

可以看出，采用传统偏置电路时，中间级放大管栅极的偏置电压在输入信号增大时略有下降，PA 的 1 dB 压缩点约为 13 dBm。而采用自适应偏置电路时，放大管的栅极直流电压在输入信号功率大于 −30 dBm 时开始上升，PA 的 1 dB 压缩点提升至约 25 dBm。由此可见，本文自适应偏置电路以相对简单的电路结构实现了动态调整直流偏压的功能，对功率放大器的性能有明显的优化作用。实际设计中，可以通过调节 R_1、R_2、R_3 及 M4 管的尺寸来调节 V_{BIAS} 的大小，可以通过调节 M1、M2 和 M3 管的尺寸来调节 V_{BIAS} 的变化特性。

1.2　2.4 GHz CMOS 功率放大器

利用 1.1 节所述自适应偏置电路，提出了一款 2.4 GHz CMOS 功率放大器，电路结构如图 3 所示，图中所有 MOSFET 均为厚栅型 DNW MOSFET。为了提升 PA 的增益及饱和输出功率，PA 采用单端输入、单端输出的三级结构，从 TX 端起分别为驱动级、中间级及输出级。图 3 中 M1 管、M2 管及 M3 管分别偏置于 A 类、AB 类及 AB 类条件，用于平衡 PA 工作效率、增益及线性度的关系。

电容 C_1、C_2 和电感 L_1、L_2 一同构成输入匹配网络，PA 的输入信号一般为功率较小的小信号，因此，输入匹配网络基于共轭匹配设计，以保证最大功率传输。驱动级和中间级的级间匹配网络由电容 C_4 和扼流电感 L_3 构成，该网络基于阻抗补偿原理设计，通过与 M1 管及 M2 管的寄生电容在 2.4 GHz 处谐振，降低射频信号在流经级间节点时的功率损耗。同理，中间级和输出级的级间匹配网络由电感 L_4、L_5 和电容 C_5 构成。PA 的输出匹配网络由电感 L_9、L_{10} 和电容 C_7 构成，其中 L_9 由键合线实现，以减小芯片面积。与输入匹配网络不同，PA 的输出信号功率一般较大，因此输出匹配网络一般基于 LOADPULL 实现，LOADPULL 可找寻使 PA 输出最大功率的最优阻抗点[7]，输出阻抗匹配网络将 ANT 端 50 Ω 阻抗匹配至最优阻抗点，以提升 PA 的功率输出能力。

为了进一步提升 PA 的线性度，在 PA 的输出端设计了 2 阶、3 阶谐波滤除网络，其中电容 C_5 和电感 L_7 在 4.8 GHz 频点谐振，电容 C_6 和电感 L_8 在 7.2 GHz 频点谐振。串联 L-C 网络在其谐振频点处等效阻抗为零，因此将 2 阶、3 阶谐波滤除至地。为了节省裸片面积，电感 L_7 和 L_8 均采用键合线实现，因此仿真时需给两个电感的参数预留足够的冗余度，同时在封装时需注意相应 PAD 与基板打线位置间的距离。

由于驱动级放大管偏置于 A 类条件，自适应偏置电路对其性能的提升有限，折中考虑电路面积，驱动级采用传统偏置电路。而由于中间级及输出级放大管偏置于 AB 类条件，且一般处理大功率信号，因此均采用自适应偏置电路。

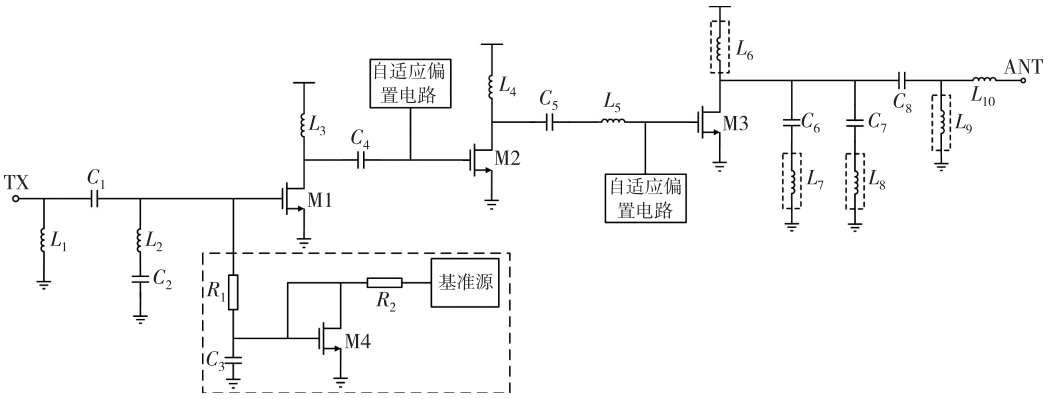


图 3　2.4 GHz 射频功率放大器的电路结构

2　测试方法与结果

本文提出的 2.4 GHz 功率放大器被嵌于一款 2.4 GHz 射频前端芯片之中，除 PA 外，芯片还包含一个 2.4 GHz 低噪声放大器、单刀单掷开关、基准源及数字控制电路，射频前端芯片的系统结构如图 4 所示。当芯片工作于发射模式时，单刀单掷开关断开，此时信号接收链路对 PA 输出端呈高阻，开关及低噪放对 PA 的性能影响可以忽略。因此，可以用发射模式下芯片的测试指标来衡量 PA 的性能。

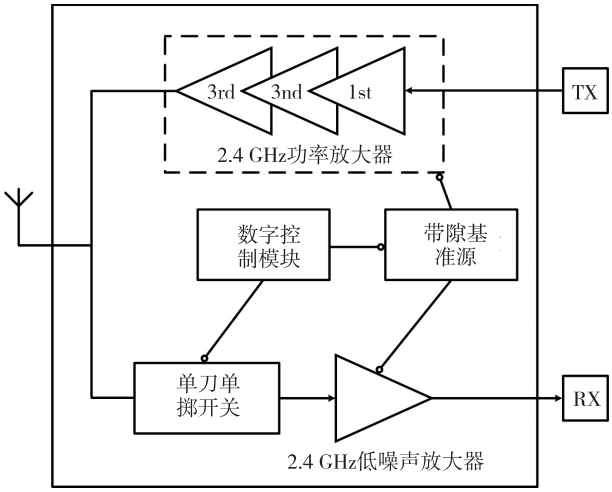


图 4　射频前端芯片的系统结构

射频前端芯片的裸片显微照片如图 5 所示，裸片面积为(1.1×1.38)mm²。芯片采用 4×4 QFN 形式进行封装，芯片的测试评估版如图 6 所示。

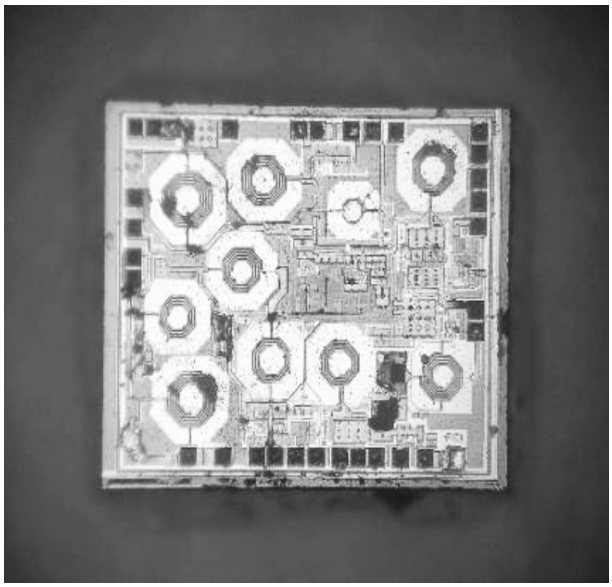


图 5　射频前端芯片的裸片显微照片

利用直流电流源及网络分析仪测试 PA 的 S 参数，网络分析仪端口信号功率为－40 dBm，测试结果如图 7 所示。

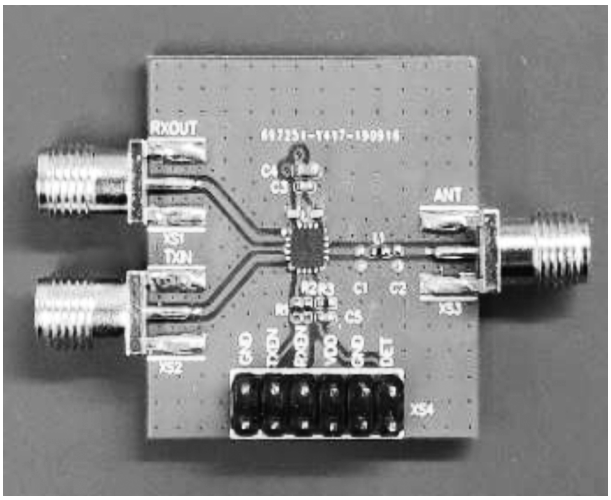


图 6　射频前端芯片的测试评估板

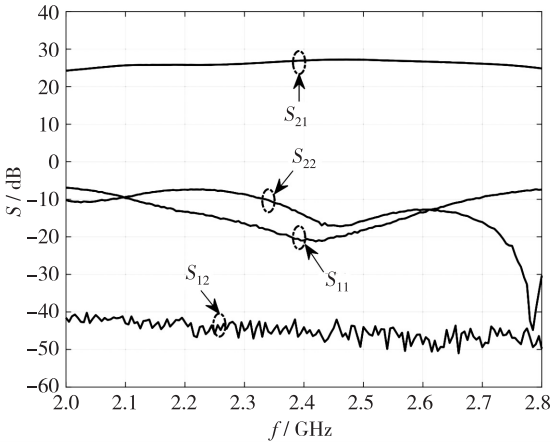


图 7　2.4 GHz 功率放大器的 S 参数测试结果

PA 的输入级一般处理较小功率的信号，因此一般要求 PA 的输入回波损耗 S_{11} 小于－10 dB，即反射信号功率小于输入信号功率的 10%，从图 7 可以看出，本文 PA 的 S_{11} 为－21 dB，满足理论要求。

PA 的输出端一般为大功率信号，输出匹配网络基于 LOADPULL 原理实现而非共轭匹配，因此一般要求 PA 的输出回波损耗 S_{22} 小于－5 dB 即可，而本文 PA 的 S_{22} 等于－14.2 dB，超过理论需求，可见本文 PA 实现了良好的输入/输出阻抗匹配。得益于多级结构，PA 的 S_{21} 为 26.8 dB，S_{12} 为－44 dB，可见 PA 具有可观的小信号增益及反向隔离度。

利用直流电源、信号发生器及频谱分析仪测试本文 PA 的输入输出特性，测试结果如图 8 所示。

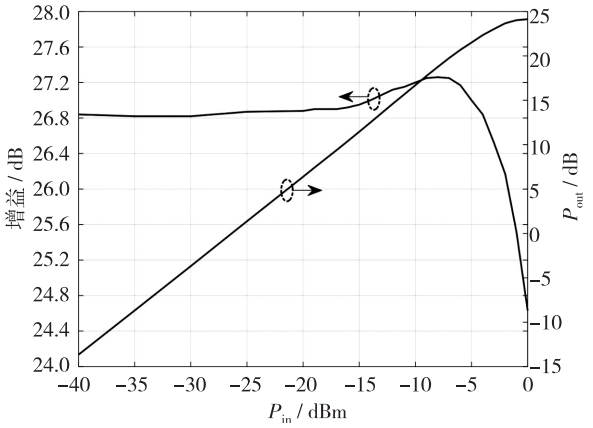


图 8　2.4GHz 功率放大器的输出特性测试结果

由于存在自适应偏置电路，PA 的增益在输入信号功率增大时略有提升，从图 8 可以看到，PA 的 OP1 dB 约为 23.5 dBm，输出功率饱和值约为 24 dBm，可见本文 PA 具备优良的线性度及功率输出能力。射频功率放大器的效率常用功率附加增益(Power-Added Efficiency，PAE)来表征，PAE 定义为[8]：

$$PAE=\frac{P_{OUT}-P_{IN}}{P_{SUPPLY}} \tag{5}$$

其中，P_{OUT} 为 PA 的输出信号功率，P_{IN} 为 PA 的输入信号功率，P_{SUPPLY} 为直流电源消耗的功率。结合(5)式和测试数据可以得出本文 PA 的 PAE 曲线，如图 9 所示，可以看出，本文 PA 的功率回退 6 dB 点 PAE 及峰值 PAE 分别为 14%和 24%。

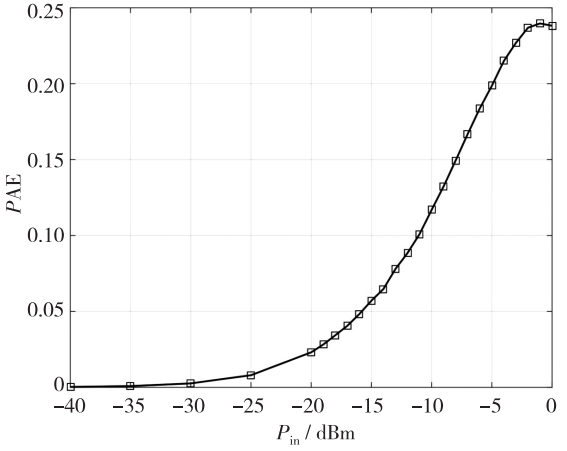


图 9　2.4GHz 功率放大器的 PAE 曲线测试结果

表 1 所示为本文工作与近年其它类似研究工作的对比。文献[3]的 PA 采用了更先进的工艺、片外阻抗匹配网络及巴伦变压器，其峰值 PAE 及 OP1 dB 均高于本文 PA，但本文 PA 的增益较之有明显优势，且片内匹配的方式使得本文 PA 更易于应用。文献[9]的 PA 相对于本文 PA 具有更高的峰值 PAE，但其它指标均不及本文 PA，且使用了更大的芯片面积。文献[10]的芯片功能与本文提出的射频前端芯片相似，芯片面积相对于本文芯片面积更小，但本文 PA 的增益和 OP1 dB 较之更大，表明本文 PA 具备更优的信号放大能力及功率输出能力。

表 1　本文 PA 与其它类似工作中 PA 的性能对比

参数	文献[3]	文献[9]	文献[10]	本文
制造工艺	0.13 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	0.18 μm CMOS
工作电压/V	3.3	1.8	3.3	3.3
工作频率/GHz	2.4	2.4	2.4	2.4
增益/dB	9.6	15	17.7	26.8
OP1 dB/dB	29.7	21.8	20	23.5
PAE	39.6%@Peak	30.4%@Peak 12.9%@Back-off 6 dB	23.8%@Peak	24%@Peak 14%@Back-off 6 dB
阻抗匹配方式	片外	片内	片内	片内
芯片面积/mm²	0.8×0.8	1.5×1.5	1.2×0.6 *	1.10×0.97 *

* 注：因文献[10]及本文芯片均含 LNA 等其它电路，为作对比，假设 PA 部分面积为芯片总面积的 70%。

3　结　论

本文提出了一种自适应偏置电路，能够根据 PA 的输入功率动态地调整输出直流偏置电压的值，进而提升 PA 的线性度及功率回退区的效率。自适应偏置电路采用单端结构，以避免对 PA 的稳定性造成影响。为验证该偏置电路的功能，本文设计了一款 2.4 GHz 功率放大器。PA 采用单端输入、单端输出的三级结构，并采用 0.18 μm CMOS

工艺制造。在 PA 输出端设计 2 阶、3 阶谐波滤除网络以提升其线性度。测试结果表明，本文 PA 的增益为 26.8 dB、输入输出回波损耗均小于－10 dB，PA 的峰值 PAE 及功率回退 6 dB 处 PAE 分别为 24%及 14%，输出 1 dB 压缩点达 23.5 dBm。可见，本文功率放大器对于 WLAN、Zigbee 等 2.4 GHz 应用具有一定的应用价值。

参 考 文 献：

[1] JU I, MCPARTLIN M, HUANG C W P, et al. 4.4 A highly linear high-power 802.11 ac/ax WLAN SiGe HBT power amplifier using a compact 2nd-harmonic -shorting four-way transformer and integrated thermal sensors [C] // IEEE ISSCC. San Francisco, CA, USA. 2019: 80-82.

[2] GURUPRASAD, MOHANA, ARADHYA H V R. PAPR reduction and performance analysis of modulation techniques in OFDM for WLAN applications [C] // SCOPES. Paralakhemundi, India. 2016: 1567-1572.

[3] AREF A F, NEGRA R, KHAN M A. Class-0: a highly linear class of power amplifiers in 0.13 μm CMOS for WCDMA/LTE applications [C] // IEEE ISSCC. San Francisco, CA, USA. 2015: 1-3.

[4] KUO N C, KAO J C, KUO C C, et al. K-band CMOS power amplifier with adaptive bias for enhancement in back-off efficiency [C] // IEEE MTT-S IMS. Baltimore, MD, USA. 2011: 1-4.

[5] SERHAN A, LAUGA-LARROZE E, FOURNIER J M. Efficiency enhancement using adaptive bias control for 60 GHz power amplifier [C] // IEEE NEWCAS. Grenoble, France. 2015: 1-4.

[6] SATO H, YANAGISAWA M, YOSHIMASU T. A 28-GHz band highly linear power amplifier with novel adaptive bias circuit for cascode MOSFET in 56-nm SOI CMOS [C] // EDSSC. Hsinchu, China. 2017: 1-2.

[7] GADALLAH A, ALLAM A, ABDEL-RAHMAN A B, et al. A high-efficiency, low-power 2.4 GHz class AB PA for WBAN applications using load pull [C] // JAC-ECC. Alexandria, Egypt. 2017: 29-32.

[8] 池保勇，余志平，石秉学. CMOS 射频集成电路分析与设计 [M]. 北京：清华大学出版社，2006: 181-182.

[9] HO J, TSAO H W. A fully integrated 2.4 GHz adaptive biased CMOS power amplifier for 802.11g WLAN application [C] // APMC. Sendai, Japan. 2014: 741- 743.

[10] 陈浪，乐建连，甘业兵，等. 一种 2.4 GHz CMOS 射频前端电路 [J]. 微电子学，2017, 47(5): 20-24.

（上接第 816 页）

[6] KADIRVEL K, RAMADASS Y, LYLES U, et al. A 330 nA energy-harvesting charger with battery management for solar and thermoelectric energy harvesting [C] // IEEE ISSCC. San Francisco, CA, USA. 2012: 106-108.

[7] KATIC J, RODRIGUEZ S, RUSU A. A high-efficiency energy harvesting interface for implanted biofuel cell and thermal harvesters [J]. IEEE Trans Power Elec, 2017, 33(5): 4125-4134.

[8] CHOWDARY G, SINGH A, CHATTERJEE S. An 18 nA, 87% efficient solar, vibration and RF energy-harvesting power management system with a single shared inductor [J]. IEEE J Sol Sta Circ, 2016, 51(10): 1-13.

[9] DINI M, ROMANI A, FILIPPI M, et al. A nanocurrent power management IC for multiple heterogeneous energy harvesting sources [J]. IEEE Trans Power Elec, 2015, 30(10): 5665-5680.

[10] ERICKSON R W. Fundamentals of power electronics [M]. New York: Springer Science & Business Media, 2007: 31-33.

一种基于复合左右手传输线结构的模拟移相器

邱泽琦，苏国东，刘　军
（杭州电子科技大学“射频电路与系统”教育部重点实验室，杭州 310018）

摘　要： 基于 0.25 μm GaAs pHEMT 工艺设计了一款工作在 Ku 波段的可调谐模拟移相器。该移相器采用集总参数型复合左右手传输线（CRLH-TL）拓扑结构实现相移网络，并利用可变电容结构进行相位调谐。同时为了解决端口失配问题，插入了共源共栅缓冲器来增加隔离度，并中和无源器件带来的损耗。电路采用统一的偏置电压来控制所有变容结构，简化了电路结构。仿真结果表明，该移相器在工作频率内的相移可调谐范围大于 90°，在电源电压为 1.5 V 下，直流功耗为 63.3 mW，平均增益大于 8.5 dB，幅度波动小于 5 dB。

关键词： 移相器；pHEMT 工艺；复合左右手传输线；共源共栅
中图分类号：TN623；TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0823-05
DOI：10.13911/j.cnki.1004-3365.200009

An Analog Phase Shifter Based on Composite Right/Left Hand Structure

QIU Zeqi, SU Guodong, LIU Jun
(*Key Lab. for RF Circuits and Systems of Ministry of Education, Hangzhou Dianzi University, Hangzhou* 310018, *P. R. China*)

Abstract: A Ku-band tunable analog phase shifter (PS) was designed in a 0.25 um GaAs pHEMT process. The composite right/left hand transmission line (CRLH-TL) based on discrete elements was employed to realize the phase shift network (PSN) for the proposed phase shifter. The varactor was used in the PSN to achieve the phase tuning. The buffer with cascode amplifier structure was used to increase the isolation of the PSN, and this buffer was also used to improve the mismatch and loss of the PSN. The PS structure was simplified by adding the same bias voltage to the varactor. The post-layout simulation results showed that the tuning range of PS was greater than 90° over the whole operating frequency range. The DC power consumption was 63.3 mW at a 1.5 V DC supply. The average gain was greater than 8.5 dB, and the amplitude fluctuation was less than 5 dB.

Key words: phase shifter; pHEMT process; composite left and right hand transmission line; cascode

0　引　言

相控阵系统是实现波束控制及波束扫描的重要技术之一[1]，与机械式扫描相比具有灵活性好、精度高、延时低、寿命长等特点，但造价高昂。近年来，物联网技术和无线通信技术的飞速发展使得对数据传输速率和容量的要求不断提高，相控阵技术在民品领域的应用成为研究热点。相控阵系统的天线阵列包含数量庞大的阵元，移相器是其中的关键模块之一，它具有控制相位变化的功能。相控阵系统通过控制天线阵列中的移相器使接收信号经过每个阵元后可以同相叠加，以提高接收信号的信噪比，因此移相器的性能间接地决定了整个系统的性能。高性能相控

收稿日期：2020-01-06；**定稿日期：**2020-03-06
基金项目：国家自然科学基金资助项目(61934006)
作者简介：邱泽琦(1995—)，男(汉族)，黑龙江齐齐哈尔人，硕士研究生，研究方向为射频集成电路设计。
刘　军(1977—)，男(汉族)，浙江杭州人，研究员，研究方向为微纳半导体器件模型和 RF/MMIC CAD。通信作者，E-mail：ljun77@hdu.edu.cn。

阵系统的设计面临的主要挑战之一就是移相器的设计，所以设计面向相控阵系统的移相器具有重要意义。

移相器按信号相移是否离散分为模拟型和数字型两类[2-3]，数字移相器具有结构简单和易接入计算机自动控制等优点，因此应用更加广泛。但数字移相器的损耗高、面积大以及分辨率较低等缺点，限制了其在高频波段的应用。模拟型移相器相对于数字型移相器具有尺寸小、低损耗的特点，并且可根据控制电源的精度在一定相移范围内连续调谐，具有较高的分辨率。本文针对小型化和低损耗的问题对模拟型移相器进行了研究和设计。

S. R. Ryu 等人介绍了一款用于毫米波相控阵收发器的连续有源移相器[4]，采用具有全通网络的差分拓扑结构，可实现 90°相移范围内的连续变化，芯片面积仅为 0.125 mm^2，功耗为 15.4 mW，但插入损耗高于 7 dB。H. Krishnaswamy 等人设计的四单元相控阵波束形成器中运用的反射型移相器损耗仅为 5 dB 左右，可实现 156°的相移范围，以及加入了 0 功耗设计[5]，芯片面积为 0.33 mm^2。另外还有采用有源环形器和 *LC* 网络组成的超紧凑单片移相器[6]、有源矢量合成型移相器[7]。以上介绍的移相器都在尺寸、损耗、功耗、相移范围等性能上各有优势，各性能之间需进行折中设计，因此设计出高性能移相器具有重要意义。

本文采用 0.25 μm GaAs pHEMT 工艺，设计了一款基于复合左右手传输线（Composite Right/Left Hand Transmission Line，CRLH-TL）结构的模拟移相器，芯片面积为 0.33 mm^2，功耗为 63.3 mW，具有 8.5 dB 以上的增益，能够实现 90°相移范围内的连续调谐。

1 电路设计

1.1 复合左右手传输线原理

CRLH-TL 是一种可以在双频段分别表现出左手和右手特性的传输线，具有频带宽、插入损耗低、结构紧凑等优点。图 1 所示为理想复合左右手传输线的等效模型[8]。为了探究等效电感电容对 CRLH-TL 结构相位的影响，对等效模型建立了基于基尔霍夫定律的传输方程，从而得到其传输特性。电磁波经过一段传输线的相位变化，与传输线长度和相位常数的关系是 $\theta=\beta l$。根据传输线理论，传输常数为：

$$\gamma=\sqrt{ZY}=\alpha+\mathrm{j}\beta \tag{1}$$

式中，Z、Y 为分别为传输线的阻抗和导纳。假设传输线无损耗，则 $\alpha=0$，可推导出 CRLH-TL 等效模型的相位常数表达式：

$$\beta=-\mathrm{j}\sqrt{ZY}=s(\omega)\sqrt{(\omega L_{\mathrm{R}}-\frac{1}{\omega C_{\mathrm{L}}})(\omega C_{\mathrm{R}}-\frac{1}{\omega L_{\mathrm{L}}})} \tag{2}$$

其中 $s(\omega)$ 为符号函数：

$$s(\omega)=\begin{cases}-1, & \omega<\min(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})\\ +1, & \omega>\max(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})\end{cases} \tag{3}$$

式中，ω_{sh} 和 ω_{se} 分别表示并联和串联谐振频率：

$$\omega_{\mathrm{sh}}=\frac{1}{\sqrt{L_{\mathrm{R}}C_{\mathrm{L}}}} \tag{4}$$

$$\omega_{\mathrm{se}}=\frac{1}{\sqrt{L_{\mathrm{L}}C_{\mathrm{R}}}} \tag{5}$$

根据上述公式可以对 CRLH-TL 的频率特性进行分析：当 $\omega<\min(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})$ 时，$\beta<0$，信号在 CRLH-TL 中的能量传输方向与相位传播方向相反；当 $\omega>\max(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})$ 时，$\beta>0$，能量传播方向和相位传播方向同向；当 $\min(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})<\omega<\max(\omega_{\mathrm{sh}},\omega_{\mathrm{se}})$ 时，$\beta=0$，传输常数并不是纯虚数，不存在电磁波传播的环境，即存在禁带，CRLH-TL 处于一种非平衡的状态。为了消除禁带，有平衡条件 $\omega_{\mathrm{sh}}=\omega_{\mathrm{se}}$。当串并联谐振频率相等时，间隙消失。当频率正好处于这个平衡频点的时候，相位常数 $\beta=0$，此时没有相位变化，群速度 $v_{\mathrm{g}}=\partial\omega/\partial\beta\neq0$，电磁波在 CRLH-TL 中可以传播。

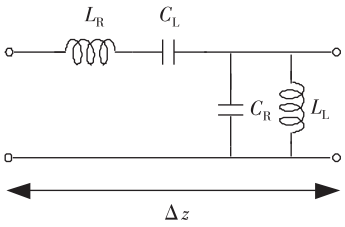


图 1 理想 CRLH-TL 等效模型

综上分析，CRLH-TL 在双频段上具有不同的相频特性，同时具有零相移的特性，被广泛地运用于多频带放大器、耦合器、滤波器、天线及移相器等电路的设计[9-11]。另外，研究 CRLH-TL 单元结构对实现移相器小型化也具有重要意义。

1.2 移相单元的设计

基于 CRLH-TL 的独特相频特性，提出了移相单元的设计。采用集总参数 *LC* 网络实现 CRLH-TL 结构是最常用的方法之一，图 2 所示为移相单元的拓扑结构。

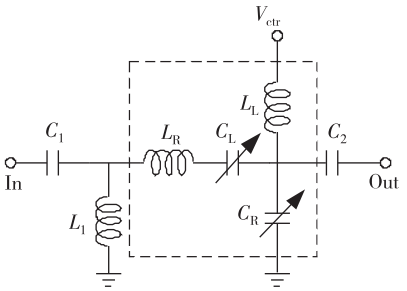


图 2　移相单元拓扑结构

虚线框部分是起到相移作用的主体部分，采用 CRLH-TL 结构加载可变电容器 C_L 与 C_R，实现相移。通过电源 V_{ctr} 提供变容器的高电位，L_1 与 L_L 同时起到阻止射频信号进入电源或地的作用，电容 C_1 和 C_2 隔离了直流通路。根据 1.1 节对 CRLH-TL 的分析可知，集总参数元器件的参数必须满足平衡条件，使 LC 移相网络的工作频率处在“通带”，以减少信号损耗和增益变化。当网络中的串并联谐振频率相等时，即 $L_R C_L = L_L C_R$，此时 CRLH-TL 结构的“禁带”消失，相位常数表达式可以化简为：

$$\beta = \omega\sqrt{L_R C_R} - \frac{1}{\omega\sqrt{C_L L_L}} = \beta_R + \beta_L \tag{6}$$

式(6)表明平衡态 CRLH-TL 的相位常数是左、右手传输线相位常数之和，这也说明 CRLH-TL 具有两种传输特性。元件参数决定相位常数，进而决定信号通过时的相位，因此相移量是通过可变电容器实现的。将色散关系式对 ω 求导。得到：

$$\frac{\partial\beta}{\partial\omega} = \sqrt{L_R C_R} + \frac{1}{\omega^2\sqrt{C_L L_L}} = \sqrt{L_R C_R}\left(1 + \frac{\omega_{sh}\omega_{se}}{\omega^2}\right) \tag{7}$$

由式(7)可知，调谐范围与角频率斜率相关。当串并联谐振频率和可变电容器的可调范围确定后，电容 C_R 和电感 L_R 的大小决定了移相单元的相移量范围，因此使用高电容值的可变电容器或高电感值的电感会得到更大的相移量范围，但同时也会增加芯片面积。

确定电路元件参数后，需要确定可变电容器的调谐范围和控制电压。由于所使用的工艺库中变容二极管的电容值和调谐范围不满足设计需求，因此采用晶体管并联的方式代替变容二极管。可变电容结构如图 3 所示。

将两个源漏短接的晶体管并联起来，栅极为高电平，源极为低电平，可以实现变容管的效果，且电容值及可调谐范围可满足电路设计所需。设计直流偏置通路，来实现单电源统一控制，以简化电路结构。虽然并联多个晶体管会使电容值更大，得到更大的相移量范围，但电容结构的 Q 值对电路损耗存在影响，因此需要折中考虑。

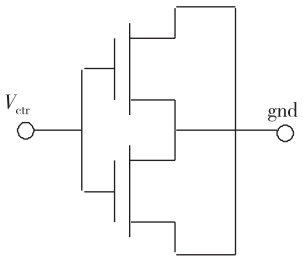


图 3　可变电容结构示意图

可变电容的控制电压与电容值大小的关系图如图 4 所示。可以看出，在 0～0.5 V 范围内，电容值从 20 fF 变化到了 87 fF 左右，变化量达到 60 fF 以上，且变化基本均匀。因此设计的模拟移相器的调谐电压范围为 0～0.5 V。

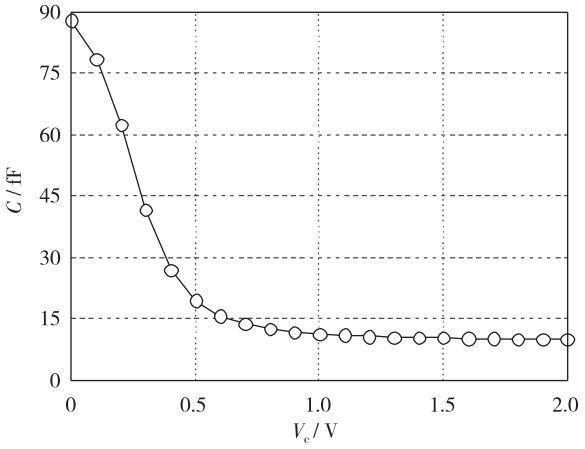


图 4　变容结构的电容值与控制电压的关系图

1.3　共源共栅缓冲器设计

基于 CRLH-TL 结构设计的移相单元通过改变网络中电容值来进行相移量的调谐，而相移量的改变会带来端口阻抗的变化，使移相器电路与其它电路模块之间的级联受到严重影响，阻抗匹配不易实现，且会造成移相精度等性能的恶化。为解决这种影响，采用隔离度较高的共源共栅电路作为缓冲器插入在移相网络两端，以减小阻抗变化带来的影响。另外，虽然处于平衡态的 CRLH-TL 网络损耗和增益稳定性最佳，但终究无法避免无源器件损耗相对较高的问题。而共源共栅缓冲器可以提供一定的增益，弥补信号幅度不足的问题。设计的有源模拟移相器的电路拓扑结构如图 5 所示。输入输出级联了共源共栅缓冲器，使移相单元与电路端口具有较高的隔离度。

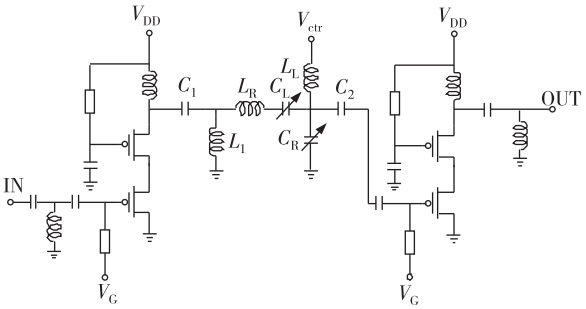


图 5　基于 CRLH-TL 的有源模拟移相器

图 5 中，电源电压 V_{DD} 为 1.5 V，栅极的电压偏置 V_G 为 −0.5 V，共源共栅缓冲器的输入输出匹配网络与移相单元外围的元器件共用，既起到了两个部分电路的直流通路与射频通路的分离，又达到了阻抗匹配的效果。忽略沟道调制效应的共源共栅级的小信号等效电路如图 6 所示。

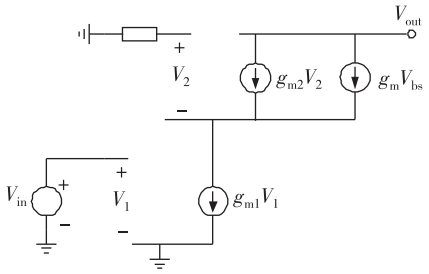


图 6　共源共栅级的小信号等效电路

由于流过两个晶体管的电流相等，因此电路增益由共源级提供。电路又可被看作带负反馈的共源极电路，输出阻抗可表示为：

$$R_{out}=[1+(g_{m2}+g_{mb2})r_{o2}]r_{o1}+r_{o2} \tag{8}$$

由式(8)可知，共源共栅结构的输出阻抗大大高于单一共源级，因此负载端的阻抗变化对整体电路的输入端影响可极大减小。因此，选用共源共栅缓冲器可有效地增加移相网络与输入输出端的隔离度。

2　仿真与测试结果分析

本文采用 0.25 μm GaAs pHEMT 工艺设计了一款工作在 Ku 波段的有源模拟移相器。电路分为输入、输出和移相网络三部分：输入和输出部分采用 *LC* 匹配网络和共源共栅缓冲放大结构，移相网络采用 CRLH-TL 结构。匹配网络不仅用于匹配电路输入输出端口，还起到了将直流通路与 RF 交流信号通路分离的作用。共源共栅结构具有较高隔离度和一定的增益，减弱了移相单元特性阻抗变化带来的失配，可以弥补无源网络带来的损耗问题，但电路功耗会随之增加。

电路设计使用 ADS 电路仿真软件平台，无源器件采用工艺库中提供的模型，进行了电磁仿真验证。移相器芯片照片如图 7 所示，焊盘的总面积为(1.1×0.6) mm^2，采取半键合的方式进行测试，即直流电源焊盘键合到 PCB 测试板上，射频信号由 RF 探针在片提供。

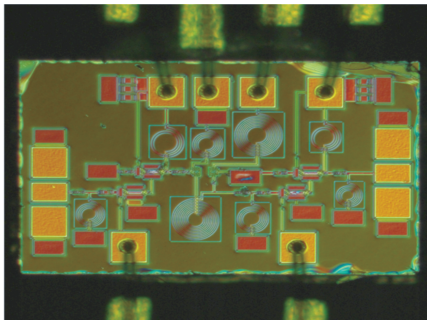
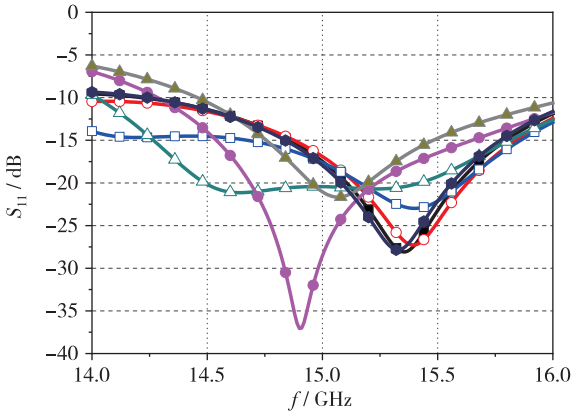
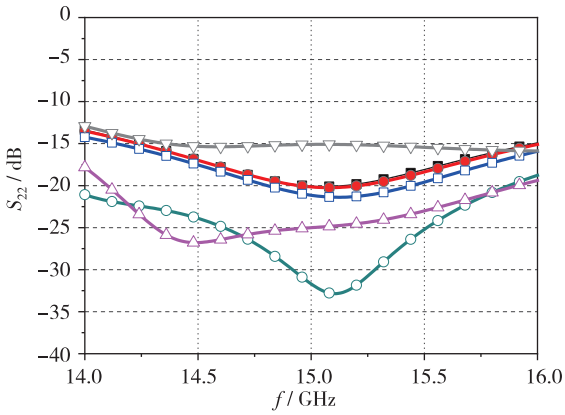


图 7　基于 CRLH-TL 的移相器芯片照片

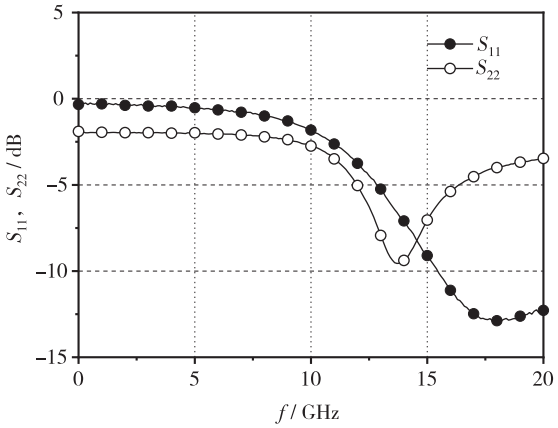
该移相器在不同相移状态下的仿真与测试结果如图 8 所示。图 8(a)和图 8(b)所示分别为电路输入输出回波损耗的仿真及测试结果。



(a) S_{11} 仿真结果



(b) S_{22} 仿真结果



(c) 测试结果

图 8　S 参数仿真与测试结果

可以看到，在 14～16 GHz 频率范围内各个状态的仿真结果满足匹配要求。图 8(c)所示为电路移相参考态的端口 S 参数测试结果，与仿真结果对比有一定的频偏，排除电路连接错误后，分析造成这种现象的原因，可能有：1)焊盘和键合线的寄生电容电感的影响；2)加工厂提供的工艺模型误差的影响。

由于电路设计时未周全考虑芯片的封测，键合线及焊盘的寄生参数导致晶体管未能正常工作，实测 S_{21} 与仿真结果相差巨大，因此文中未给出其它测试结果。图 9 所示为移相器在不同相移状态下的增益和幅度变化，可以看出，电路的平均增益达到了 8.5 dB 以上，而不同相移状态下的幅度波动小于 5.8 dB。

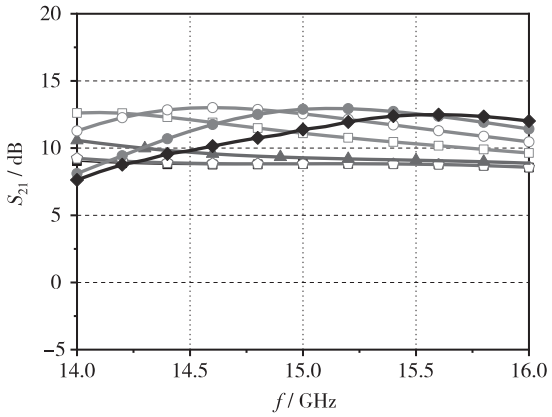


图 9　电路增益仿真结果

电路的相位变化仿真结果如图 10 所示，相移量大于 90°，且随着控制电压的变化，相位的变化速率并不一致的，这说明当 CRLH-TL 结构的移相单元工作在不同的特性区域时，相位的变化是非线性的。另外，该结构的灵活性体现在最小相移量是由控制电源的精度决定的，可以根据具体应用场景对控制电压和相移量之间进行校准，实现不同步进的移相功能。

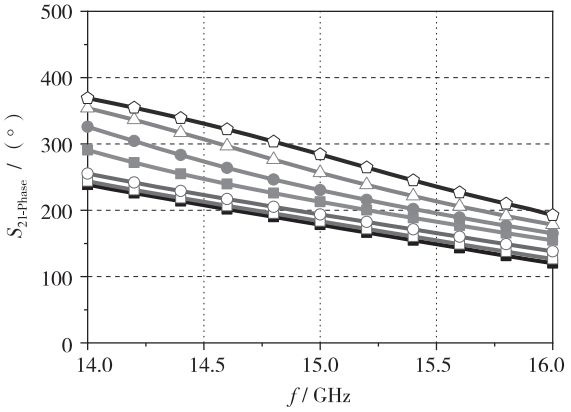


图 10　相位变化仿真结果

3　结　论

基于集中参数的复合 CRLH-TL 结构，设计了一款相位连续可调的模拟移相器，共源共栅缓冲器将相移单元与输入输出端口隔离，实现了良好的匹配。该电路在 14～16 GHz 工作频率下，相位调谐范围大于 90°，且通过控制电压的精度可实现不同步进的相移。仿真结果表明，电路平均增益达到了 5.4 dB，弥补了无源移相器带来的损耗问题。该移相器具有小型化和低损耗的特点，对相控阵系统的设计尤其是小型化设计具有一定参考意义。

参 考 文 献：

[1] BUSUIOC D, SAFAVI-NAEINI S. Low-cost antenna array and phased array architectures—design concepts and prototypes [C] // IEEE Intl Symp Phased Array Syst Tech. Waltham, MA, USA. 2010: 965-968.

[2] RANJKESH N, BASHA M, ABDELLATIF A, et al. Millimeter-wave tunable phase shifter on silicon-on-glass technology [J]. IEEE Microw Wirel Compon Lett, 2015, 25(7): 451-453.

[3] SHIN G S, KIM J S, OH H M, et al. Low insertion loss, compact 4-bit phase shifter in 65 nm CMOS for 5G applications [J]. IEEE Microw Wirel Compon Lett, 2015, 26(1): 37-39.

[4] RYU S R, VARDHAN H, BANERJEE B, et al. Continuous active phase shifter design and analysis for millimeter-wave circuits [J]. IEEE Trans Circ Syst II: Expr Bri, 2013, 60(10): 627-631.

（下转第 834 页）

一种基于 Cascode GaN E-HEMT 的单相逆变电路

李昊桐，陈雷雷，李金晓，顾晓峰
（江南大学 电子工程系 物联网技术应用教育部工程研究中心，江苏 无锡 214122）

摘　要： 首先测试了 Cascode 结构的氮化镓增强型高电子迁移率晶体管（GaN E-HEMT）的输出、转移特性曲线，分析了导通电阻、输入电容等影响开关特性的电参数。接着分析了单相逆变电路结构，研究表明，采用 GaN E-HEMT 可极大地减小单相逆变电路的输出滤波电容、电感的体积。最后，比较分析了影响 Cascode GaN E-HEMT 和 Si 基 MOSFET 的损耗参数，并基于这两种器件结构分别搭建了两种单相逆变电路。测试结果表明，工作频率为 8～90 kHz 时，基于 Cascode GaN E-HEMT 的逆变电路的转换效率为 90%以上，温度维持于 25.3 ℃～29.3 ℃范围。基于 Cascode GaN E-HEMT 的逆变电路的总体性能优于基于 Si 基 MOSFET 的逆变电路。

关键词： GaN E-HEMT；共源共栅；单相逆变电路；功率损耗；转换效率
中图分类号：TN86　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0828-07
DOI：10.13911/j.cnki.1004-3365.190730

A Single Phase Inverter Circuit Based on Cascode GaN E-HEMT

LI Haotong, CHEN Leilei, LI Jinxiao, GU Xiaofeng
(*Engineering Research Center of IoT Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi, Jiangsu* 214122, *P. R. China*)

Abstract: Firstly, the output and transfer characteristics of gallium nitride enhanced mode high electron mobility transistors (GaN E-HEMT) with the cascode structure were measured, and important electrical parameters influencing the switching characteristics, such as on-resistance and input capacitance, were analyzed based on the testing results. Secondly, the topology of single phase inverter circuit was analyzed. Studies had shown that the volumes of output filter capacitors and inductors were greatly reduced by using GaN E-HEMT. Finally, the electrical parameters affecting the energy loss of the cascode GaN E-HEMT and Si-based MOSFET were compared, and two single phase inverter circuits were constructed based on the GaN E-HEMT and Si-based MOSFET, respectively. The testing results showed that the conversion efficiency of the inverter circuit based on cascode GaN E-HEMT was above 90%, and the temperature was maintained at 25.3 ℃～29.3 ℃ while the switching frequency was in the range of 8～90 kHz. The overall performance of the inverter circuit based on cascode GaN E-HEMT was better than the inverter circuit based on Si-based MOSFET.

Key words: GaN E-HEMT; cascode; single phase inverter; power loss; conversion efficiency

收稿日期：2019-12-16；**定稿日期：**2020-01-15
基金项目：国家自然科学基金资助项目(61504050)；江苏省研究生科研与实践创新计划资助项目(KYCX18_1855)；中央高校基本科研业务费专项资金资助项目(JUSRP51510)
作者简介：李昊桐(1993—)，男(汉族)，辽宁沈阳人，硕士，从事 GaN 器件应用研究。
顾晓峰(1971—)，男(汉族)，江苏无锡人，博士，教授，主要从事新型半导体器件研究。通信作者。

0　引　言

逆变电路能将直流电能转换为交流电能，被广泛应用于电能系统。逆变电路的能量转换效率主要由功率器件的电性能决定，研究新型功率器件对提高逆变电路的转换效率具有实际意义。与常规 Si 基功率器件相比，氮化镓高电子迁移率晶体管(GaN HEMT)具有更高开关频率、更低导通电阻、更低功率损耗等优点[1-5]。对于功率开关和数字 IC 应用，氮化镓增强型 HEMT(GaN E-HEMT)比传统耗尽型器件更具优势。该器件在零偏压下沟道处于关闭状态，静态功率损耗极小，不会发生短路，具有较高的电学可靠性以及与 Si 基驱动电路兼容的优势，在逆变电路中得到广泛应用[6-10]。Cascode GaN E-HEMT 的原理是利用低压增强型 Si 基 MOSFET 来控制整个串联沟道的开启与关闭，实现了增强型功能。

本文首先测试了 Cascode GaN E-HEMT 的变温输出、转移特性，提取了影响开关行为的重要参数，接着分析了其应用于单向逆变电路的优势。最后，基于 Cascode GaN E-HEMT 和常规 Si 基 MOSFET 分别搭建了两种单相逆变电路，比较了两种电路的转换效率和温度性能。测试结果表明，当工作频率为 8～90 kHz 时，第一种逆变电路的能量转换效率能维持在 90%以上，温度维持在 25.3℃～29.3℃范围。第一种逆变电路的性能明显优于第二种逆变电路。

1　GaN E-HEMT 的结构

耗尽型 GaN HEMT 的剖面结构如图 1 所示。外延层是利用 MOCVD 工艺淀积于硅衬底上，其包括 3 μm 厚非掺杂 GaN 外延层、18 nm 厚非掺杂 AlGaN 势垒层和 2 nm 厚非掺杂 GaN 帽层。

耗尽型 GaN HEMT 的制作工艺步骤如下。1)利用标准光刻工艺和 lift-off 工艺定义欧姆电极(即漏极(D)、源极(S))的形状和尺寸，电子束蒸发 30/120/50/100 nm 厚的 Ti/Al/Ni/Au 层，在 870 ℃、N_2 条件下快速热退火 60 s，形成良好的欧姆接触；2)利用 PECVD 工艺在异质结上生长 100 nm 厚 Si_3N_4 层，作为钝化层[11]；3)定义栅极(G)的形状和尺寸，电子束蒸发厚为 40/100 nm 的 Pt/Au 层，形成金属-绝缘层-半导体(MIS)结构。对器件进行高频 *C-V* 测试，对曲线积分并计算，得到异质结界面的 2DEG 面密度，为 1.2×10^{13} cm^{-2}。

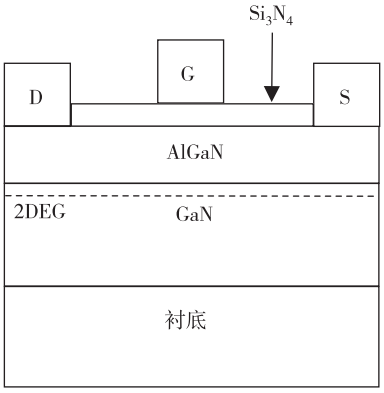


图 1　耗尽型 GaN HEMT 的剖面结构

Cascode GaN E-HEMT 包括一个耗尽型 GaN MIS-HEMT、一个低压增强型 Si 基 MOSFET 和一个与沟道并联的体二极管，电路结构如图 2 所示。Cascode 结构将 GaN HEMT 栅极与 MOSFET 的源极相连，通过增强型 Si 基器件的栅极来控制整个沟道的开启和关闭状态，实现了增强型工作模式[12]。

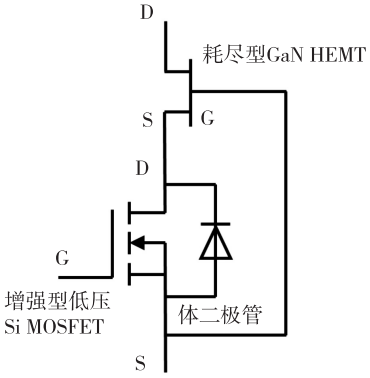


图 2　Cascode GaN E-HEMT 的电路结构

2　Cascode GaN E-HEMT 的电参数

本文采用威讯公司 RFJS3006F 型 Cascode GaN E-HEMT(最大耐压为 650 V，最大通态电流为 30 A)进行设计。该器件 25 ℃时的输出曲线如图 3(a)所示。可以看出，当 $V_{gs}=10$ V 时，漏极电流在 $V_{ds}=8$ V 时达到饱和，为 100 A。器件分别于 25 ℃、75 ℃和 150 ℃时的变温转移特性曲线如图 3(b)所示。

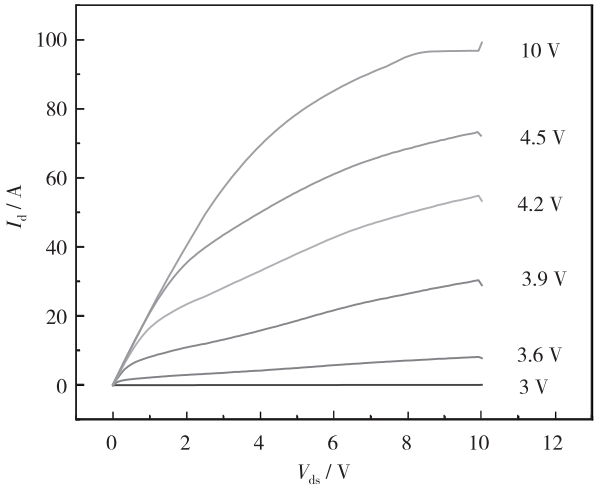
可以看出，随着温度增加，开启电压 V_{th} 从 1.9 V 减小到 1.5 V，最大饱和电流从 80 A 减小到 57 A。

本文认为，开启电压变化的原因是 Si 基 MOSFET 的势垒高度对温度的依赖关系。沟道迁移率和 2DEG 浓度下降，使得高温下沟道电阻增加，导致饱和电流减小。

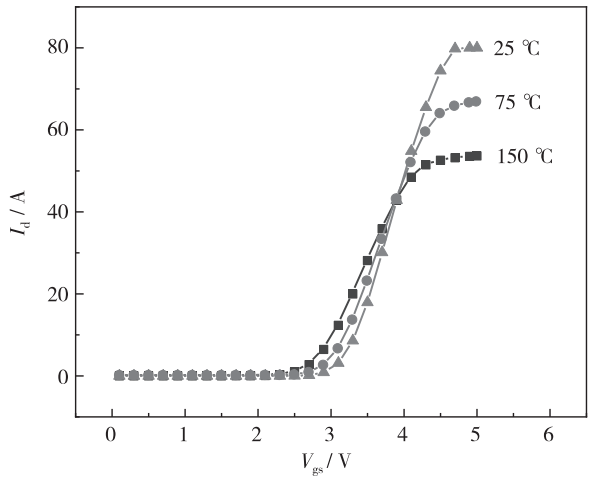
导通电阻是影响沟道开关时能量损耗的重要参数之一，其值越大，导通时产生的能量损耗也越大[7]。通态功率损耗 P_{con} 为：

$$P_{con}=\frac{1}{2\pi}\int_0^{\pi} I_{on}^2(\theta)R_d(T_j)D(\theta)\,d\theta \tag{1}$$

式中，I_{on} 为器件导通电流，$R_d(T_j)$ 为 T_j 时的导通电阻，$D(\theta)$ 为正弦波脉冲宽度调制（SPWM）控制信号的占空比。



（a）$V_{gs}=10$ V 时的常温输出特性



（b）$V_{ds}=20$ V 时的变温转移特性

图 3　Cascode GaN E-HEMT 的输出与转移特性曲线

实测的导通电阻与温度的关系曲线如图 4 所示。可以看出，随温度从 30 ℃增至 140 ℃，导通电阻从 0.032 Ω 线性增加到 0.055 Ω，增长幅度为 68.8%。因此，有效散热对高温下能量转换效率的提高具有重要意义。

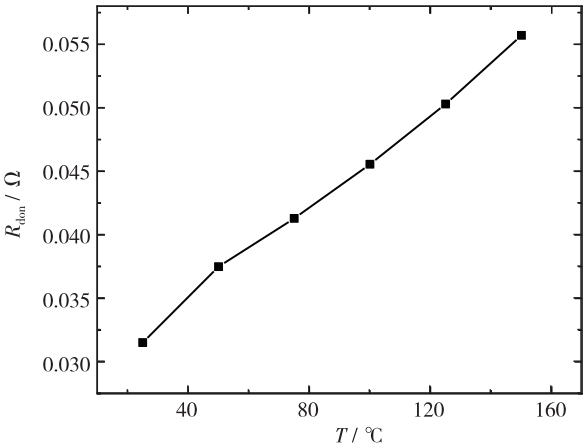


图 4　导通电阻与温度的关系曲线

寄生电容是直接影响器件开关速度的重要参数。Cascode GaN E-HEMT 的等效电路如图 5(a) 所示。电容包括输入电容 C_{iss}、输出电容 C_{oss} 与密勒电容 C_{rss}，关系式为：

$$C_{iss}=C_{gs}+C_{gd} \tag{2}$$

$$C_{oss}=C_{ds}+C_{gd} \tag{3}$$

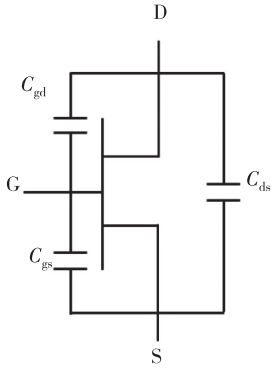
$$C_{rss}=C_{gd} \tag{4}$$

式中，C_{gs} 为栅源电容，C_{gd} 为栅漏电容，C_{ds} 为漏源电容。C_{iss} 和 C_{rss} 共同决定了栅极的充放电时间。电容值越小，开关时间越短，开关损耗就越小[7]。开关能量损耗 P_{switch} 为：

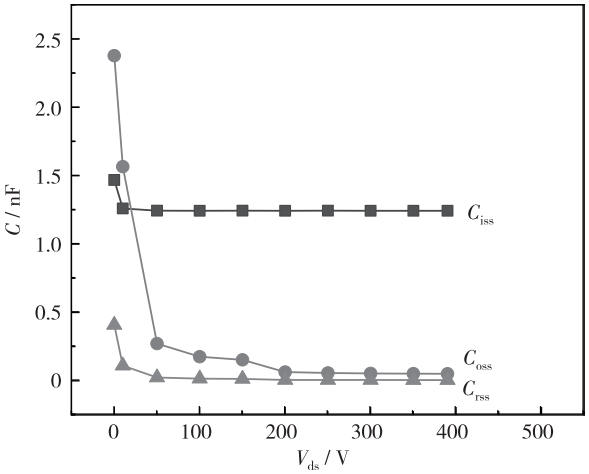
$$P_{switch}=\frac{1}{2\pi}\int_0^{\pi}\frac{1}{2}f_s V_{DC} I(\theta)\,t\,d\theta \tag{5}$$

式中，t 为导通时间，f_s 为开关频率，V_{DC} 为输入电压，I 为流经器件的电流。

器件的电容特性曲线如图 5(b) 所示。C_{iss}、C_{oss} 和 C_{rss} 均随着 V_{ds} 的增加而逐步减小，三者均在 50 V 时达到稳定值。此时，C_{iss} 为 1.2 nF，远大于 C_{rss} (10 pF)。可知，C_{iss} 对开关时间的影响大于 C_{rss}。



（a）等效电路



（b）电容特性曲线

图 5　Cascode GaN E-HEMT 的等效电路及电容特性曲线

由于工艺原因，Si 基 MOSFET 的漏极与源极之间存在 1 个反并联的体二极管。体二极管的 *I-V* 特性如图 6 所示。可以看出，体二极管的开启电压为 0.7 V，与硅基器件的典型值接近。在沟道开关过程中，体二极管会产生反向恢复损耗与导通损耗。反向恢复损耗与导通损耗分别为[7]：

$$P_{d\_re}=f_s\times Q_{rr}\times V_{DR} \tag{6}$$

$$P_{d\_on}=\frac{1}{2\pi}\int_0^{\pi}\frac{1}{2}f_s V_F I_F(\theta)t_x \mathrm{d}\theta \tag{7}$$

式中，P_{d_re} 为反向恢复损耗，V_{DR} 为反向压降，Q_{rr} 为反向恢复电荷量，P_{d_on} 为导通损耗，V_F 为体二极管的正向导通电压，I_F 为正向电流，t_x 为一个周期内二极管承载电流的时间。

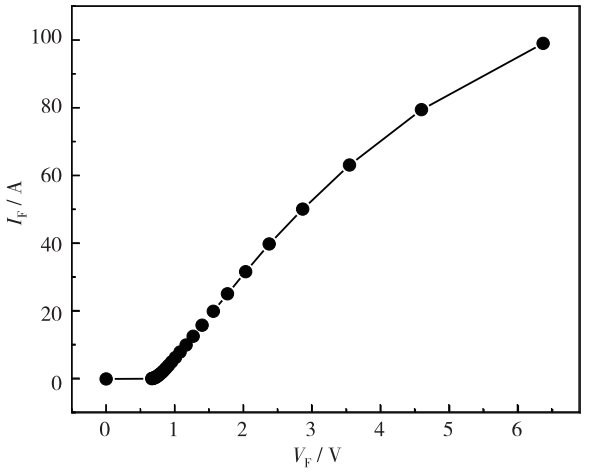


图 6　体二极管的 *I-V* 特性

3　单相逆变电路

本文设计的单相逆变电路结构如图 7 所示，包括 4 个功率开关器件（S1～S4）构成的全桥逆变电路和 *LC* 滤波网络构成的信号输出端。该电路通过控制栅极电压信号来改变开关状态，实现正弦电压信号的输出。

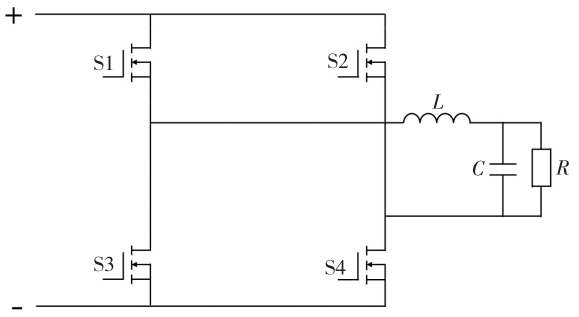


图 7　单相逆变电路的结构

SPWM 控制原理示意图如图 8 所示。图中，横坐标轴为时间，纵坐标轴为电压。如图中虚线所示，通过比较正弦波与高频三角波的幅值来调制输出不同占空比的方波序列，实现 SPWM 控制，该方波序列作为 S1、S4 的栅极控制信号。同时，利用反相器获得反相方波序列，该反相方波序列作为 S2、S3 的栅极控制信号。

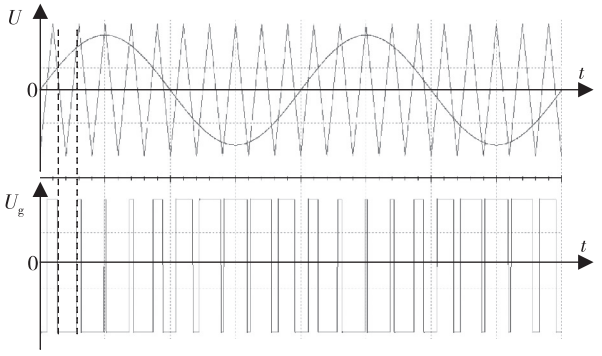


图 8　SPWM 控制原理示意图

对于输出网络端，电感和电容的取值与器件的截止频率相关。电感和电容分别为：

$$L=\frac{U_o}{I_o}\times\frac{1}{2\pi f_L} \tag{8}$$

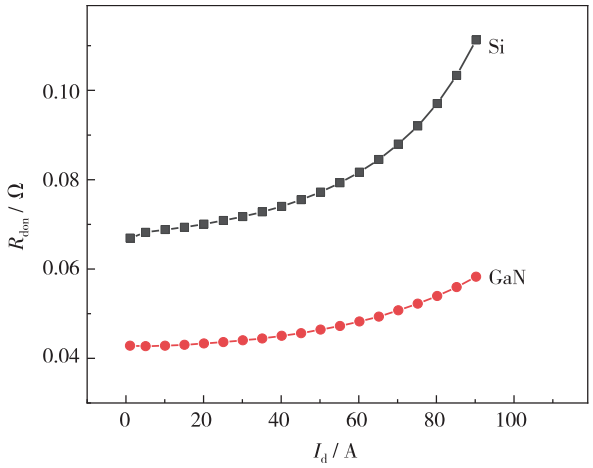
$$C=\frac{1}{4\pi^2 f_L^2 L}=\frac{I_o}{U_o}\times\frac{1}{2\pi f_L} \tag{9}$$

式中，U_o、I_o 分别为输出电压、电流；f_L 为截止频率，一般取为开关频率的十分之一。可见，器件开关频率越高，所允许的电感值、电容值就越小[10]。因此，采用开关速度更快的功率器件有助于减小逆变电路的物理体积。

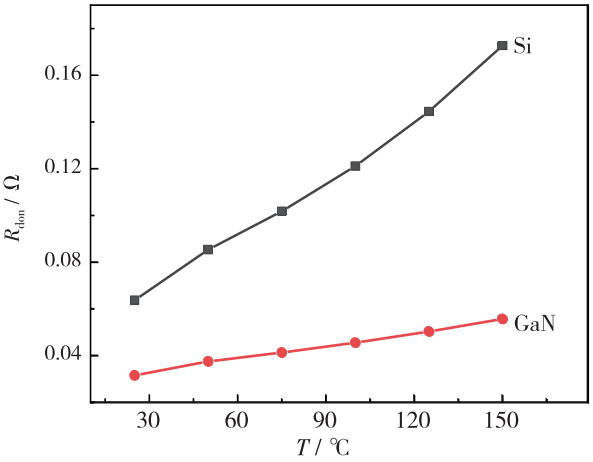
4 电路损耗分析与验证

逆变电路的能量损耗主要由功率器件的损耗决定，包括导通损耗、开关损耗和体二极管的反向恢复损耗、导通损耗。

测试了 Cascode GaN E-HEMT 与 Si 基 MOSFET 的导通电阻随漏极电流和温度的变化，变化曲线如图 9 所示。可以看出，Cascode GaN E-HEMT 的导通电阻只有 Si 基 MOSFET 的 1/2 到 1/3 之间。这表明，在相同工作条件下，Cascode GaN E-HEMT 的导通损耗远小于 Si 基 MOSFET。



(a) 通态电阻与漏极电流的关系曲线



(b) 通态电阻与温度的关系曲线

图 9 通态电阻随漏极电流和温度的变化曲线

Cascode GaN E-HEMT 与 Si 基 MOSFET 的输入电容曲线如图 10 所示。可以看出，当 $V_{ds}>50$ V 时，Cascode GaN E-HEMT 的输入电容只有 Si 基 MOSFET 的 1/3。这表明，Cascode GaN E-HEMT 的开关速度明显大于 Si 基 MOSFET，Cascode GaN E-HEMT 的开关损耗更小，高频下的能量转换效率更高。

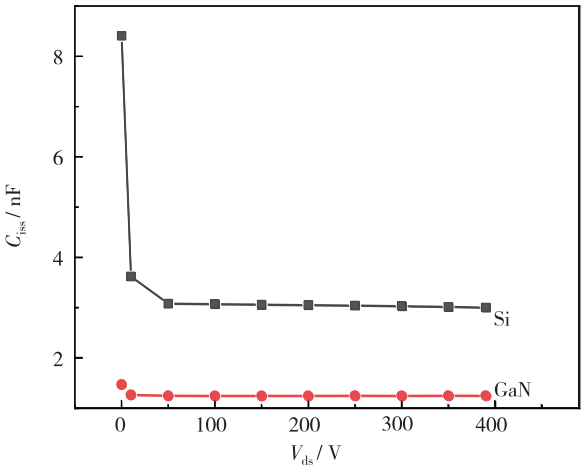


图 10 输入电容曲线

通常情况下，Cascode GaN E-HEMT 中低压 Si 基 MOSFET 体二极管的反向恢复电荷远小于高压 Si 基 MOSFET 器件。因此，反向恢复损耗极小，在实际应用时可忽略。Cascode GaN E-HEMT 和 Si 基 MOSFET 的寄生体二极管的导通 *I-V* 关系如图 11 所示。可以看出，在相同电压下，GaN E-HEMT 的反向导通电流小于 Si 基 MOSFET，GaN E-HEMT 的导通损耗较小。

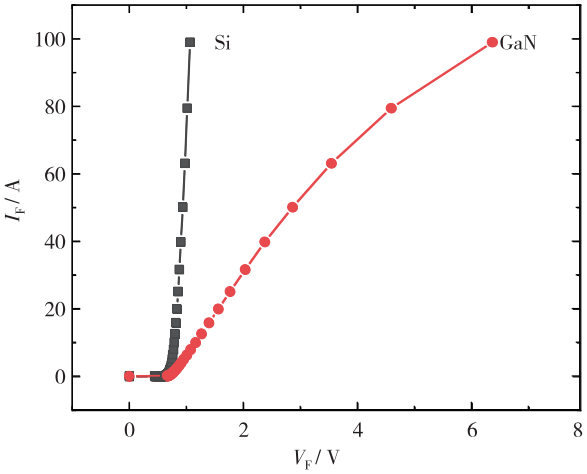


图 11 寄生体二极管的导通 *I-V* 关系

分别基于 Cascode GaN E-HEMT（威讯公司 RFJS3006F 型）与 Si 基 MOSFET（英飞凌公司 IPP60R040C 型）设计和构建了两种单相逆变电路，并进行验证。基于 Cascode GaN E-HEMT 与 Si MOSFET 的逆变电路实物照片如图 12 所示。

基于 Cascode GaN E-HEMT 与 Si MOSFET 的两种逆变电路所使用开关器件的参数如表 1 所

示。这两种电路分别标记为第一种逆变电路和第二种逆变电路。两种逆变电路的最大耐压均为 650 V，第一、二种逆变电路的开启电压分别为 1.8 V 和 3.5 V，第一、二种逆变电路的反向恢复电荷分别为 37 nC 和 9 200 nC。

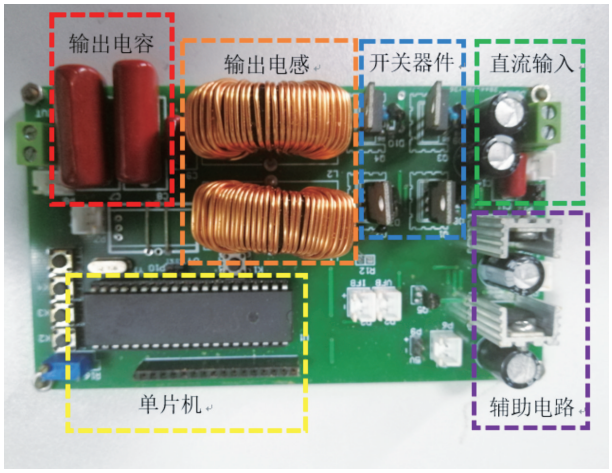


图 12　逆变电路实物照片

表 1　两种逆变电路所使用开关器件的参数

参数	第一种逆变电路	第二种逆变电路
V_{ds} / V	650	650
I_d / A	30	73
$V_{gs(th)}$ / V	1.8	3.5
$R_{ds(on)}$ / mΩ	45	67
C_{iss} / pF	951	4 340
C_{oss} / pF	119	85
t_r / ns	8	11
t_f / ns	5	3.2
Q_{rr} / nC	37	9 200

逆变电路的输入电压为 30 V，输出电压为 27 V，开关频率从 8 kHz 到 90 kHz，输出频率设置为 50 Hz。第一种逆变电路的输出波形如图 13 所示，输出正弦波频率为 50 Hz，输出功率为 30 W。这表明，第一种逆变电路能正常工作。

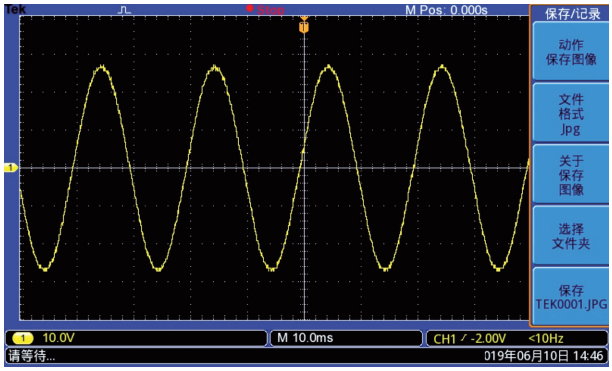
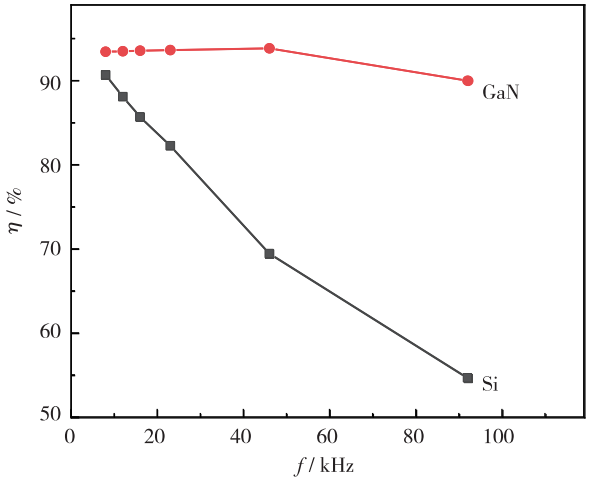
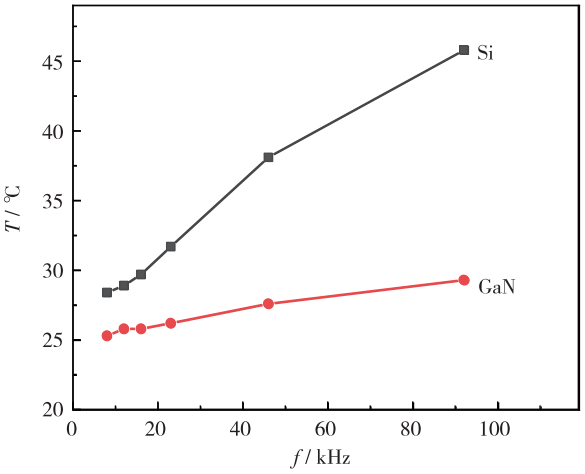


图 13　第一种逆变电路的输出波形

两种逆变电路的输出能量转换效率和温度随开关频率的关系曲线分别如图 14(a)、图 14(b)所示。



(a) 输出能量转换效率曲线



(b) 器件温度曲线

图 14　两种逆变电路的输出能量转换效率和器件温度随开关频率的关系曲线

可以看出，随着开关频率从 8 kHz 升至 90 kHz，第二种逆变电路的转换效率从 90.7%急剧下降到 54.7%，器件温度从 28.4 ℃快速上升到 45 ℃。第一种逆变电路的转换效率保持在 90%以上，器件温度保持在 25.3 ℃～29.3 ℃范围内，变化不明显。这表明，第一种逆变电路的电性能优于第二种逆变电路。实际应用中，第一种逆变电路不需加装散热瓦，有利于体积的减小。

5　结　论

本文测试了 Cascode GaN E-HEMT 的电学特性，分析了影响开关速度和损耗等参数，分析了逆变电路的结构，比较了 Cascode GaN E-HEMT 与 Si

基 MOSFET 的电学特性。基于 Cascode GaN E-HEMT 和 Si 基 MOSFET 分别构建了单相逆变电路，测试了 8～90 kHz 范围内两种逆变电路的能量转换效率和器件温度。结果表明，基于 Cascode GaN E-HEMT 的逆变电路的总体性能优于基于 Si 基 MOSFET 的逆变电路，具有更好的应用价值。

参 考 文 献：

[1] 张雅静，郑琼林，李艳. 考虑寄生参数的高压 GaN 高电子迁移率晶体管的逆变器动态过程分析 [J]. 电工技术学报，2016，31(12)：126-134.

[2] GURPINAR E，CASTELLAZZI A. Single-phase T-type inverter performance benchmark using Si IGBTs，SiC MOSFETs and GaN HEMTs [J]. IEEE Trans Power Elec，2016，31(10)：7148-7160.

[3] 唐清，李艳，赵方玮，等. GaN 器件高频精确测试及开关特性对比研究 [J]. 电力电子技术，2017，51(12)：16-19.

[4] NAKAJIMA A，TAKAO K，OHASHI H. GaN power transistor modeling for high-speed converter circuit design [J]. IEEE Trans Elec Dev，2013，60(2)：646-652.

[5] 闫琪，李艳，王路. 基于 GaN 器件的双 Buck 逆变器共模与损耗 [J]. 电工技术学报，2017，32(20)：133-141.

[6] 李天宇. SiC 和 GaN 电力电子器件的研究进展 [J]. 微电子学，2016，46(5)：685-689.

[7] 李艳，张雅静，黄波，等. Cascode 型 GaN HEMT 输出伏安特性及其在单相逆变器中的应用研究 [J]. 电工技术学报，2015，30(14)：295-303.

[8] 马皓，张宁，林燎源. 共栅共源结构 GaN HEMT 开关模型 [J]. 浙江大学学报(工学版)，2016，50(3)：508-518.

[9] KULKARNI A，MAZUMDER S K. Deadtime elimination in a GaN-based grid-connected differential mode Cuk inverter [J]. IEEE Trans Industr Elec，2019，66(4)：3296-3302.

[10] GURPINAR E，CASTELLAZZI A. Tradeoff study of heat sink and output filter volume in a GaN HEMT based single-phase inverter [J]. IEEE Trans Power Elec，2018，33(6)：5226-5239.

[11] LI M，WANG Y，WONG K M，et al. Low-leakage-current AlGaN/GaN HEMTs on Si substrates with partially Mg-doped GaN buffer layer by metal organic chemical vapor deposition [J]. Chin Phys B，2014，23(03)：601-605.

[12] HUANG X，LI Q，LIU Z，et al. Analytical loss model of high voltage GaN HEMT in cascode configuration [J]. IEEE Trans Power Elec，2014，29(5)：2208-2219.

(上接第 827 页)

[5] KRISHNASWAMY H，VALDES-GARCIA A，LAI J W. A silicon-based，all-passive，60 GHz，4-element，phased- array beamformer featuring a differential，reflection-type phase shifter [C] // ARRAY. Waltham，MA，USA. 2010：225-232.

[6] ZHENG Y，SAAVEDRA C E. An ultra-compact CMOS variable phase shifter for 2.4-GHz ISM applications [J]. IEEE Trans Microw Theory Tech，2008，56(6)：1349-1354.

[7] TSAI M D，NATARAJAN A. 60 GHz passive and active RF-path phase shifters in silicon [C] // IEEE RFIC Symp. Boston，MA，USA. 2009：223-226.

[8] SONG M J，LI J S. Double pass-band bandpass filter using composite left-right handed transmission line [C] // MAPE. Beijing，China. 2011：249-251.

[9] JI S H，CHO C S，LEE J W，et al. Concurrent dual-bandclass-e power amplifier using composite right/left-handed transmission lines [J]. IEEE Trans Microw Theory Tech，2007，55(6)：1341-1347.

[10] CALOZ C，ITOH T. A novel mixed conventional microstrip and composite right/left-handed backward-wave directional coupler with broadband and tight coupling characteristics [J]. IEEE Microw Wirel Compon Lett，2004，14(1)：31-33.

[11] CHEN Q，FENG G，LI N，et al. A 35 GHz composite right/left hand T-line based continuous tunable phase shifter in 65 nm CMOS [C] // APMC. Kuala Lumpar，Malaysia. 2017：9-12.

一种硅基选择性外延生长的锗波导光探测器

刘嵘侃[1,2]，张　静[3]，陈　仙[3]，徐　炀[1,2]
（1. 中电科技集团重庆声光电有限公司，重庆 400060；2. 联合微电子中心有限公司，重庆 401332；
3. 模拟集成电路国家重点实验室，重庆 400060）

摘　要： 制作了一种硅接触侧向 PIN 型 Ge 波导光探测器，叙述了 Si 基选择性 Ge 外延层的制作流程，介绍了 Ge 波导光控测器的整体结构及制作流程。对该 Ge 波导光探测器的响应度、暗电流、带宽等参数进行了测试。结果表明，该 Ge 波导光探测器在 −1 V 偏压下的暗电流为 8.3 nA，在 1 550 nm 处的响应度为 0.85 A/W，3 dB 带宽为 29 GHz。

关键词： 选择性外延；Ge 波导探测器；暗电流
中图分类号：TN15　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0835-04
DOI：10.13911/j.cnki.1004-3365.200298

A Germanium Waveguide Photodetector Based on Ge Selective Epitaxy on Silicon

LIU Rongkan[1,2], ZHANG Jing[3], CHEN Xian[3], XU Yang[1,2]
(1. *Chongqing Acoustic-Optic-Electronic Co., Ltd. of China Electronics Technology Group Corp., Chongqing* 400060, *P. R. China*;
2. *United Microelectronics Center, Chongqing* 401332, *P. R. China*;
3. *Science and Technology on Analog Integrated Circuit Laboratory, Chongqing* 400060, *P. R. China*)

Abstract: A silicon contact lateral PIN-type Ge waveguide photodetector was fabricated. The fabrication process of Si-based selective Ge epitaxial layer were described, and the overall structure and fabrication process of the Ge waveguide photodetector were introduced. The response, dark current, bandwidth and other parameters of the Ge waveguide photodetector had been tested. The results showed that the Ge waveguide photodetector had a dark current of 8.3 nA at −1 V bias, a response of 0.85 A/W at 1 550 nm, and a 3 dB bandwidth of 29 GHz.

Key words: selective epitaxy; Ge waveguide detector; dark current

0　引　言

现代数据网络和通讯技术需要在集成电路中实现快速的光互联，对激光器、光调制器、光探测器等 Si 基光集成组件提出了越来越高的要求。在光通讯最佳窗口，即近红外波段（1.3～1.55 μm），高响应度、高带宽的光探测器（PD）是关键部件，成为研究热点[1-5]。纯 Si 光探测器的吸收截止波长为 1.1 μm，在 1.3～1.55 μm 波段的效率极低，不适合用于近红外波段。目前采用具有高吸收效率、高载流子迁移速率的 III-V 族化合物（InGaAs）制作光探测器，但 III-V 族材料与 Si 工艺不兼容，制作成本高。Ge 的间接带隙为 0.67 eV，与Ⅲ-Ⅴ族化合物相当。Ge 在近红外波段的吸收系数极高，非常适用于制作高响应度的探测器。

收稿日期：2020-06-30；**定稿日期：**2020-07-24
基金项目：模拟集成电路国家重点实验室基金资助项目（6142802190502）；重庆市自然科学基金资助项目（cstc2018jcyjAX0438）
作者简介：刘嵘侃（1968—），男（汉族），四川渠县人，高级工程师，从事模拟 IC 器件结构与工艺研究工作。
张　静（1963—），男（汉族），四川泸州人，高级工程师，从事半导体材料与器件工艺研究工作。

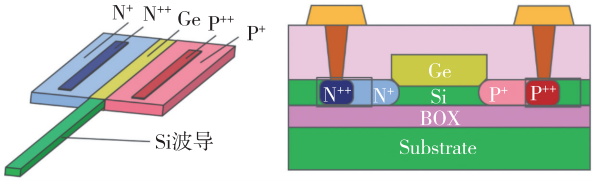
然而，Ge 与 Si 之间有 4.2%的晶格失配，Si 基 Ge 外延层会产生大量的线位错缺陷，导致器件的暗电流较大，严重影响器件的低功耗性能[4-9]。因此，减少 Si 基 Ge 外延层的线位错缺陷密度是制作高性能 Ge 波导光探测器的关键。

本文制作了一种 Si 基选择性 Ge 外延层，通过低温缓冲层生长、变温、高温生长、退火等工艺，有效降低了 Ge 外延层的缺陷密度。基于该高质量的 Ge 外延层，制作了一种高性能的 Ge 波导光探测器。

1 器件结构与制作工艺

1.1 器件结构

本文提出了一种 Si 接触 PIN 侧向 Ge 波导光探测器，整体结构及剖面图如图 1 所示。Ge 吸收层的宽度为 0.5 μm，长度为 18 μm。输入光通过探测器前端的 Si 波导耦合到 Ge 吸收层，通过 Ge 层吸收并转换为电子-空穴对，在强电场（大于 1×10^4 V·cm^{-1}）作用下形成光电流，实现从光到电的转换。



（a）整体结构　　（b）剖面图

图 1　Si 接触 PIN 侧向 Ge 波导光探测器

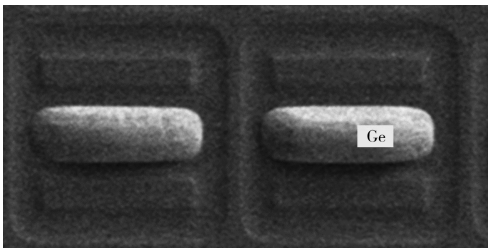
1.2 选择性 Ge 外延生长

本文的选择性 Ge 外延层采用减压化学气相淀积（RPCVD）工艺制作，包括三个主要工艺步骤：1）低温缓冲层生长；2）变温；3）高温生长及退火。

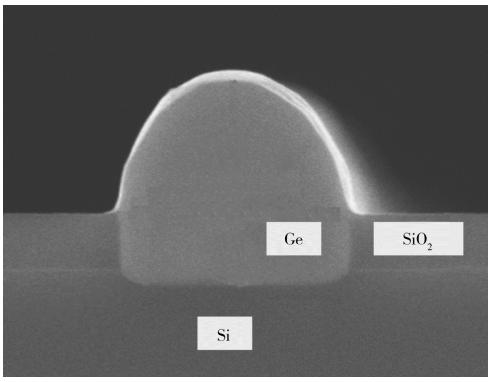
1）低温缓冲层生长。硅片经过 RCA 清洗、HF 漂 30～60 s，进行 RPCVD 工艺（温度为 300 ℃～450 ℃，压力为 1.07E+04 Pa～1.33E+04 Pa，反应源为 GeH_4）形成数十 nm 厚度的 Ge 层。因为是在低温下淀积，获得了较平坦的 Ge 表面。该 Ge 层能调节 Si 与 Ge 之间的晶格失配，还能起到缓冲的作用。

2）变温。将温度缓慢升到 700 ℃，降低升温速率可以减缓应力释放的速度，有利于控制缺陷密度、减小表面粗糙度。

3）高温生长及退火。温度控制在 700 ℃～750 ℃，高温下生长速率加快、生长时间缩短，但无法实现选择性生长。所以，通入适量的 HCl 气体腐蚀掉 SiO_2 表面的成核，使其无法生长。再在较低压力下采用过生长的方式使槽内被充分填满，多余部分由后续 CMP 工艺去除。最终，形成选择性 Ge 外延层，如图 2 所示。再将温度升到 880 ℃～900 ℃，进行短时间的退火处理，进一步降低缺陷密度。CMP 后 Ge 外延层的剖面 SEM 图如图 3 所示。



（a）俯视图



（b）截面图

图 2　选择性 Ge 外延层的 SEM 图

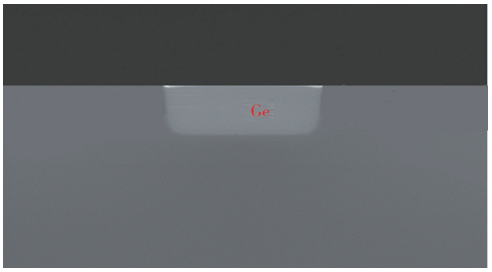


图 3　CMP 后 Ge 外延层的剖面 SEM 图

1.3 制作流程

本文的 Ge 波导光探测器采用与 CMOS 兼容的工艺制作，特征尺寸为 0.13 μm。制作过程如下。首先选用 SOI 硅衬底片，经过薄膜淀积、光刻、刻蚀后，形成条形波导、光栅和探测器图形，再经过光刻、注入后，完成 N/P 等区的掺杂，进行快速热退火。接着，采用选择性 Ge 外延工艺在定义的 Ge 外延区生长 Ge 单晶，进行 CMP 研磨平坦化。最后，采用 W-plug 工艺和 Ti/TiN/AlCu 堆叠金属工艺，将电极引出，形成 Ge 波导光探测器。

Ge 波导光探测器的剖面 SEM 图如图 4 所示。可以看出，该光探测器中，Ge 吸收区的宽度为 0.5

μm。这与设计的吸收区宽度吻合。

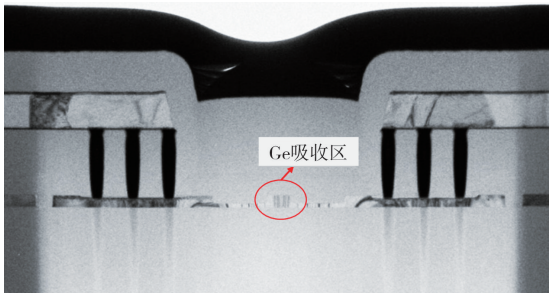


图 4　Ge 波导光探测器的剖面 SEM 图

2　测试分析

光探测器的暗电流是指无光照、一定偏压下流经光探测器的电流，主要包括扩散电流、产生-复合电流和表面漏电流。暗电流作为关键指标，其值决定了探测器系统的功耗。为了研究器件的暗电流特性，对 Ge 波导光探测器进行了 *I-V* 测试，*I-V* 曲线如图 5 所示。可以看出，在－1 V 偏压下，暗电流为 8.3 nA。这与目前已报道的光探测器的暗电流处于同一量级。

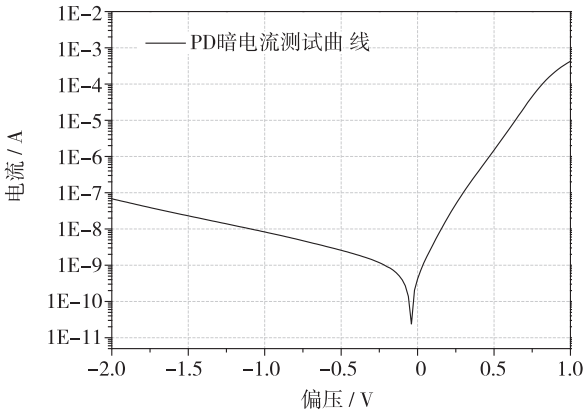


图 5　Ge 波导光探测器的 *I-V* 曲线

光探测器的响应度是指光探测器将入射光信号转化为电信号的能力，即为光电流与光功率之比，为：

$$R_{\mathrm{ESP}}=\frac{i_{\mathrm{p}}}{P} \tag{1}$$

式中，R_{ESP} 为光响应度，P 为输入光功率，i_{p} 为光电流。测试了本文光探测器在－1 V 偏压、1 550 nm 波长下不同输入光功率时的光电流，计算得出 R_{ESP} 为 0.85 A/W。目前已报道的光探测器[10-12]的响应度为 0.7 ～1 A/W，这表明本文器件的响应度与国际水平相当，能满足近红外波段的应用。

光探测器的响应时间是光探测器对入射光响应快慢的关键参数，与光生载流子渡越时间和结电容充放电时间相关。由载流子渡越时间决定的频率为：

$$f_{\mathrm{tr}}=\frac{0.45v_{\mathrm{h}}}{L} \tag{2}$$

式中，L 为耗尽区厚度，v_{h} 为空穴饱和漂移速度。结电容充放电时间主要取决于探测器的结电容和串联电阻：

$$f_{\mathrm{RC}}=\frac{1}{2\pi RC} \tag{3}$$

式中，R 为串联电阻，C 为结电容。则可计算出 3 dB 带宽，为：

$$f_{3\mathrm{dB}}=\sqrt{\frac{1}{\frac{1}{f_{\mathrm{tr}}^2}+\frac{1}{f_{\mathrm{RC}}^2}}} \tag{4}$$

在－1 V 偏压、1 550 nm 输入波长下，Ge 波导光探测器的频率特性曲线如图 6 所示。可以看出，3 dB带宽达 29 GHz。在 1 550 nm 和 1 310 nm 波长下，30 Gbit/s 传输速率眼图如图 7 所示。

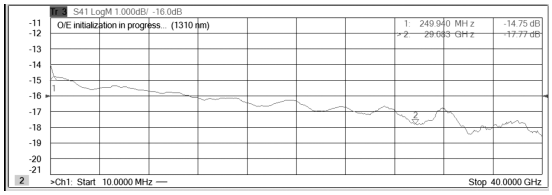
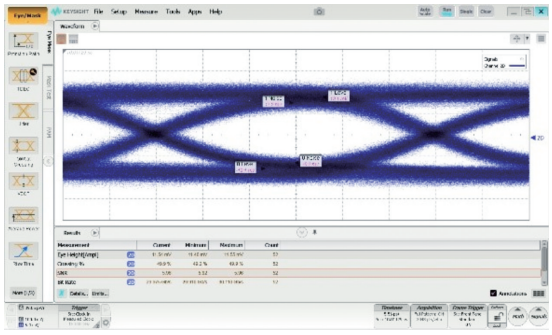
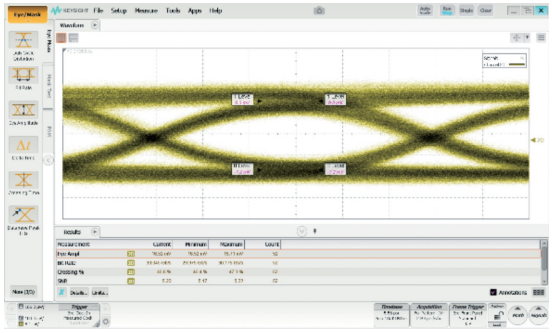


图 6　Ge 波导光探测器的频率特性曲线



(a) 1 550 nm 波长



(b) 1 310 nm 波长

图 7　Ge 波导光探测器的 30 Gbit/s 传输速率眼图

可以看出，在 30 Gbit/s 传输速率下，眼图处于打开状态。这表明，该光探测器适用于 1 550 nm 和 1 310 nm 两种波长下的应用。

3 结 论

本文制作了一种 Si 基选择性 Ge 层外延层，通过低温缓冲层生长、变温、高温生长及退火等工艺，有效降低了 Ge 外延层的缺陷密度。基于该高质量 Ge 外延层制作了一种 Ge 波导光探测器。测试结果表明，在 1 550 nm 下，该光探测器的响应度为 0.85 A/W，3 dB 带宽为 29 GHz，−1 V 偏压下的暗电流为 8.3 nA。该探测器在 1 310 nm 和 1 550 nm 两种波长时均获得了传输速率 30 Gbit/s 下的清晰眼图。该高性能 Si 基 Ge 波导光探测器适用于 Tbit/s 速率量级的光电芯片。

参 考 文 献：

[1] WU X, XU K, ZHOU W, et al. Scalable ultra-wideband pulse generation based on silicon photonic integrated circuits [J]. IEEE Photon Technol Lett, 2017, 29(21): 1896-1899.

[2] YAMAMOTO Y, ZAUMSEIL P, ARGUIROV T, et al. Low threading dislocation density Ge deposited on Si(100) using RPCVD [J]. Sol Sta Elec, 2011, 60(1): 2-6.

[3] HARTMANN J M, ABBADIE A, BARNES J P, et al. Impact of the H_2 anneal on the structural and optical properties of thin and thick Ge layers on Si; low temperature surface passivation of Ge by Si [J]. Cryst Growth, 2010, 312(4): 532-541.

[4] 谢海情，贾新亮，黄茂飞，等. SOI 基栅控横向 PIN 蓝紫光探测器温度特性研究 [J]. 压电与声光，2019，41(1)：76-79.

[5] WANG J, LEE S J. Ge-photodetectors for Si-based optoelectronic integration [J]. Sensors, 2011, 11(1): 696- 718.

[6] YIN T, COHEN R, MORSE M M, et al. 31 GHz Ge n-i-p waveguide photodetectors on silicon-on-insulator substrate [J]. Optics Expr, 2007, 15(21): 13965- 13971.

[7] VIVIEN L, POLZER A, MARRIS-MORINI D, et al. Zero-bias 40 Gbit/s germanium waveguide photodetector on silicon [J]. Optics Expr, 2012, 20(2):1096-1101.

[8] CHEN H, VERHEYEN P, HEYN P D, et al. Dark current analysis in high-speed germanium p-i-n waveguide photodetectors [J]. J Applied Physics, 2016, 119(21): 213105.

[9] CHEN H T, VERHEYEN P, DE HEYN P, et al. −1 V bias 67 GHz bandwidth Si-contacted germanium waveguide p-i-n photodetector for optical links at 56 Gbps and beyond [J]. Optics Expr, 2016, 24(5): 004622.

[10] LIAO S R, FENG N N, FENG D Z, et al. 36 GHz submicron silicon waveguide germanium photodetector [J]. Optics Expr, 2011, 19(11): 10967-10972.

[11] FENG N N, DONG P, ZHENG D W, et al. Vertical p-i-n germanium photodetector with high external responsivity integrated with large core Si waveguides [J]. Optics Expr, 2010, 18(1): 96-101.

[12] DEROSE C T, TRORER D C, ZORTMAN W A, et al. Ultra compact 45 GHz CMOS compatible germanium waveguide photodiode with low dark current [J]. Optics Expr, 2011, 19(25): 24897-24904.

一种基于位交错结构的亚阈值 10 管 SRAM 单元

吴晓清，吕嘉洵，黄茂航，贺雅娟
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘　要： 提出了一种基于位交错结构的亚阈值 10 管 SRAM 单元，实现了在超低电压下稳定工作，降低了电路功耗。采用内在读辅助技术消除了读干扰问题，有效提高了低压下的读稳定性。采用削弱单元反馈环路的写辅助技术，极大提高了写能力。该 10 管 SRAM 单元可消除半选干扰问题，提高位交错结构的抗软错误能力。在 40 nm CMOS 工艺下对电路进行了仿真。结果表明，该 10 管 SRAM 单元在低压下具有较高的读稳定性和优异的写能力。在 0.4 V 工作电压下，该 10 管 SRAM 单元的写裕度为传统 6 管单元的 14.55 倍。

关键词： 超低压 SRAM；低功耗；稳定性；软错误
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0839-05
DOI：10.13911/j.cnki.1004-3365.200036

A Subthreshold 10T SRAM Cell Based on Bit-Interleaving Architecture

WU Xiaoqing, LÜ Jiaxun, HUANG Maohang, HE Yajuan
(*State Key Lab. of Elec. Thin Films and Inter. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*)

Abstract: A subthreshold 10T SRAM cell based on bit-interleaving architecture was proposed, which could work stably under ultra-low voltage and reduce circuit power consumption. The built-in read assist scheme eliminated the read disturb issue and effectively improved the read stability under low voltage. The write ability was greatly improved by using the write assist technique which weakened the feedback loop of the cell. The 10T SRAM cell could eliminate the half-select disturb and improve the soft error immunity of the bit-interleaving architecture. The circuit was simulated in a 40 nm standard CMOS process. The results indicated that the 10T SRAM cell had high read stability and excellent write ability under low voltage. At 0.4 V supply voltage, the write margin of the 10T SRAM cell was 14.55 times larger than that of the conventional 6T cell.

Key words: ultra-low voltage SRAM; low power; stability; soft error

0　引　言

静态 SRAM 是 SoC 中不可或缺的一部分，其功耗对 SoC 整体功耗的影响很大。无线传感网络和生物医疗等便携式设备的性能需求不断增大，使得低功耗 SoC 设计尤为重要。降低电路功耗的最有效方法是降低电源电压。但是，一方面，电源电压减小到近阈值或亚阈值时，工艺参数的偏差不断恶化，SRAM 单元的稳定性降低，导致无法执行读写操作；另一方面，电源电压的降低使软错误率明显提高[1]。SRAM 的软错误可采用位交错结构与编码纠错码结合的方式来修正。但是，位交错结构会引起半选干扰，影响半选单元的稳定性。因此，克服半

收稿日期：2020-01-15；**定稿日期：**2020-03-18
基金项目：国家自然科学基金资助项目(61874023)；中央高校基本科研业务费基金资助项目(ZYGX2018J030)；预研基金资助项目(31513030209)
作者简介：吴晓清(1994—)，女(汉族)，安徽安庆人，硕士，研究方向为低压功耗数字集成电路及 SRAM 电路。
贺雅娟(1978—)，女(汉族)，浙江宁波人，副教授，研究方向为超低功耗设计技术和近似计算。通信作者。

选干扰的问题是低压 SRAM 单元设计的关键。

传统 6 管单元由于读干扰[2]和冲突的读写尺寸，其低压下的读稳定性和写能力会极大地降低。为了提高低压 SRAM 单元的稳定性，各种结构的 SRAM 单元被提出。8 管单元[3]实现了读与写的分离，消除了读干扰的问题，但对低压下写能力的提高不够。7 管 SRAM 单元[4]通过切断反相器对的反馈回路来提高读稳定性，但写能力较差。基于半施密特触发器的 SRAM 单元[5-6]通过施密特触发器内在的反馈机制有效提高了读稳定。

上述各种结构均无法解决位交错结构中的软错误。SRAM 单元[7-8]基于切断交叉耦合的反相器的正反馈有效提高了写能力，基于行方向和基于列方向的两条写字线消除了半选干扰，但单元的写“1”能力弱。本文提出了一种可应用于位交错结构的 10 管 SRAM 单元，在低压下极大提高了读稳定性和写能力。

文章第 1 节介绍了一种 10 管 SRAM 单元的结构和工作原理，提出了读、写提升技术和克服半选干扰的方案；第 2 节对比分析了 10 管单元与其他低压 SRAM 单元的保持稳定性、读稳定性和写能力；第 3 节给出结论。

1　提出的亚阈值 10 管 SRAM 单元

1.1　结构和工作原理

本文的亚阈值 10 管 SRAM 单元的结构如图 1 所示。

图中，同一列上相邻的两个 10 管单元之间共享 1 个 Shared-NMOS-Gate（SNG）管。该 SNG 管起着重要的作用：1）SNG 管在写“1”的时候开启，为 QB 高电位提供到地的放电路路径，提高了写“1”能力；2）该 SNG 管对软错误的克服至关重要，它保证了行半选单元不受干扰。SNG 管在同一列上被越多的单元共享，阵列的面积越小，会影响写性能。

本文设计中，为权衡面积与性能，SNG 管在同一列上由 2 个 SRAM 单元共享。PL1、NL1、PL2、NL2、PR1、PR2、NR1 和 NR2 管组成的锁存结构用于保存存储数据。PR2、NR2 管用于提升读稳定性，PR2 管用于提升写能力。ACR 管作为读写导通管，实现读写操作，ACL 管作为基本传输管，其作用是在写“1”操作时与 SNG 管一起，实现写“1”操作。字线 WL 和虚拟地 VVSS 为行方向的控制线，写字线 WWL 和位线 BL 为列方向的控制线。

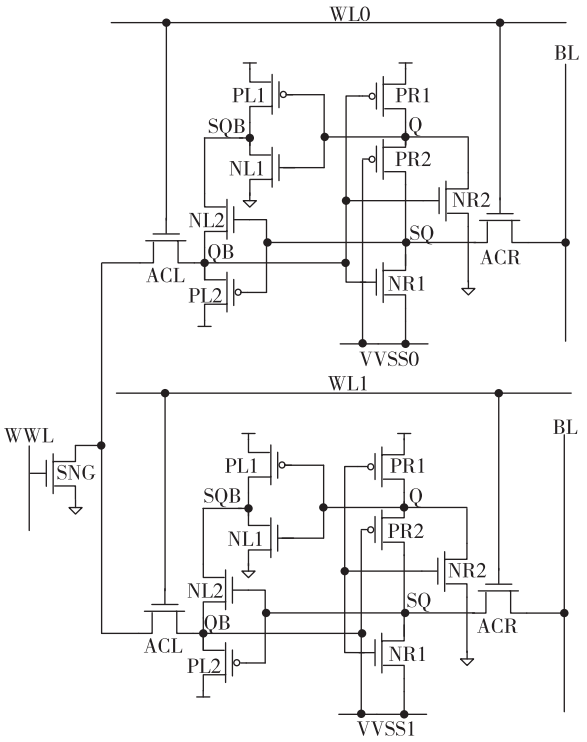


图 1　本文的亚阈值 10 管 SRAM 单元

该 10 管 SRAM 单元的控制信号线设置如图 2 所示。在保持状态时，WL、WWL 和 VVSS 均为低电平，使得 ACL 管和 ACR 管关断、PR2 管开启，存储数据与 BL 隔离，可稳定地保存数据。

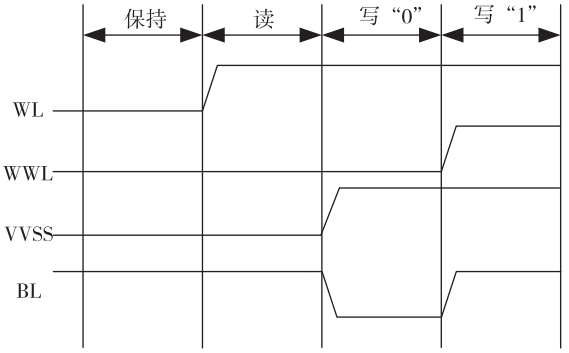


图 2　控制信号线的设置示意图

1.2　读提升技术

读操作时，BL 被预充电为高电平，WL 被置为高电平，WWL、VVSS 被置为低电平。初始存储数据为“1”时，NR1、NR2 管关断，没有从 BL 到地的放电通路，BL 保持为高电平，Q 点、SQ 点保持为高电平。

读“0”的操作示意图如图 3 所示。初始存储数据为“0”时，NR1、NR2 管开启，BL 通过 ACR、NR1 管进行放电，由于 NR1 管与 ACR 管之间的压降，

SQ 点被充电到一个高于“0”的电压值 ΔV。假设最差情况下，NR1 管的导通电阻非常大，没有从 BL 经 ACR、NR1 到地的放电路径，BL 经过 ACR、PR2、NR2 管放电到低电平，Q 点电位稳定保持为“0”。这是因为，NR2 管开启后，Q 点可以经过 NR2 管的下拉通路被放电到低电平，NR2 管的下拉能力远大于 ACR、PR2 管组成的上拉网络对 Q 点的充电能力。因此，Q 始终保持为“0”，PLI 管开启、NL1 管关断，使 SQB 点保持为“1”，QB 点也保持为“1”。这表明，通过 NR2 管的作用，有效消除了读干扰，提高了读稳定性。

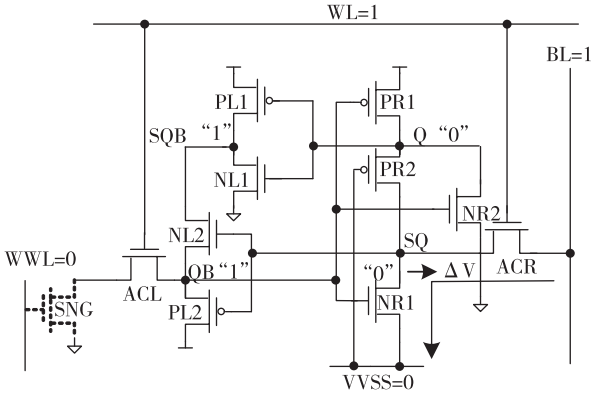


图 3　读“0”操作示意图

1.3　写提升技术

写“0”的操作示意图如图 4 所示。Q 点初始存储数据为“1”，QB 点初始存储数据为“0”。当写“0”时，WL、VVSS 被置为高电平，WWL、BL 被置为低电平，PR2 管关断，ACR 管开启。PR2 管的关断切断了电源对 SQ 点的充电路径，SQ 点高电平则易通过 ACR 管被 BL 放电到低电平。SQ 点低电平使得 PL2 管开启、NL2 管关断，因此 QB 点通过 PL2 管被充电到高电平。QB 点高电平使 PR1 管关断、NR2 管开启，Q 点被放电到低电平，使得 SQB 点通过 PL1 管被充电到高电平，从而完成写“0”操作。这表明，通过 PR2 管被 VVSS 关断、SQ 点放电到低电平，极大提高了写“0”的能力。

写“1”的操作示意图如图 5 所示。WL 和 VVSS 被置为高电平，BL 被充电到高电平，WWL 信号在开启，将 SNG 管打开，为 QB 点提供放电路径。SQ 点的初始存储数据为“0”，在写操作时，SQ 点电平被 BL、VVSS 充电到一个介于“0”与电源电压之间的电压值 V_x。这个中间电压值削弱了 QB 点的 2 条充电路径（图 5 中的充电路径 1、2）。因此，QB 点易通过 ACL、SNG 管被放电到低电平，使 Q 点电平被拉高，从而完成写“1”操作。这表明，通过削弱反馈回路的方式，极大提高了写“1”的能力。

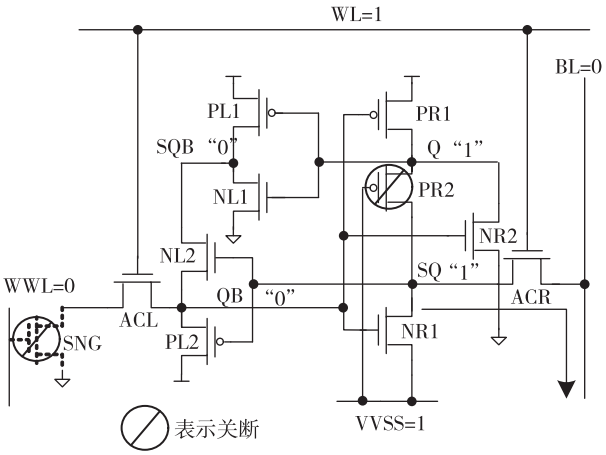


图 4　写“0”操作示意图

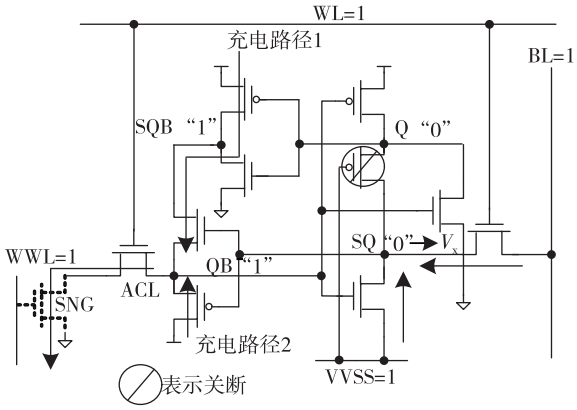


图 5　写“1”操作示意图

1.4　半选干扰的解决

解决半选干扰的示意图如图 6 所示。对于列半选单元，由于 WL 和 VVSS 均被置为低电平，ACL、ACR 管关断，Q 点、SQ 点与 BL 隔离，不受 BL 电压的影响，QB 点也与地隔离。因此，列半选单元能稳定保存数据。对于行半选单元，WL 信号开启，ACL、ACR 管导通。由于 VVSS 信号为高电平，PR2 管关断，Q 点与 SQ 点隔离，Q 点的电位不受 SQ 点的影响。WWL 被置为低电平，QB 点与地隔离。

行半选单元存储数据为“1”时，SQ 点保持高电平。由于 BL 和 VVSS 均为高电平，Q 点保持高电平。行半选单元存储数据为“0”时，SQ 点被 BL、VVSS 充电到一个高于“0”的电压值，但因关断 PR2 管的隔离作用以及导通 NR2 管为 Q 点提供的到地的通路，Q 点稳定保持为“0”，从而不受 SQ 点电压的干扰。行半选单元的 SNG 管关断，QB 点保持为

高电平。写操作结束后，SQ 点恢复为“0”。因此，行半选单元在写操作过程中能稳定保存数据。

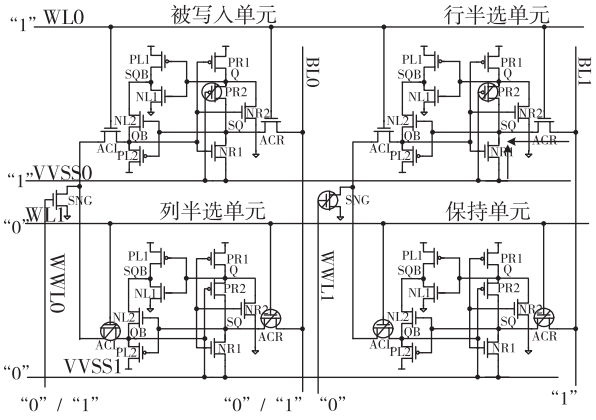


图 6　解决半选干扰的示意图

2　单元仿真与分析

将本文 10 管 SRAM 单元与 6 管 SRAM 单元、8 管 SRAM 单元、9 管 SRAM 单元[7]、PPN10 管 SRAM 单元[9]和 BI10 管 SRAM 单元[10]在低压下的参数进行了仿真比较。在 40 nm CMOS 工艺下，本文仿真上述各 SRAM 单元的保持静态噪声容限 HSNM、读静态噪声容限 RSNM 和写裕度 WM。

2.1　保持稳定性

SRAM 单元的保持稳定性由 HSNM 表征，是指在保持期间，存储数据翻转之前能容忍的最大直流噪声电压[11]。在最差工艺角下各 SRAM 单元的 HSNM 仿真结果如图 7 所示。可以看出，本文 10 管单元保持“1”的能力比其他单元稍差，保持“0”的能力比其他单元更优。

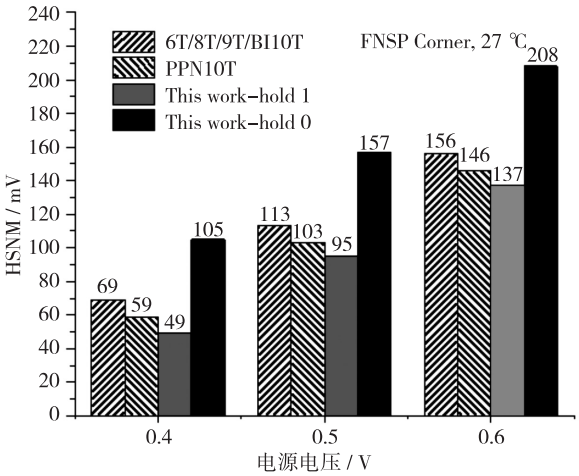


图 7　低压下各 SRAM 单元的 HSNM 仿真结果

2.2　读稳定性

SRAM 单元的读稳定性由 RSNM 表征，是指在读操作期间，存储数据翻转之前能容忍的最大直流噪声电压[11]。在最差工艺角下各 SRAM 单元的 RSNM 仿真结果如图 8 所示。可以看出，6 管单元的 RSNM 较差，本文 10 管单元的 RSNM 比 8 管单元、9 管单元、BI10 管单元略低，但高于 PPN10 管单元。

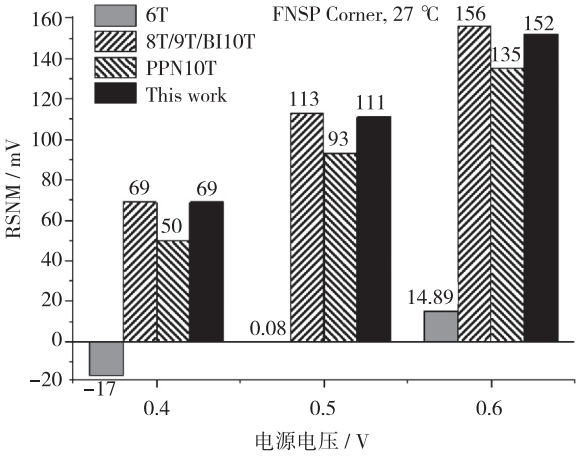


图 8　低压下各 SRAM 单元的 RSNM 仿真结果

2.3　写能力

写能力由 WM 表征，是指将数据写入 SRAM 单元的难易程度，即成功写入数据的最大电源电压与字线电压的差值[12]。在最差工艺角下各 SRAM 单元的 WM 仿真结果如图 9 所示。

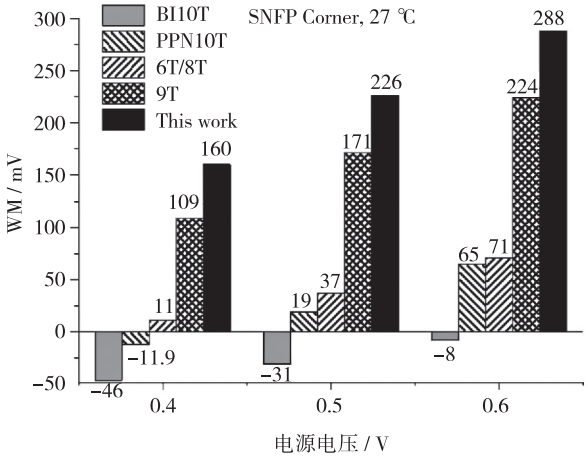


图 9　低压下各 SRAM 单元的 WM 仿真结果

可以看出，BI10 管单元、PPN10 管单元的写能力较差。9 管单元的写能力稍好，本文 10 管单元的写裕度较优。在工作电压为 0.5 V 时，本文单元的写裕度分别为 PPN10 管单元、6/8 管单元和 9 管单

元的 11.89 倍、6.11 倍和 1.32 倍。

3 结　论

本文提出了一种基于位交错结构的亚阈值 10 管 SRAM 单元。通过单元内部的读提升结构消除了读干扰，有效提高了读稳定性。通过削弱单元的反馈环路，极大提升了写能力。通过使用列方向的信号线 VVSS 消除了半选干扰。因此，本文通过采用位交错结构结合 ECC 技术，提高了 10 管 SRAM 单元的抗软错误能力。基于 40 nm CMOS 工艺的仿真结果表明，该 10 管 SRAM 单元能稳定工作于低压下。在 0.4 V 工作电压下，写裕度为传统 6 管单元的 14.55 倍。

参 考 文 献：

[1] HAZUCHA P, KARNIK T, MAIZ J, et al. Neutron soft error rate measurements in 90-nm CMOS process and scaling trends in SRAM from 0.25-μm to 90-nm generation [C] // IEEE IEDM. Washington D C, USA. 2003: 1-4.

[2] CHUANG C T, MUKHOPADHYAY S, KIM J J, et al. High-performance SRAM in nanoscale CMOS: design challenges and techniques [C] // Proceed IEEE Int Workshop MTDT. Taipei, China. 2007: 4-11.

[3] CHANG L, FRIED D M, HERGENROTHER J, et al. Stable SRAM cell design for the 32 nm node and beyond [C] // Proceed Symp VLSI. Kyoto, Japan. 2005: 128-129.

[4] TAKEDA K, HAGIHARA Y, AIMOTO Y, et al. A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications [J]. IEEE J Sol Sta Circ, 2006, 41(1): 113-121.

[5] KULKARNI J P, KIM K, ROY K. A 160 mV robust Schmitt trigger based subthreshold SRAM [J]. IEEE J Sol Sta Circ, 2007, 42(10): 2303-2313.

[6] KULKARNI J P, KIM K, ROY K. Ultralow-voltage process-variation-tolerant Schmitt-trigger-based SRAM design [J]. IEEE Trans VLSI Syst, 2012, 20(2): 319-332.

[7] CHANG M H, CHIU Y T, HWANG W. Design and iso-area V_{min} analysis of 9T subthreshold SRAM with bit-interleaving scheme in 65-nm CMOS [J]. IEEE Trans Circ Syst II: Exp Briefs, 2012, 59(7): 429-433.

[8] OH T W, JEONG H, KANG K. Power-gated 9T SRAM cell for low-energy operation [J]. IEEE Trans VLSI Syst, 2017, 25(3): 1183-1187.

[9] LO C H, HUANG S Y. P-P-N based 10T SRAM cell for low leakage and resilient subthreshold operation [J]. IEEE J Sol Sta Circ, 2011, 46(3): 520-529.

[10] CHANG I J, KIM I J, PARK S P, et al. A 32 kb 10T sub-threshold SRAM array with bit-interleaving and differential read scheme in 90 nm CMOS [J]. IEEE J Sol Sta Circ, 2009, 44(2): 650-658.

[11] SEEVINCK E, LIST F, LOHSTROH J. Static-noise margin analysis of MOS SRAM cells [J]. IEEE J Sol Sta Circ, 1987, 22(5): 748-754.

[12] QIU H, MIZUTANI T, SARAYA T, et al. Comparison and statistical analysis of four write stability metrics in bulk CMOS static random access memory cells [J]. Jpn J Appl Phys, 2015, 54(4): 1-5.

一种单片集成高精度霍尔传感器的驱动电路

冉建桥，胥　锐，潘　军
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 基于 0.18 μm BCD 工艺，设计并实现了一种片上集成高精度霍尔传感器的驱动电路。该驱动电路利用片上霍尔传感器将磁信号转换成电信号，采用内部放大、失调消除和逻辑控制技术实现了 100 kHz 输出频率、83% 占空比的 PWM 驱动信号。该驱动电路的抗干扰能力较强，检测精度高，最低的磁场检测强度达到 3.5 mT。

关键词： 霍尔传感器；失调消除；高精度；PWM 驱动
中图分类号：TP212；TN433　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0844-04
DOI：10.13911/j.cnki.1004-3365.200457

A Driving Circuit with on-Chip High Precision Hall Sensor

RANJianqiao, XU Rui, PAN Jun
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: Based on the 0.18 μm BCD process, a driving circuit with on-chip high precision Hall sensor was designed and implemented. The driving circuit used on-chip Hall sensor to convert magnetic signal into electrical signal, and the PWM drive signal with output frequency of 100 kHz and duty ratio of 83% were realized by the internal amplification, imbalance elimination and logic control technology. The driving circuit had strong anti-interference ability and high detection accuracy. It reached a lowest magnetic field detection intensity of 3.5 mT.

Key words: Hall sensor; offset elimination; high precision; PWM drive

0　引　言

霍尔传感器是一种基于霍尔效应、可检测磁通密度量的磁敏传感器，广泛用于检测位置与运动、检测电流与功率等领域[1-3]。因制作工艺无法兼容，传统霍尔传感器与控制电路、驱动电路是各自独立的芯片，无法实现小型化；传统霍尔传感器与控制电路分离，检测精度不高。因此，采用片上集成霍尔传感器的驱动电路成为最优解决方案[4]。驱动电路在失调消除、环路补偿、低功耗等方面不断被改进[5-7]。

本文提出了一种单片集成高精度霍尔传感器的驱动电路，将霍尔传感器、信号处理和驱动电路集成于同一芯片，有效解决了硅基霍尔传感器在灵敏度、弱信号放大、滤波、与功率驱动兼容等方面的难题，大幅减小了驱动电路的体积。该驱动电路适用于手机、电子手表、手持风扇等电器。

1　电路结构及工作原理

本文提出的片上集成高精度霍尔传感器的驱动电路由霍尔传感器、基准、偏置电路、信号检测/处理和驱动电路组成，结构如图 1 所示。

霍尔传感器将感应到的磁场强度转换成相应大小的电压信号，该电压信号经信号处理电路消除失调、放大、滤波后，输入到高、低阈值的比较器。比较

收稿日期：2020-08-30；**定稿日期：**2020-10-15
基金项目：模拟集成电路国家重点实验室基金资助项目(9140C090113150C09043)
作者简介：冉建桥(1964—)，男(汉族)，四川南充人，高级工程师，从事模拟集成电路设计研究工作。

器通过比较电平来检测信号强度，当检测到的信号强度超过设计值时，触发比较器翻转。比较器的输出信号经数字处理后输入到驱动电路，再经驱动电路增强驱动能力后，形成最终的输出信号。该驱动电路可用于控制微型振动电机的启转、停转等功能。基准和偏置电路为霍尔传感器提供恒流偏置，同时为各放大器、比较器提供偏置电流和基准比较点[8-9]。

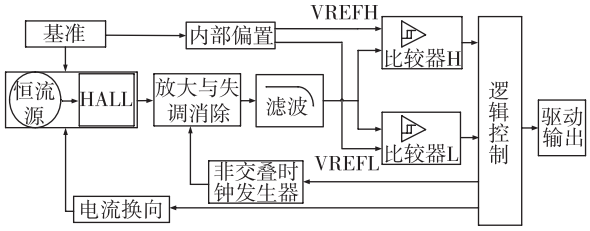


图 1　片上集成霍尔传感器的驱动电路结构

1.1　霍尔传感器

本文设计的霍尔传感器的剖面图如图 2 所示。该器件制作于 N 阱区上，其载流子为电子。为了降低 $1/f$ 噪声和载流子的表面流失，在 N 阱顶部注入一层很浅的 P 层。

图 2　霍尔传感器的剖面图

该霍尔传感器由两个十字放置的霍尔器件构成，版图如图 3 所示。

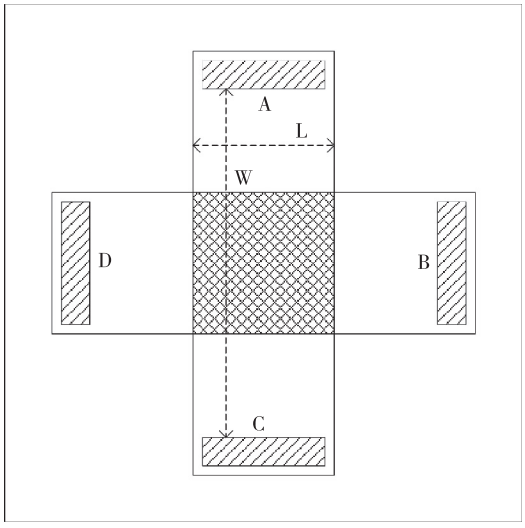


图 3　霍尔传感器的版图

当 AC 方向有电流时，磁场方向垂直纸面且向内。此时，霍尔器件在 BD 两端的感应电压 V_H 为：

$$V_H = G\frac{r_H}{nqt_{eff}}I_{bias}B \tag{1}$$

式中，G 是几何修正因子，为：

$$G = 1 - 5.026\ 7\times\frac{\theta_H}{\tan\theta_H}e^{\frac{\pi(1+2W/L)}{2}} \tag{2}$$

式中，r_H 为硅散射因子；n 为载流子浓度；q 为单位电荷；t_{eff} 为霍尔器件的有效厚度。

1.2　传感器信号检测与处理

传感器的信号检测与处理电路由失调消除和放大两部分构成，电路图如图 4 所示。

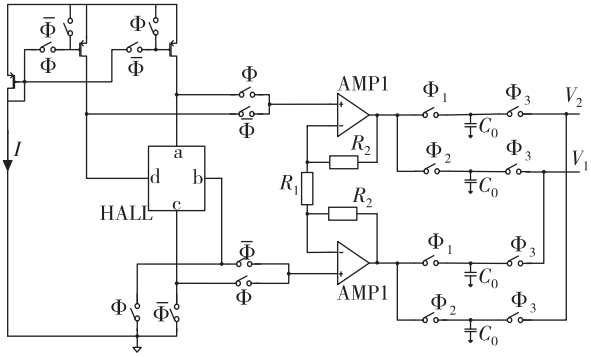


图 4　传感器信号检测与处理电路

当 Φ 电平为“1”时，电流从 d 端流入、b 端流出。假设此时磁场垂直纸面向内，霍尔器件 a、c 两端的感应电压为：

$$V_{ca} = V_H \tag{3}$$

经过放大器 AMP1 放大后，运放输出端的电压分别为 V_a 和 V_c。通过时序设计使 Φ 电平为“1”、Φ_1 电平为“1”，电容 C_0 累积的这 1 阶段电荷为：

$$Q_a = C_0V_c \tag{4}$$

$$Q_c = C_0V_c \tag{5}$$

此时，失效电压为 V_{off}，失调电压的参考方向与电压 V_{ac} 同向，则：

$$Q_a = C_0(V_a + V_{off}) \tag{6}$$

$$Q_c = c_0v_cQ_c = C_0V_c \tag{7}$$

当 $\overline{\Phi}$ 电平为“1”时，电流从 a 端流入、c 端流出。假设磁场垂直纸面向内，霍尔器件 d、b 两端的感应电压为：

$$V_{db} = V_H \tag{8}$$

经过放大器 AMP1 放大后，运放输出端的电压分别为 V_d 和 V_b。通过时序设计使 $\overline{\Phi}$ 电平为“1”、Φ_2 电平为“1”，C_0 累积的这 1 阶段电荷为：

$$Q_d = C_0V_d \tag{9}$$

$$Q_b = C_0 V_b \tag{10}$$

此时，失调电压仍然为 V_{off}，失调电压的参考方向与电压 V_{db} 同向，则：

$$Q_d = C_0 (V_d + V_{off}) \tag{11}$$

$$Q_b = C_0 V_b \tag{12}$$

当上述两个电荷积累过程完成后，在控制 Φ_3 电平为“1”时，电容上的电荷达到电荷平衡，使 V_1 和 V_2 输出到下一级放大，则：

$$Q_a + Q_b = 2V_2 C_0 \tag{13}$$

即：

$$C_0 (V_a + V_{off}) + C_0 V_b = 2V_2 C_0 \tag{14}$$

通过化简，得：

$$V_a + V_{off} + V_b = 2V_2 \tag{15}$$

同理可得：

$$V_d + V_{off} + V_c = 2V_1 \tag{16}$$

下一级放大电路的输入信号为 V_1 和 V_2 的差分输入，则：

$$\Delta V = V_1 - V_2 = \frac{V_c - V_a}{2} + \frac{V_d - V_b}{2} = V_H \tag{17}$$

对比式(3)、式(8)与式(17)可知，失调电压被消除。

1.3　驱动电路

驱动电路如图 5 所示。该电路采用 H 桥驱动方式，应用于微型电机。

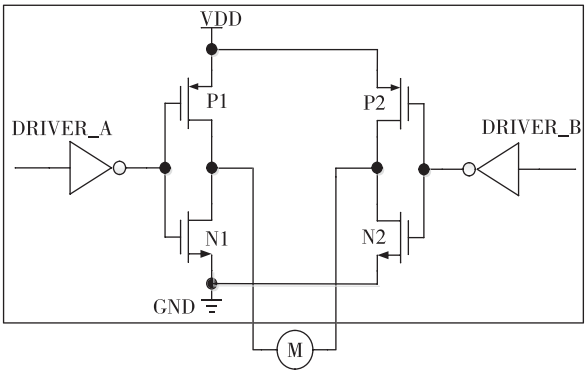


图 5　驱动电路

当功率 MOS 管的输出电流为 50 mA 时，电压设置为 50 mV，MOS 管的导通电阻为：

$$R_{on} = \frac{V}{I} = \frac{0.05}{0.05} = 1.0\ \Omega \tag{18}$$

工作在线性区时，MOS 管导通电阻为：

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \tag{19}$$

式中，μ_n、C_{ox}、V_{th} 由工艺 PDK 决定。根据应用要求，工作电压范围为 2.5～5.5 V，PMOS 管的沟道长为 0.6 μm，NMOS 管的沟道长为 0.5 μm。因此，功率 PMOS 管的宽长比为 11 000/0.6，功率 NMOS 管的宽长比为 2 400/0.5。

2　仿真结果

基于 0.18 μm BCD 工艺，本文采用 Spectre 仿真软件对驱动电路进行了模拟仿真[10-11]。最低的磁场检测阈值设为 3.5 mT，PWM 驱动输出频率为 100 kHz，占空比为 83%。典型工作条件下电路的仿真结果如图 6 所示。

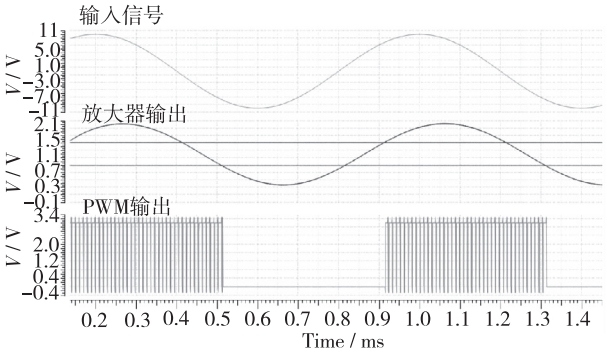


图 6　整体电路的仿真结果

模拟仿真中，输入电压为 1 mV 时，磁场强度为 1.0 mT。从图 6 可以看出，当磁场强度大于 3.5 mT，对应的输入电压幅度大于 3.5 mV，此时放大器的输出超过比较阈值，驱动级开始输出 PWM 驱动信号，信号频率为 100 kHz，占空比为 83%。这表明仿真结果满足设计指标。考虑到电路的实际应用环境，对工艺、电压、温度等变量进行了拉偏仿真。结果表明，在全 PVT 条件下，仿真结果仍然满足设计指标。

3　版图设计

本文的片上集成霍尔传感器的驱动电路基于 0.18 μm BCD 工艺规则完成了版图设计。版图尺寸为 820 μm×890 μm。该电路的面积较小，成本低，封装体积小。为了减小失调、提高抗干扰能力，将霍尔传感器放置于中心，四周邻近放置信号检测电路，在版图边缘放置基准、偏置电路、驱动电路和数字电路等。最终的整体版图如图 7 所示。

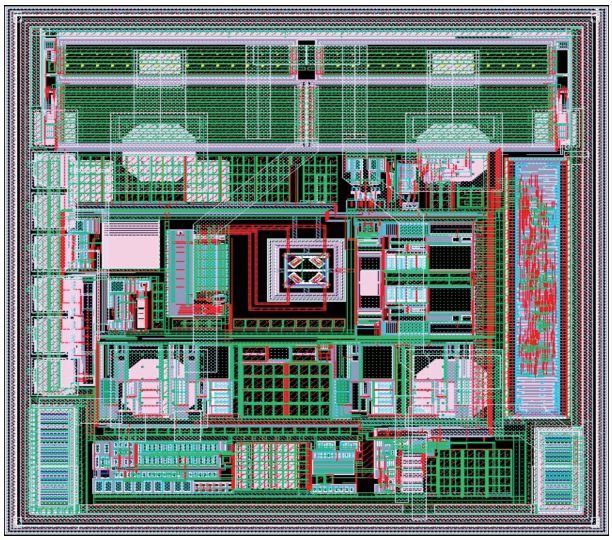


图 7　片上集成霍尔传感器的驱动电路整体版图

4　测试结果

对设计的片上集成霍尔传感器驱动电路进行流片，并对样品电路的参数进行测试(25 ℃下测试)，主要参数如表 1 所示。

表 1　本文片上集成霍尔传感器的驱动电路参数

参数	测试结果
静态电流/mA	5.0
PWM 启动时间/ms	160
PWM 频率/kHz	100
PWM 占空比/%	83
正向磁场检测强度/mT	3.6
反向磁场检测强度/mT	3.0
磁场切换迟滞/mT	6.6

可以看出，本文电路的正向最低磁场检测强度达到 3.6 mT，反向最低磁场检测强度达 3.0 mT，磁场切换迟滞为 6.6 mT。输出 PMW 驱动信号频率为 100 kHz，占空比为 83%，较好地满足了设计指标。

5　结　论

本文将霍尔传感器、信号处理、驱动电路集成于同一个芯片，提出了一种片上集成高精度霍尔传感器的驱动电路。相对传统电路，该驱动电路具有信号检测精度高、抗干扰能力强、体积小等优点，适用于手机、电子手表、手持风扇等电器。

参 考 文 献：

[1] HENRY P B, RADIVOJE S P. Integrated semiconductor magnetic field sensors [J]. IEEE Proceed, 1986, 74(8): 1107-1132.

[2] RADIVOJE S P. Hall effect devices [M]. 2nd Ed Bristol: Institute of Physics Publishing, 2004: 101-106.

[3] RAMSDEN E. Hall effect sensors [M]. 2nd Ed Oxford: Elsevier, 2006: 61-81.

[4] PAUN M A, SALLESE J M, KAYAL M, et al. Hall effect sensors design, integration and behavior analysis [J]. J Sensor & Actuator Network, 2013, 2(1): 85-97.

[5] CHENG D X, PAN M C, LUO F L. High accuracy magnetic field measurement methods based on Hall sensor [J]. J Transducer Technol, 2004, 23(2): 61-63.

[6] ZHANG D X, LIU G. Research on the temperature drift compensation of the GaAs Hall sensor and its magnifier [J]. Instrum Technol & Sensor, 1997, 11: 35-37.

[7] MIAO H J, LI J, LU S L. Temperature dependence of output voltage of InSb Hall sensor [J]. Phys Experim, 2001, 21(8): 46-48.

[8] LIU J G, SANLI A, WANG Y X, et al. Error compensation of closed loop Hall effect current sensors [C] // IEEE Int Workshop AMPS. Aachen, Germany. 2012: 26-28.

[9] 李胜，赵宏强，邓圭玲，等. 一种宽频带压电陶瓷驱动电源补偿方法研究 [J]. 压电与声光，2019，41(5)：666-669.

[10] QIU J H, LIU J G, ZHANG Q, et al. Simulation and optimization of conductor structural parameters of free-space Hall effect current sensor [C] // IEEE Int Workshop AMPS. Aachen, Germany. 2014: 1-6.

[11] XU Y, PAN H B. An improved equivalent simulation model for CMOS integrated Hall plates [J]. Sensor, 2011, 11(6): 6284-6296.

·模型与算法·

数据挖掘在 IGBT 模型参数提取中的应用研究

严利人[1]，刘道广[2]，刘志弘[1]
(1. 清华大学 微电子学研究所，北京 100084；2. 清华大学 核能技术研究院，北京 100084)

摘　要： 针对半导体器件的 SPICE 模型参数提取，提出了一种正向处理技术。将选定的器件和模型大量运行不同模型参数组合下的 SPICE 仿真，获得各种不同的电特性曲线，形成超大规模的数据集。若通过测试得到了确实的测试数据，则通过数据挖掘和人工智能中的数据处理算法得到数据集中、最匹配的曲线项，直接给出模型参数的估计值。文章针对 IGBT 模型，通过批量仿真获得约 15 k 个数据，使用 kNN 算法和多元回归法对测试曲线构成的测试集进行了参数提取。结果表明，该方法能快速获取器件的模型参数，具有稳健性的优点。该方法为研究者对器件模型特性提供了有益的认识。

关键词： 批量仿真；数据挖掘；kNN 算法；多元回归
中图分类号：TN307　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0848-05
DOI：10.13911/j.cnki.1004-3365.200270

Application Study on Data Mining in Parameter Extraction of IGBT Model

YAN Liren[1], LIU Daoguang[2], LIU Zhihong[1]
(1. *Institute of Microelectronics, Tsinghua University, Beijing* 100084, *P. R. China*;
2. *Institute of Nuclear and New Energy Technology, Tsinghua University, Beijing* 100084, *P. R. China*)

Abstract: A forward processing method for extracting SPICE model parameters of semiconductor devices was proposed. SPICE simulations under different model parameters were performed on the selected devices and models to obtain various electrical characteristics curves and formed a very large data set. If the real test data was obtained through the test, the most matching curve item in the data set was obtained through data mining and data processing algorithm in artificial intelligence, and the estimation values of model parameters were directly given. In this paper, about 15 k data were obtained through batch simulation for IGBT model, and the parameters of test set composed of test curve were extracted by kNN algorithm and multivariate regression method. The results showed that this method could get the model parameters of the device quickly and had the advantages of robustness. This method provided researchers with a useful understanding of device model characteristics.

Key words: batch simulation; data mining; kNN algorithm; multivariate regression

0　引　言

在半导体器件制作完成后的封装、测试阶段，通常要进行器件 SPICE 模型参数的提取。只有取得了完整、可靠的器件参数，才能够进行有效的 SPICE 仿真，设计出最优化的电路。就 SPICE 仿真来说，通过器件模型和参数计算得到电学特性是一个正向过程，已知器件电特性(测试得到)计算得到器件模型和参数则是一种反向过程。由于反向过程的特殊

收稿日期：2020-06-13；**定稿日期：**2020-07-30
基金项目：广东省重点领域研发计划项目(2019B010143002)
作者简介：严利人(1968—)，男(汉族)，河北石家庄人，博士，副研究员，从事集成电路工艺及半导体器件研发工作。

性，参数提取要采用专门的提参软件，如最早的 TECAP 软件[1]和后续的 ICCAP 软件。

参数提取是作为一种最优化问题来提出的，隶属于运筹学领域。在设定好优化目标后，利用梯度下降等算法逼近或得到目标函数的极值，以及极值时各相关参数的具体取值。随着器件模型的日益复杂化，全参数呈现为几百维连续取值（少数为非连续值）的超级复杂空间。如何全面把控参数空间，如何保证算法收敛和高效，如何确保参数搜索不陷入局部极值等问题，都成为实用的难点问题。为应对这些问题。一类方法是尽可能地简化参数空间，如归并密切相关的参数，将全体参数分成若干组，使参数提取子空间的维数大幅降低，分阶段、分步骤地进行参数提取。另一类方法是引入一些启发式的现代寻优算法，进行参数提取，如粒子群算法、遗传算法[2-4]等。

传统方法主要是基于反向、最优化的计算。本文提出了一种颠覆性的方法，即基于“正向”的计算和处理。该方法有两个关键性技术，一是采用 SPICE 的批量仿真技术，在短时间内仿真计算出成千上万、各种器件参数组合的器件特性曲线，从而获得“参数-器件特性”相配对的超大数据集。二是采用大数据挖掘技术或人工智能算法，将实测数据迅速地与存储的大数据进行比对、匹配，直接得到各模型参数的取值。这如同指纹比对一样，预先存储有大量数据的指纹库，将实际的指纹在库中进行搜索、匹配，找出指纹的所有者。

随着人工智能算法和数据挖掘技术的不断发展[5]，计算机的计算能力极大提高，本文的两个关键技术都能实际有效地应用。本文具体介绍了一个采用正向计算、大数据处理进行参数提取的实例。文章第 1 节介绍了数据集获取的具体情况，第 2 节应用了 kNN 算法和多元回归模型来处理数据。本文描述的具体案例的规模较小，可应用于分阶段的模型参数提取中。本文方法的一些具体技巧充分展示了该新型算法的特点，这也证明了该新型算法用于半导体器件模型的强大本领。

1　训练集和测试集

本文针对一个 IGBT 进行模型参数提取。IGBT 是主流的电力电子器件，广泛应用于电源系、逆变器中。本文使用 Keysight 公司的一套 IGBT 复合性模型。整套 IGBT 由一个 MOS 管、两个双极晶体管和一个反并联的二极管组成，其全部的模型参数有 190 项[6]。按人工智能算法中的处理数据方法，将数据分成训练集、测试集两组。

1.1　训练集数据

训练集数据是指参数和器件特征曲线均是已知的，且一一对应的数据。在深度学习中，这样的数据主要是用于训练神经网络，也可以用来训练支持向量机，分类树等其他模型。人们采集这些数据的目的是用于模型训练，所以这样的数据被称为监督式学习方式下的训练集。

在本文方法中，通过频繁地更改、设定器件的模型参数，然后运行 SPICE 仿真，通过正向计算，得到相应的输出曲线。收集完所有数据后形成数据训练集。

出于计算效率的考虑，本文采用批处理、自动化方式，进行正向的大量仿真计算。这部分工作是通过在仿真脚本中设置多重嵌套的循环来获取数据。

最内层为 V_{ce} 扫描，在 0.0～5.0 V 范围内设置 11 个偏置点，外层为 V_{ge} 扫描，分别设置为 4、6、8 V。在每种偏置条件下计算 I_{ce} 的值。最终，每一条输出曲线族有 3 条曲线，每条曲线有 11 个数据点，共计 33 个数据。

在器件模型中除了基本输出曲线测试的循环，还有不同参数值的循环。按照参数提取策略，首先关注“显著性”、对特性曲线影响较大的参数。针对 IGBT 器件模型，本文方法重点关注的参数有 3 个，分别为 MOS 部分的 I_{pk}、V_{pk}（最大跨导时的电流值、电压值）和第 1 个 BJT 的正向放大系数 B_{fl}。I_{pk} 取值范围为 2.0～3.0 A（取 11 个点），V_{pk} 取值范围为 8.2～8.8 V（取 7 个点），B_{fl} 取值范围为 25～30（取 6 个点）。不同的模型参数值等效于不同的 IGBT，因此参数变化的循环即器件数，共计为 11×7×6＝462 个。所有器件均在 I_{ce}-V_{ce} 平面上，覆盖了额定电流 20～40 A 的范围。20～40 A 电流的 IGBT 是本文研究的重点。

综上，本文构造了器件模型参数的三维特征空间（曾尝试过更多的参数和更大的维数，未有明显优势）。在该空间中，均匀分布点为 462 处，对每点所对应的器件运行仿真计算，得到 33 个数据点的输出曲线。训练集数据总计为 462×33＝15 246。

从屏幕的输出曲线可知，在虚拟机中运行仿真，包括所有开销在内的典型运算时间为 4.55 s。这个速度是相当快速的，体现出了正向方法的优势。原因是反向方法需要更多的时间、步骤，进行反复尝

试、迭代。

1.2 测试集数据

本文使用了 30 个不同 IGBT 样品的输出曲线数据，用作测试集。测试时，偏置、扫描的设定与训练集一致。

测试集数据仅由测值构成，共计 990 个数据。每个样品所对应的模型参数是未知的。在一般性处理中，若根据训练集数据训练好了某款模型，则将测试集数据输入该模型，再由模型运算得到未知的模型参数预测值（估计值）。

2 参数提取

对训练集数据进行简单处理，直接删除异常数据（在 I_{pk}-V_{pk}-B_{fl} 空间中有 3 点的数据异常），即直接删除第 1 个扫描点（$V_{ce}=0.0$ V）的 I_{ce} 数据，在该偏置下所有的 I_{ce} 值均为 0，不包含有意义的信息。将测试集数据并入，最终得到的数据文件描述如下。

数据文件第 1 行是参数名称。其中，第 1～30 列分别命名为 P1～P30，即是输出曲线的 30 个有效数据点，第 31～33 列分别为 I_{pk}、V_{pk}、B_{fl}。

数据文件第 2～460 行是 459 个有效样本。这些样本分别对应 P1～P30 以及 I_{pk}、V_{pk}、B_{fl} 的数据。

数据文件第 461～490 行是 30 个 IGBT 样本的测试数据。I_{pk}、V_{pk}、B_{fl} 数据为未知（空缺）。

以下采用使用 kNN 算法和多元回归法，进行具体的模型参数提取。

2.1 kNN 方法

kNN 算法即为 k-最近邻算法，是隶属于有监督学习中的分类方法。该算法的理论非常成熟，是最简单易用的机器学习算法之一。kNN 算法是将目标数据与数据库中的各组数据进行两两比较，计算特征空间中两组数据之间的距离，确定出目标数据的 k 个最近邻点。如果这 k 个最近邻样本中的大多数属于某类别，则认为目标数据属于某类别。

kNN 算法的原理是，将实测的 IGBT 输出曲线与数据库（数据文件）中已计算出的各输出曲线进行对比，找出 k 个最近邻点。如果 $k=1$，则以该点（特征空间中的位置）坐标和 I_{pk}、V_{pk}、B_{fl} 值，作为目标器件的参数；如果 $k=2$ 或以上，以 k 个近邻点的坐标均值（或加权组合），作为目标器件的参数。

使用 SPSS 统计软件进行 kNN 计算是简便易行的。在数据文件中，添加两个标志变量。第一个变量为 focal，用于标志聚焦的样本点，即求取样本点的 k 个最近邻点。该变量在上述 459 个训练集数据样本中的取值为 0，在上述 30 个测试集数据样本中的取值为 1，需要计算 30 个未知模型参数样本（每个样本含有 k 个最近邻点）。另一个变量为 partition，用于训练样本分组。本文算例中，训练变量不再进行分组，对所有训练集样本的 partition 取值均为 1，对测试集样本由于不涉及而取值为 0。在 SPSS 最近邻分析的二级菜单中确定 k 值，可取 1、3、5 等或选择欧氏距离。欧氏距离的定义为：

$$L_2(x_i, x_j)=\sqrt{\sum_{l=1}^{30}(x_i^{(l)}-x_j^{(l)})^2} \tag{1}$$

使用 SPSS 软件对数据文件进行 kNN 计算，同时得到了 30 个测试集样本的 I_{pk}、V_{pk}、B_{fl} 参数的预测值。

图 1 是 SPSS 进行 1 次 kNN 分析后的输出截屏信息，可以看到样本数的统计情况。

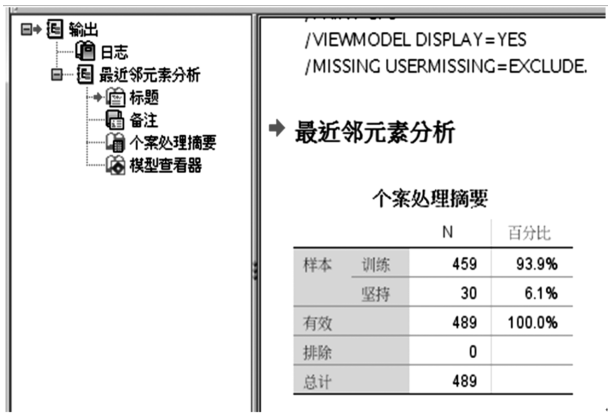


图 1 1 次 kNN 分析后的输出信息

任意取 1 个样本，即 #1 样本，根据所预测的模型参数计算得到仿真数据。将仿真计算数据与测试数据（曲线）进行对比，结果如图 2 所示。

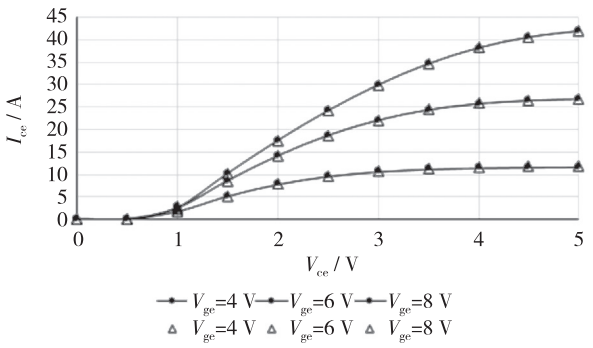


图 2 kNN 仿真数据与测试数据的对比

图 2 中，圆点和实线点为测试数据，实心线从下到上依次为 4、6、8 V 的 V_{ge} 输出曲线。空心三角点为模型参数经 SPICE 仿真计算出的数据点。可以

看出，数据的拟合情况较好，kNN 算法从 459 种有效、已知器件中，实现了令人满意的配型性能，这表明，本文依据批量化正向运算进行的参数提取方法是成功的。

在测试集其他 29 个数据样本点上，kNN 算法的结果均与图 2 类似。对于图 2 中的 #1 样本，根据式(1)计算出的欧氏距离为 0.455 7(单位是安培，该数据仅具参考价值)。

2.2　逐步多元回归

训练集数据中已有了 459 条有效记录。这些记录提供了输出曲线数据与模型参数之间的对应联系，因此可建立统计模型来反映这种联系。目前所有的人工智能和深度学习算法的起源均为统计建模和机器学习。这方面的理论可参考文献[7]，文献[7]的作者是向量机(SVM)算法的创立者。

本文试图建立 IGBT 模型参数 I_{pk}、V_{pk}、B_{fl} 对自变量 P1～P30 的多元线性回归模型。如果有了测试集数据，将测试集数据中已知的 P1～P30 变量值代入回归式，则计算出模型参数的取值(预测值)。线性回归公式为：

$$y = a_0 + \sum_i a_i x_i \tag{2}$$

式中，a_0 为常数项。

利用式(2)建模需要满足自变量为独立同分布(Independent and identically distributed，统计学中通常记作 i. i. d)的条件。对于本文案例中的 P1～P30 测值，彼此存在很强的相关联系，不能满足该回归公式。解决这个难点的方法是采用逐步回归，即逐步向回归式中添加自变量进行数据拟合和 F-检验。若不满足条件(代表性不足够显著)，自变量会从回归公式中删去，反复尝试、迭代，最终得到最优化的回归表达式。

采用统计分析软件 SPSS 进行多元线性回归的数据处理。在二级菜单中选择“逐步回归(stepwise)”方法，以及选择输出“德宾-沃森残差”。运行 SPSS 软件进行分析，得到模型参数 I_{pk}、V_{pk}、B_{fl} 的线性回归公式。I_{pk} 逐步回归模型的系数和置信区间如表 1 所示。建立 I_{pk} 逐步回归式的残差如表 2 所示。

表 1 中的未标准化系数是指，对训练集数据不作标准化处理(数据标准化处理为各数据均减去均值再除以标准差，标准化后的数据服从于均值为 0、标准差为 1 的正态分布)。本文得到的各器件模型参数的线性回归式系数如表 3 所示。

表 1　I_{pk} 逐步回归模型的系数和置信区间

模型	未标准化系数		B 的 95%置信区间	
	B	标准误	下限	上限
常量	3.276	0.125	3.031	3.521
P2	−0.504	0.181	−0.860	−0.149
P10	−0.176	0.011	−0.197	−0.154
P23	−0.951	0.005	−0.961	−0.940
P30	0.292	0.002	0.288	0.296

表 2　建立 I_{pk} 逐步回归式的残差

参数	平均值	标准偏差	个案数
预测值	2.497 821	0.315 473 5	459
残差	0.000 000 0	0.024 550 5	459
标准预测值	0.000	1.000	459
标准残差	0.000	0.996	459

表 3　各模型参数的线性回归式系数

模型参数	B_{fl}	V_{pk}	I_{pk}
常量	0.173	10.867	3.276
P2	−10.29	−3.426	−0.504
P10	0.679	−0.057	−0.176
P23	5.894	−0.135	−0.951
P30	−0.529	0.137	0.292

对于三个模型参数，I_{pk}、V_{pk}、B_{fl}，建立它们的回归模型，在逐步回归时，一般不会选择和保留同样的自变量。表 3 中，三个参数取到同样的自变量组(P2、P10、P23、P30)，这仅仅是一种巧合，不具有普遍性。

回归式计算提供了一种从测值到得到模型参数的简便方法。仿照 kNN 算法的处理，取测试集样本 #1，计算其模型参数的值，进行 SPICE 仿真。仿真数据与测试数据的对比如图 3 所示。

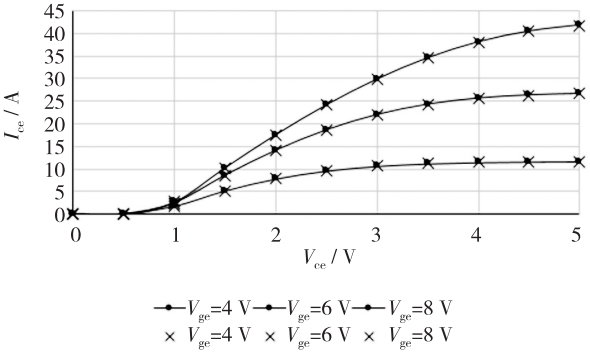


图 3　多元回归提参的仿真数据与测试数据的对比

图 3 中，圆点和实线为测试数据，“×”点为仿真数据。可以看出，多元回归式所建立的对器件参数的估算仍然是准确的。#1 样本的测试数据与仿真计算数据由式(1)计算，得到的欧氏距离为：0.248 5（单位是安培，该数据仅具参考价值）。

3 结 论

半导体器件的建模及参数提取是一项挑战性的工作。针对众多种类的不同器件，已经开发出了几百种的器件模型。如果不了解这些模型开发的背景和思路及其各自特点，则不能选择很适当的模型，更谈不上用好模型。

模型选型之后的工作就是参数提取。目前的参数提取主要是反向计算方式，需要反复尝试、优化才能使目标函数趋近于极值。在这个过程中，保证算法稳定和收敛以及及时跳出局部最优成为难点。随着模型参数的空间达到几百维，结构异常复杂化，通过最优化方法来提取模型参数变得越来越困难。此外，通常情况下，拟合出一组测试曲线的模型参数，算法的解并不唯一（对于乘法，已知积来求因子分解是反向问题，如对 12 作因子分解，有 3、4 和 2、6 等不同结果，都是正确的）。

尽管在反向解算方面，存在着如文献[2-4]中以算法复杂化来应对问题复杂化的工作，但本文采取的正向求解法是同样或更有效的策略之一。

本文案例的数据规模虽较小，但却基于数据挖掘算法进行了有效的参数提取。因为现代大数据处理算法的爆发式发展，所以能处理的数据规模远远超过本文案例。可以预见，在正向求解法的潜力是巨大的。

传统的参数提取法除了求得某一参数取值，不含有其他信息。与传统方法相比，本文方法除了求得某一参数值外，还可得到该类估算的欧式距离、置信区间（上/下界）、残差评估、t 检验、F 检验等丰富的统计信息。这是本文方法的一大优势。

本文方法得到的模型参数可以表征 IGBT 的整体电特性，而一些细致、局部的器件特性依然可以采用传统的模型参数提取法，此时，问题的规模已经缩减很多了。如某研究组提出了一种特定的新器件模型，如果事先有该模型及相应的数据训练集，则可以预先回避掉一些模型参数空间的病态区域，更有利于用户对于模型的正确使用。

参 考 文 献：

[1] OAKLEY A. Parameter extraction and optimisation using TECAP software [C] // IET Colloqu Large Signal Dev Model & Param Extract Circ Simul. London, GB. 1988: 1-4.

[2] WEI T K, YU F, HUANG G Y, et al. A particle-swarm-optimization-based parameter extraction routine for three-diode lumped parameter model of organic solar cells [J]. IEEE Elec Dev Lett, 2019, 40(9): 1511-1514.

[3] CAO Y, ZHANG W, FU J, et al. Application of the genetic algorithm in MOSFET modeling and parameter extraction [C] // IEEE 3rd ICICM. Shanghai, China. 2018: 264-267.

[4] HUSSEIN A S, JARNDAL A H. On hybrid model parameter extraction of GaN HEMTs based on GA PSO and ABC optimization [C] // IEEE ICECTA. Ras Al Khaimah, UAE. 2017: 1-5.

[5] GOODFELLOW I, BENGIO Y S, COURVILLE A. Deep learning [M]. Cambridge: The MIT Press, 2016.

[6] Advanced design system user's manual: nonlinear devices [Z]. Santa Rosa: Keysight Technologies Incorporated, 2019.

[7] VAPNIK V N. 统计学习理论的本质 [M]. 张学工，译. 北京：清华大学出版社，2000.

·动态与综述·

系统级 ESD 激励源模型研究进展

胡　毅[1]，王于波[1]，王艺泽[2]，王　源[2]
(1. 北京智芯微电子科技有限公司，北京 100192；2. 北京大学 微纳电子学系，北京 100871)

摘　要： 芯片级和系统级静电放电(ESD)协同设计可以有效地应对电子设备面临的 ESD 风险，但需要对整个 ESD 防护网络进行建模，特别是建立精确的系统级 ESD 激励源模型。阐述了静电枪、浪涌等两种常用 ESD 激励源模型的基本原理、建模和仿真方法。分析了已有模型在仿真预测中面临的挑战和存在的问题。最后，指出了系统级 ESD 激励源模型的发展趋势。

关键词： 静电放电；ESD 枪；浪涌；系统级 ESD；静电保护区
中图分类号：TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0853-07
DOI：10.13911/j.cnki.1004-3365.200360

Research Progress on Circuit Model of System-Level ESD Generators

HU Yi[1], WANG Yubo[1], WANG Yize[2], WANG Yuan[2]
(1. *Beijing Smart-Chip Microelectronics Technology Co., Ltd., Beijing* 100192, *P. R. China*;
2. *Department of Microelectronics, Peking University, Beijing* 100871, *P. R. China*)

Abstract: Co-design for electrostatic discharge (ESD) protection between component-level and system-level can effectively deal with system-level ESD event risk for electric equipment. It is necessary to model the whole ESD protection network, especially to establish an accurate system-level ESD generator model. The principles, modeling and simulation methods of two well-known system-level ESD generator, ESD gun and surge, were elaborated. Shortcomings and challenges of the existing models were analyzed. Finally, the development trends of system-level ESD generators were summarized.

Key words: ESD; ESD gun; surge; system-level ESD; ESD protection area

0　引　言

静电放电(ElectroStatic Discharge，ESD)事件通常表示互相接触且拥有不同电势的两个物体之间的电荷转移的过程。ESD 事件在生活中是一种常见的现象，产生的放电电压在几千甚至几万伏之间，大多通过接触或空气来进行放电[1-4]。因此，对集成电路行业来讲，ESD 放电事件有相当严重的影响。集成电路从生产和加工到应用于系统终端，都要经受不同类型的 ESD 事件。

集成电路所处的静电环境通常分为两类，即 ESD 保护区域(ESD Protection Area，EPA)内和 EPA 外。EPA 是指芯片在生产、运输和装配过程中专门设立的静电控制区域。在 EPA 内，专业的静电控制技术将确保潜在静电源不会产生具有过高能量的静电脉冲[5]。根据 EPA 区域划分，集成电路在不同环境中所经受的 ESD 事件也被分成两类，即发生在 EPA 内的芯片级 ESD 事件和发生在 EPA 外的系统级 ESD 事件。ESD 协会(ESD Association)为了检测芯片的抗静电能力，建立了一些检测标准，以模拟真实发生的 ESD 冲击事件。常见的芯片级

收稿日期：2020-08-07；**定稿日期：**2020-08-21
基金项目：国家电网公司总部科技项目(546816190018)
作者简介：胡　毅(1982—)，男(汉族)，江西南昌人，硕士，工程师，从事模拟集成电路设计研究工作。

ESD 激励源模型包括人体模型（Human Body Model，HBM）、机械模型（Machine Model，MM）和充电器件模型（Charged Device Model，CDM）[6-8]。常见的系统级 ESD 激励源模型包括静电枪测试（IEC 61000-4-2 标准）、电快速脉冲测试（IEC 61000-4-4 标准）和浪涌测试（IEC 61000-4-5 标准）[9-11]。通常，在相同的预充电压下，系统级 ESD 事件所释放的能量要远远大于芯片级 ESD 事件，所以系统级 ESD 对芯片带来的损害也更为严重。随着集成电路工艺技术的不断进步，其特征尺寸和栅极氧化层的厚度在不断减小，虽然集成电路本身的运算速度和能力不断增强，但其代价是集成电路本身的鲁棒性不断变弱[12-14]。

传统的系统级 ESD 保护设计方法为试错法（Trial-and-Error）。试错法就是通过不断对已经设计好的系统级防护网络进行符合相关标准和规范的冲击测试，随后反复修正保护网络在设计中的错误和不足，直至达到设计要求。这种方法尽管有效，但会浪费大量的人力和物力，而且系统验证周期过长。相比试错法，业界提出一种有效且低成本的设计方法，即通过芯片级与系统级的协同设计来应对系统级 ESD 事件[15-17]。这种方法需要对整个电子系统的 ESD 防护网络进行建模，首先通过仿真优化的方法，准确评估系统级 ESD 事件对于部件级特别是芯片的影响[18-22]。要完成系统级 ESD 防护网络的建模仿真，首先要对系统级 ESD 激励源进行建模。本文针对业界比较常用的静电枪和浪涌两种 ESD 激励源的模型研究现状、最新进展进行了分析和讨论。

1 IEC 61000-4-2 标准的静电枪模型

IEC 61000-4-2 标准为最常用的系统级 ESD 检测标准，根据 ESD 协会的标准，其 IEC 波形通常为双峰波形[13]。两种系统级 ESD 激励发生器常用于产生符合 IEC 61000-4-2 标准的激励。一种是静电枪（ESD Gun），另一种是人体金属模型（Human Metal Model，HMM）波形发生器[23-24]。区别在于，静电枪多用于系统级激励源，而 HMM 激励多用于表征芯片的最坏情况。ESD 协会对 HMM 模型的解释为：用带静电的人体手握金属去触碰芯片的金属管脚，会对芯片管脚放电并形成放电通路。其中，金属的放电形成第一个波峰，人体的放电相对缓慢，形成第二个波峰。这也是 ESD 协会规定该 IEC 61000-4-2 标准的激励为双峰波形的原因。对于实际的激励源发生器来说，常用的为两种放电形式，即接触放电和空气放电[25-28]。本文所用的都为接触放电的形式。在接触放电中，该双峰波形需要满足 IEC 61000-4-2 标准里四个方面的规定，即上升时间、第一峰值，t_1 时间点及 t_2 时间点的对应电流值。针对不同的应用环境，这四个方面的标准总结如表 1 所示[13-15]。其中，最常用的标准为 $t_1=30$ ns 和 $t_2=60$ ns。图 1 给出了静电枪应力下 IEC 61000-4-2 激励波形。

表 1 不同应用环境下的 IEC 61000-4-2 标准

上升时间/ns	第一峰值/（A·kV^{-1}）	偏差/%	t_1 时刻电流值/（A·kV^{-1}）	偏差/%	t_2 时刻电流值/（A·kV^{-1}）	偏差/%
0.8	3.75	±10	2@30 ns	±30	1@60 ns	±30
0.8	3.75	±10	2@65 ns	±30	1@130 ns	±30
0.8	3.75	±30	0.275 @180 ns	±30	0.15 @360 ns	±50
0.8	3.75	±30	0.275 @400 ns	±30	0.15 @800 ns	±50

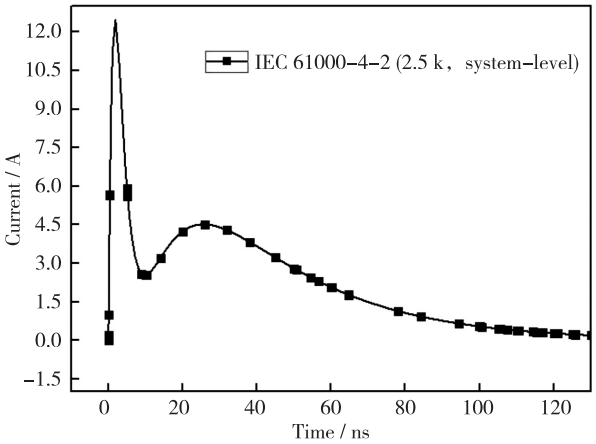


图 1 4 kV ESD 应力下 IEC 61000-4-2 标准波形

1.1 物理模型

对于相应的 IEC 61000-4-2 标准的模型，通常分为两种，即物理模型和波形产生模型[29-40]。物理模型是根据实际的静电枪内部的结构，构建相应的 IEC 61000-4-2 模型，具体参数是通过 S 参数的测量来提取得到，有准确的物理依据。图 2 给出了一个静电枪在实际操作测试环境中的系统搭建情况[33]。静电枪通过 SMA 接口对 2 Ω 的标准校准电阻进行放电，并通过示波器来抓取波形。校准电阻放置在圆形的具有防耦合干扰作用的校准板中间，接地回

路包含 2 米长的寄生互连线。

针对这种静电枪的结构以及所处的实验环境，可以得到相应的等效电路，如图 3(a)所示。该模型主要包含三个部分，第一部分是由 ESD 协会规定的 150 pF 的标准放电电容和 330 Ω 的电阻，为 R_{gun} 和 C_{gun}，并组成基本的静电枪的放电枪体。第二部分是枪体内部的寄生电容 C_{prs} 和枪针的寄生电感 L_{tip}。接地的互连线可以等效为传输线模型的 1 阶简化形式，如图 3 中的 R_g、C_g 和 L_g。上述的寄生效应及接地模型的参数都是通过测量 S 参数的方式提取得到。此外，模型中 R_{load} 为 2 Ω 的标准电阻，当模型中等效的开关放电时，在负载端可以得到仿真结果。仿真和实测的对比结果如图 3(b)所示，设置中预充电的电压值为 4 kV，结果显示，可以得到一个精准的物理依据静电枪模型。

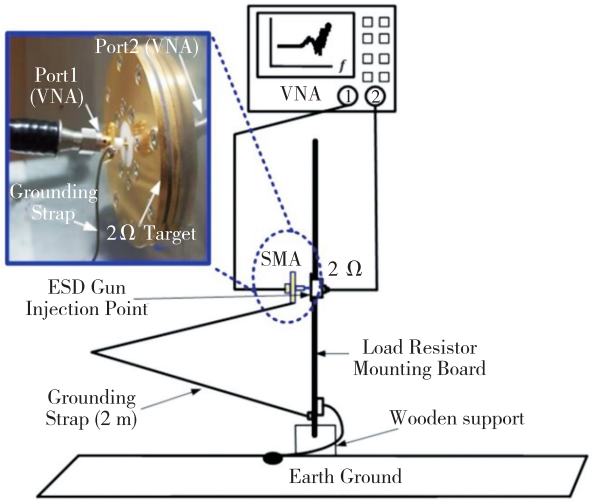
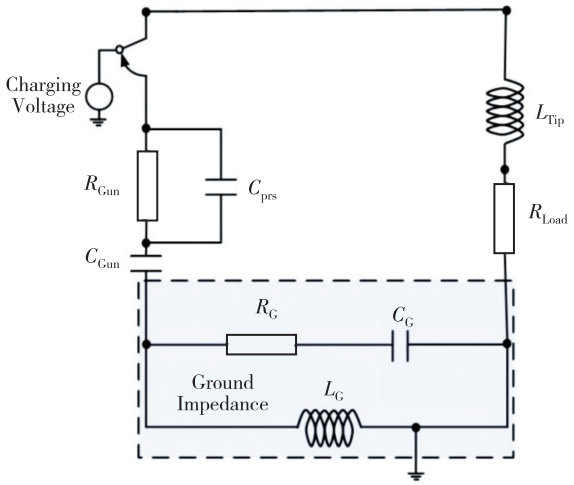
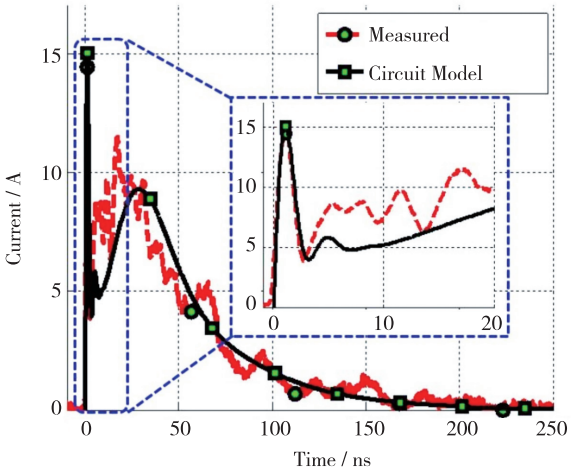


图 2　静电枪的实际测试系统搭建



(a) 等效电路图



(b) 模拟结果与测试结果对比

图 3　静电枪物理模型的等效电路图和实验结果

1.2　波形产生模型

与物理模型对比的是波形产生模型[35-42]。不同的是，这种模型不包含物理效应，模型的参数并不是根据实际的静电枪结构及 S 参数的测量得到的，而是通过数学公式拟合的方式得到一个符合 IEC 61000-4-2 标准的系统级应力。一个常用的波形产生模型如图 4 所示[35]。

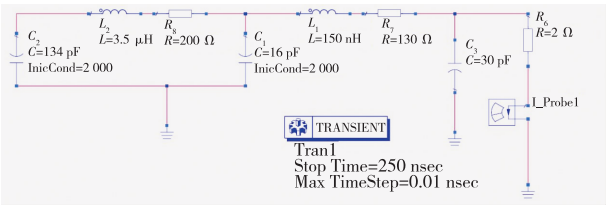


图 4　IEC 61000-4-2 标准的波形产生模型

该模型两个放电电容分别为 134 pF 和 16 pF，而串联的电阻为 200 Ω 和 130 Ω。可以看出，电容和电阻值的总和为 ESD 协会规定的 150 pF 和 330 Ω，所以该模型可以仿真得到符合 IEC 61000-4-2 标准的双峰波形。虽然本质上是两路 RLC 回路放电的叠加，但这种数值拟合的方法并没有相应的物理根据。由于不同的 L 和 R 放电的延迟时间是不同的，因此两条 RLC 支路分别形成两个峰，最终形成符合标准的双峰波形。虽然数学上拟合得到的模型具有非常准确的拟合，但该模型是否能应用到电路仿真中仍是问题关键，特别是对于变化的负载，模型需要实现相应的正确响应。

北京大学提出了一种新型静电枪波形产生模型[42]，该模型符合 IEC 61000-4-2 和 HMM 标准，其等效电路图如图 5 所示。

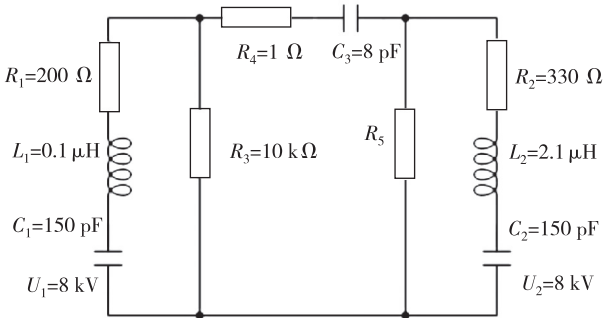


图 5　基于 SPICE 的 IEC 61000-4-2 标准的波形产生模型

模型主要由两个预充电 *RLC* 电路和一个 *RC* 电路组成。按照 IEC 61000-4-2 和 HMM 标准，规定待测器件(Device Under Testing，DUT)为 2 Ω 电阻，在其上形成双峰波形。其中两个 *RLC* 电路的预充电电容 *C* 用于提供放电电流。当电容 C_1 产生的瞬态电流经过 *RC* 电路时，由于 *RC* 电路中的电容值 C_3 较小，会产生一个电容快速充电的现象，所以在 DUT 上等效出现一个上升时间很短的位移电流，即 IEC 61000-4-2 和 HMM 标准双峰波形的第一个尖峰部分。通路 R_3 的作用是为 *RLC* 电路产生的放电电流提供泄放通路，初始电容的电压值为 8 kV，它包含了大量的能量，而 *RC* 电路中的 C_3 电容值较小，因此从电容 C_1 中获得的能量也小，而且从标准的双峰波形的第一波峰可以看出，其所包含的能量很小，所以需要一个通路 R_3 来泄放 *RLC* 电路中电容 C_1 所包含的其余能量。电容 C_2 的放电将产生双峰波形的第二波峰。图 6 给出了 SPICE 模拟结果[42]，仿真中的电容初始预充电电压为 8 kV。对比表 1 给出的四个标准可以看出，该电路模型可以得到准确的双峰波形[42]。

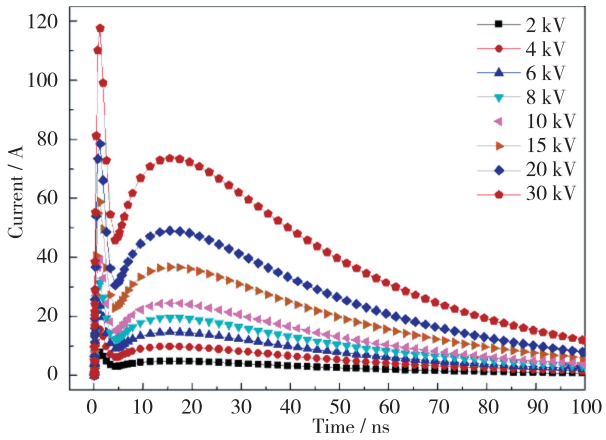
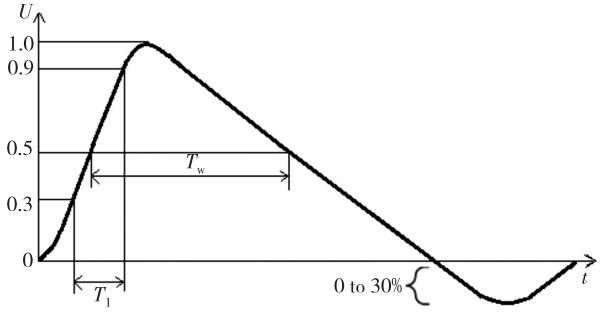


图 6　基于 SPICE 的 IEC 61000-4-2 标准的波形产生模型模拟结果

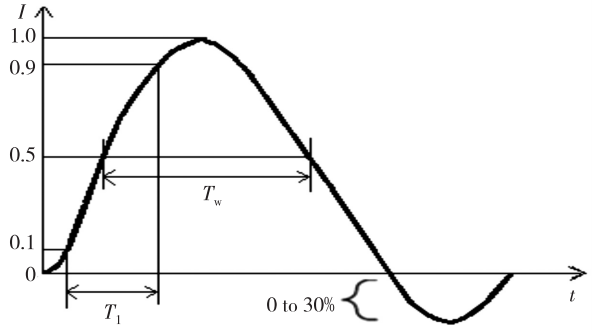
2　IEC 61000-4-5 标准的浪涌模型

浪涌也是一种常用的应用于系统级的测试激励源，相应的规定为 ESD 协会所提出的 IEC 61000-4-5 标准[43]。浪涌测试主要用于模拟电器或电子设备因故障、老化或短路等引起的静电过应力现象。浪涌激励虽然只有一个波峰，但其波形的上升时间和持续时间通常为 μs 量级，所以浪涌激励的特点在于能量高、持续时间长。图 7(a)所示为浪涌激励源的开路电压波形。由图可知，波头时间为 1.2(1±30%) μs，半峰时间为 50(1±20%) μs，同时负向峰值电压不能超过正向峰值电压的 30%。同时，要求开路输出电压误差为±10%，例如，对于输入电压为 1 000 V 的高压源，其输出峰值电压不能低于 900 V，且不能超过 1 100 V。图 7(b)所示为浪涌激励源的短路电流波形。波头时间为 8(1±20%) μs，半峰时间为 20(1±20%) μs，负向峰值电压不能超过正向峰值电压的 30%。同时，要求短路输出电流误差为±10%。例如，对于输入电压为 1 000 V 的高压源，其输出峰值电流不能低于 450 A，且不能超过 550 A。

根据 IEC 61000-4-5 规定，浪涌激励在系统中输入端口会有所不同，相应的配置信息也会有差别。通常端口可分为两种，一种为信号线，另一种为电源线。根据不同的应用场景，其相应的发生器的配置信息和参数主要有四种标准，如表 2 所示[43]。对于上述四种不同场景下的浪涌激励，最常用应力方式为线接地，耦合器件只有一个 40 Ω 电阻的方式。显然，浪涌激励源由于具有相对于长的上升时间及并不复杂的单峰波形，其浪涌激励相对更容易建模拟合。因此 ESD 协会给出的相应标准模型是足够精确的，并且能广泛应用。



(a) 浪涌激励源的开路电压波形



（b）浪涌激励源的短路电流波形

图 7　IEC 61000-4-5 标准的浪涌激励源波形[43]

表 2　不同的应用环境下的 IEC 61000-4-5 标准

耦合方法@4kV	电压上升时间/μs	电压半波峰时间/μs	电流上升时间/μs	电压半波峰时间/μs
线-地，R=40 Ω，耦合器件 0.5 μF	1.2	38	1.3	13
线-地，R=40 Ω	1.2	42	1.5	48
线-线，R=40 Ω，耦合器件 0.5 μF	1.2	42	1.3	13
线-线，R=40 Ω	1.2	47	1.5	48

浪涌激励虽然只有单峰，但由于长时间的放电，因此包含足够高的能量，这对系统级 ESD 防护带来很大的挑战。常用浪涌模型的波形发生器等效电路如图 8 所示[44-48]。图 8 所示的浪涌激励模型中，R_1 主要影响应力的峰值，C_2 影响上升时间，而 L_1 主要影响应力的持续时间。但是这种波形发生器存在三个问题：第一，无法产生开路电压的负向波形；第二，满足电压波形上升时间的要求是以牺牲电压波峰为代价的，这使得发生器的调节范围减小；第三，发生器调节波形具有单一不可调特性，这使得调节波形的速度较慢。

北京大学提出了一种新型浪涌波形发生器电路[48]，如图 9 所示。该模型解决了现有波形发生器无法产生标准开路电压波形的负向电压这一问题，为全面分析电子器件损伤的原因和预测电子器件防浪涌的能力提供可靠的保证。新型波形发生器解决该问题的方法就是通过使用一个较大的电感 L_2 替代标准模型中用于控制开路电压波形上升时间的电阻 R_3，并且加入一个小电容 C_1，以此产生电压波形所需的上升时间。其中，C_0 为储能电容，R_1 为脉冲持续时间形成电阻，R_2 为阻抗匹配电阻，C_1 为上升时间形成电容，L_1 为上升时间形成电感。同时，在调节开路电压和短路电流波形时，新型波形发生器可调节的范围更大，调节的速度更快。图 10 所示为不同 L_2 下的浪涌激励源波形仿真曲线。

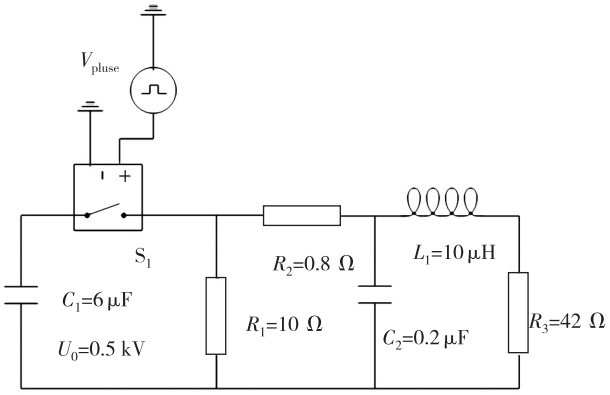


图 8　符合 IEC 61000-4-5 标准的浪涌激励源波形发生器[47]

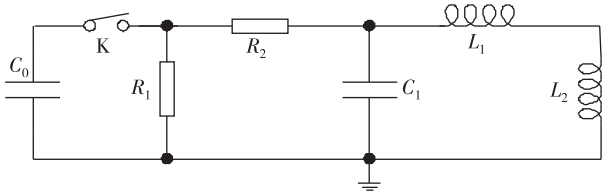


图 9　一种新型浪涌激励源波形发生器

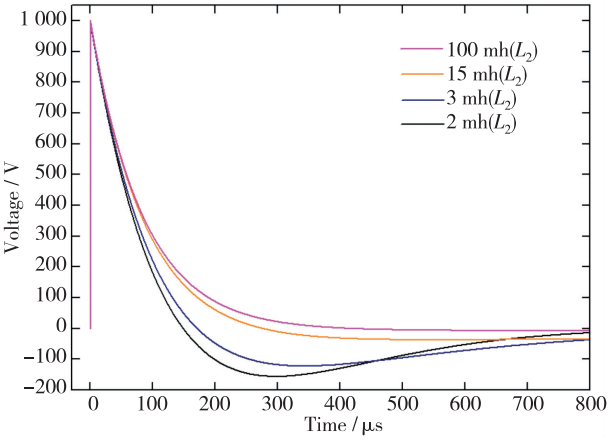


图 10　不同 L_2 下的浪涌激励源波形仿真曲线

3　结　论

一个合格的电子产品除了需要达到特定的性能指标要求外，还必须达到可靠性指标。对于便携式终端，考虑到其使用环境，抗 ESD 冲击能力是一项关键指标。集成电路从生产、加工、运输到应用于系统终端，都要经受不同类型和强度的 ESD 事件。随

着大规模集成电路制造工艺的高速发展，器件栅氧化层厚度不断减薄，击穿电压降低，芯片 ESD 设计窗口不断减小，集成电路对 ESD 的防护能力变得越来越弱。

相比芯片级 ESD 事件，系统级 ESD 事件能量更大，对芯片带来的破坏风险更高。芯片级和系统级的 ESD 保护设计不能再延续以前独立设计的思路，必须进行协同设计。芯片级的 ESD 保护设计者需要充分考虑系统级的 ESD 事件带来的残余脉冲对芯片可靠性的影响。系统级的 ESD 保护设计者需要针对芯片的 ESD 特性对片外的保护网络进行有的放矢的优化。采取芯片级与系统级的协同仿真设计可以有效应对系统级 ESD 事件。建立有效的、精确的系统级 ESD 激励源模型是非常必要的。

国内对于系统级 ESD 事件建模仿真的研究相对较少，与国际先进水平有一定的差距。所以，需要国内的相关企业和科研院所在模型模拟、仿真工具、乃至工业标准等方面进行技术突破，为我国集成电路产品可靠性研究提供有效保障。

参 考 文 献：

[1] AMERASEKERA A，DUVVURY C. ESD in silicon integrated circuits [M]. New York：John Wiley & Sons，Ltd.，2002.

[2] VOLDMAN S H. ESD circuits and devices [M]. New York：John Wiley & Sons，Ltd.，2006.

[3] 王源. CMOS 集成电路片上 ESD 保护的设计研究 [D]. 北京：北京大学，2006.

[4] 龚瑜，黄彩清，吴凌. ESD 与短脉冲 EOS 失效的微观形态分析及验证 [J]. 半导体技术，2019，44(1)：58-64.

[5] VASHCHENKO V，SHIBKOV A. ESD design for analog circuits [M]. Springer，2010.

[6] Human body model electrostatic discharge test：AEC-Q100-002 Rev-C [S]. Automotive Electronics Council，2001.

[7] Electrostatic discharge (ESD) sensitivity testing machine model (MM)：JESD22-A115-A [S]. JEDEC Solid State Technology Association，1997.

[8] Standard test method for electrostatic discharge sensitivity testing-charged device model (CDM) component level：ESD STM5.3.1-1999 [S]. ESD Association，1999.

[9] MUHONEN K，ASHTON R，SMEDES T，et al. HMM round robin study：what to expect when testing components to the IEC 61000-4-2 waveform [C] // Proceed Electric Overstress/Electrostatic Discharge Symp. Washington D C，USA. 2012：1-8.

[10] TSAI M F，TSENG J C，HUANG C Y，et al. An on-chip combo clamp for surge and universal ESD protection in bulk FinFET technology [C] // Proceed Electric Overstress/Electrostatic Discharge Symp. Garden Grove，CA，USA. 2016：1-7.

[11] ZHANG J，KOO J，MOSELEY R，et al. Modeling injection of electrical fast transients into power and IO pins of ICs [J]. IEEE Trans Electromagn Compatib，2014，56(6)：1576-1584.

[12] LI J，CHATTY K，GAUTHIER R，et al. Technology scaling of advanced bulk CMOS on-chip ESD protection down to the 32 nm node [C] // Proceed Electric Overstress/Electrostatic Discharge Symp. Anaheim，CA，USA. 2009：1-7.

[13] Industry Council on ESD Target Levels. White paper 3-system level ESD，part I [R]. 2011.

[14] DUVVURY C，GOSSNER H. System level ESD co-design [M]. John Wiley & Sons，Ltd.，2015.

[15] VASHCHENKO V，SCHOLZ M. System level ESD protection [M]. Springer，2014.

[16] 杨伊婷，王晶，龚德权，等. 新型瞬变脉冲能量吸收矩阵的静电防护设计及应用 [J]. 半导体技术，2019，44(10)：808-812.

[17] WANG Y Z，WANG Y，LU G Y，et al. Modeling IC components based on TLP I-V curves and transient responses from SEED perspective [C] // Proceed Joint Int Symp EMC & APEMC. Singapore. 2018：862-865.

[18] CAO X，CAO J，WANG Y Z，et al. Improvements on transient power law model under HBM stress [J]. Acta Scientiarum Naturalium Universitatis Pekinensis，2018，54(5)：945-950.

[19] WANG Y Z，LU G Y，WANG Y. A new behavioral model of gate-grounded NMOS for simulating snapback characteristics [J]. IEEE Access，2020，8：64730-64738，

[20] YANG S，POMMERENKE D J. Effect of different load impedances on ESD generators and ESD generator SPICE models [J]. IEEE Trans Electromagn Compatib，2018，60(6)：1726-1733.

[21] AMMER M，CAO Y Q，RUPP A，et al. Bringing the SEED approach to the next level：generating IC models for system ESD and electrical stress simulation out of design data [J]. IEEE Trans Electromagn Compatib，2020，62(1)：25-35.

[22] WEI P Y，MEIGUNI J，POMMERENKE D. System-level design for ESD protection on multiple IO interfaces [C] // IEEE Int Reliab Phys Symp. Burlingame，CA，USA. 2018：1-4.

[23] MUHONEN K，PEACHEY N，TESTIN A. Human metal model (HMM) testing，challenges to using ESD guns [C] // Proceed Electric Overstress/Electrostatic Discharge Symp. Anaheim，CA，USA. 2009：1-9.

[24] OHTSU T，DOYAMA H，ISHIZUKA H，et al.

Comparison of ESD protection effect between protective elements on electric devices and ESD countermeasure materials by applying voltage with ESD gun [C] // Asia-Pacific Symp Electromagn Compatib. Taipei, China. 2015: 581-584.

[25] MORI I, FUJIWARA O, GARBE H. Equivalent circuit modeling to calculate discharge currents for air discharges of ESD-guns [C] // Int Symp Electromagn Compatib. York, UK. 2011: 449-452.

[26] MORI I, FUJIWARA O, ISHIGAMI S. Rise time limit of discharge current for air discharge of an ESD-gun [C] // Asia-Pacific Conf Environmental Electromagn. Dalian, China. 2006: 34-37.

[27] MORI I, FUJIWARA O. Severity evaluation of immunity test for air and contact discharges of ESD generators [C] // Asia-Pacific Conf Environmental Electromagn. Xi'an, China. 2009: 110-113.

[28] TANAKA H, FUJIWARA O, YAMANAKA Y. A circuit approach to simulate discharge current injected in contact with an ESD-gun [C] // Int Symp Electromagn Compatib. Beijing, China. 2002: 486-489.

[29] YUAN Z, LI T, HE J, et al. New mathematical descriptions of ESD current waveform based on the polynomial of pulse function [J]. IEEE Trans Electromagn Compatib, 2006, 48(3): 589-591.

[30] KATSIVELIS P S, PSARROS G N, GONOS I F, et al. Estimation of parameters for the electrostatic discharge current equation with real human discharge events reference using genetic algorithms [J]. Measurement Sci & Technol, 2010, 17(10): 1-6.

[31] WU Q, WEI M. A mathematical expression for air ESD current waveform using BP neural network [J]. J Electrostatics, 2013, 71: 125-129.

[32] FOTIS G P, GANOS I F, STATHOPULOS I A. Determination of discharge current equation parameters of ESD using genetic algorithms [J]. Elec Lett, 2006, 42(14): 797-799.

[33] LOU L, DUVVURY C, JAHANZEB A, et al. SPICE simulation methodology for system level ESD design [C] // Proceed Electric Overstress/Electrostatic Discharge Symp. Reno, NV, USA. 2010: 1-10.

[34] SHENG S, BI Z, TIAN M, et al. A new analytical expression of current waveform in Standard 61000-4-2 [J]. High Power Laser and Particle Beams, 2003, 15(5): 464-466.

[35] ZHOU Y, HAJJAR J J. A circuit model of electrostatic discharge generators for ESD and EMC SPICE simulation [C] // IEEE Int Conf Elec Dev & Sol Sta Circ. Chengdu, China. 2014: 1-2.

[36] SEKINE T, ASAI H. A framework for the simulation of electrostatic discharge immunity using the unified circuit modeling technique [C] // IEEE Int Symp Electromagn Compatib. Denver, CO, USA. 2013: 869-874.

[37] LI T, PILLA V, LI Z, et al. System-level modeling for transient electrostatic discharge simulation [J]. IEEE Trans Electromagn Compatib, 2015, 57(6): 1298-1308.

[38] YOUSEF J, SHIN J, LEE H, et al. Efficient circuit and EM model of electrostatic discharge generator [C] // IEEE Int Symp Electromagn Compatib & Signal/Power Integrity. Washington D C, USA. 2017: 1-4.

[39] WANG K, POMMERENKE D, CHUNDRU R, et al. Numerical modeling of electrostatic discharge generators [J]. IEEE Trans Electromagn Compatib, 2003, 45(2): 258-271.

[40] CANIGGIA S, MARADEI F. Circuit and numerical modeling of electrostatic discharge generators [J]. IEEE Trans Indust Applic, 2006, 42(6): 1350-1357.

[41] WANG Y Z, WANG Y, LU G Y, et al. A novel TLP-based method to deliver IEC 61000-4-2 ESD stress [J]. IEICE Elec Express, 2017, 14(9): 20170163.

[42] CAO J, WANG Y Z, WANG Y, et al. A novel SPICE circuit model of electrostatic discharge (ESD) generator [J]. IEICE Elec Express, 2016, 13(9): 20160238.

[43] Electromagnetic compatibility (EMC) - Part 4-5: testing and measurement techniques - surge immunity test: IEC 61000-4-5 [S]. ESD Association, 2014.

[44] PAN X, RINKLEFF T, WILLMANN B, et al. PSpice simulation of surge testing for electrical vehicles [C] // Proceed Int Electromagn Compatib Europe Symp. Rome, Italy. 2012: 1-6.

[45] CAROBBI C F M, BONCI A. Elementary and ideal equivalent circuit model of the 1, 2/50-8/20 μs combination wave generator [J]. IEEE Electromagn Compatib Mag, 2013, 2(4): 51-57.

[46] PARK M, TSENG J, LEE T Y, et al. Concurrent ESD and surge protection clamps in RF power amplifier [C] // Proceed Electric Overstress / Electrostatic Discharge Symp. Riverside, CA, USA. 2019: 1-4.

[47] WANG Y Z, WANG Y, LI Y H, et al. Co-design circuit simulation to investigate the failure of devices under surge stress [C] // Joint Int Symp EMC and APEMC. Sapporo, Japan. 2019: 262-265.

[48] CHEN Y K, CAO J, WANG Y, et al. A novel equivalent circuit model of the surge wave generator [C] // IEEE 12th Int Conf ASIC. Guiyang, China. 2017: 807-810.

离子敏感场效应晶体管传感器研究进展

张 双[1]，张 静[1]，张青竹[2,3]，魏千惠[4]，魏淑华[1]，王艳蓉[1]，
张兆浩[2]，熊恩毅[1]，方 敏[1]，闫 江[1]，屠海令[4]
（1. 北方工业大学 信息学院，北京 100144；2. 中国科学院微电子研究所，先导工艺研发中心，北京 100029；
3. 中国科学院大学，北京 100049；4. 有研工程技术研究院有限公司，智能传感器功能材料国家重点实验室，
北京 100088）

摘 要： 近年来，离子敏感场效应晶体管（ISFET）生物传感器因其灵敏度高、速度快、无标记、体积小、成本低等特点受到了广泛关注，可应用于 DNA、蛋白质、酶、细胞、离子等生物识别物的检测。ISFET 生物传感器在金属氧化物半导体场效应晶体管（MOSFET）的基础上发展而来，通过溶液和传感层之间产生电荷转移，形成界面电位，从而改变 FET 的电流。综述了基于 ISFET 的生物传感器的工作原理，对器件类型进行了分类，分析了各种器件结构的特性，并列举了最新的应用进展，对未来实现高性能、微型化、可量产的 ISFET 生物传感器具有重要作用。

关键词： 离子敏感场效应晶体管；生物传感器；传感层；电荷转移；界面电位
中图分类号：TN432 **文献标识码：**A **文章编号：**1004-3365(2020)06-0860-08
DOI：10.13911/j.cnki.1004-3365.200355

Research Advancement in Ion-sensitive Field Effect Transistor Sensors

ZHANG Shuang[1], ZHANG Jing[1], ZHANG Qingzhu[2,3], WEI Qianhui[4], WEI Shuhua[1], WANG Yanrong[1], ZHANG Zhaohao[2], XIONG Enyi[1], FANG Min[1], YAN Jiang[1], TU Hailing[4]
(1. *School of Information Science and Technology, North China University of Technology, Beijing* 100144, *P. R. China*; 2. *Integrated Circuit Advanced Process Center (ICAC), Institute of Microelectronics, Chinese Academy of Sciences, Beijing* 100029, *P. R. China*; 3. *University of Chinese Academy of Sciences, Beijing* 100049, *P. R. China*; 4. *State Key Laboratory of Advanced Materials for Smart Sensing, General Research Institute for Nonferrous Metals, Beijing* 100088, *P. R. China*)

Abstract: In recent years, Ion-sensitive field-effect transistors (ISFET) biosensors received widespread attention because of their high sensitivity, fast speed, no labeling, small volume and low cost, It was applied for the detection of biometrics such as DNA, proteins, enzymes, cells, ions. ISFET biosensors were developed on the basis of metal oxide semiconductor field effect transistors (MOSFET), which has generated charge transfer between through solution and sensing lays to form interfacial potentials that alter FET currents. This paper reviewed the working principle of ISFET based biosensors, classifies device types, analyzed the characteristics of various device structures, and enumerated the latest application progress. It played an important role for realizing a high performance, miniaturization and mass production ISFET biosensor in the future.

Key words: ion-sensitive field-effect transistor; biosensor; sensing layer; charge transfer; interface potential

收稿日期：2020-08-04；**定稿日期：**2020-08-21
基金项目：中国科学院青年促进会基金资助项目（Y9YQ01R004）；中国科学院微电子器件与集成技术重点实验室课题基金资助项目（E0YS01X001）
作者简介：张 双（1997—），男（汉族），浙江宁波人，硕士研究生，研究方向为纳米器件集成工艺。
张 静（1974—），女（汉族），江苏沛县人，副教授，研究方向为硅基器件和栅介质/金属栅结构 CMOS 器件的界面特性以及纳米线生物传感器的研究。通信作者，E-mail：zhangj@ncut.edu.cn。

0　引　言

硅基生物传感器具有灵敏度高、速度快、体积小、成本低等优点，近年来在生化领域受到广泛关注。大量研究采用硅基生物传感器进行诸如核酸杂交、蛋白质-蛋白质相互作用、抗原-抗体结合和酶-底物反应等方面的检测。其中，离子敏感场效应晶体管（Ion-Sensitive Field-Effect Transistor，ISFET）是最受欢迎的生物传感器之一，因此成为第一个被引入微型化的硅基生物传感器。

1970 年，P. Bergveld 等人提出了 ISFET 生物传感器的概念和器件结构[1]。同年，S. D. Caras 和 J. Janata 也报道了利用酶修饰的 ISFET 直接检测青霉素[2]。后续研究在 ISFET 理论和技术不断发展的基础上，实现了大量生物传感的应用探索。例如，用于生物传感研究的 ISFET 生物传感器取得了显著进展，包括检测酶催化反应的离子感应场效应晶体管、脱氧核糖核酸（DNA）修饰的基于 DNA 杂交检测的离子感应场效应晶体管，以及用于检测 H^+、金属离子和各类盐离子的离子感应场效应晶体管[2,10-15,23-35]。目前，ISFET 技术在许多领域都有广泛的理论和应用研究，尤其是在生物医学和环境监测领域。本文综述了基于 ISFET 的生物传感器的工作原理，对器件类型进行了分类，分析了各种器件结构的特性，并列举其最新的应用进展。

1　离子敏感场效应晶体管的工作原理

ISFET 通常被称为 pH 传感器，用于测量溶液中的离子浓度（H^+ 或 OH^-）。ISFET 是一种电位测量装置，其工作方式类似于金属氧化物半导体场效应晶体管（Metal-Oxide-Semiconductor Field Effect Transistor，MOSFET）。

MOSFET 由四个端子组成，即源、漏、栅、衬底。场效应晶体管的栅极电压控制源极和漏极之间的电流流动。电流控制机制基于施加在栅极上的电压所产生的电场，电场导致底部源漏之间的沟道内载流子产生积累或耗尽，引起沟道电导增加或减少，从而导致源漏之间电流的变化。ISFET 的结构与测试如图 1 所示。与 MOSFET 不同的是，ISFET 的栅极被离子选择膜、电解液和参比电极取代，顶部施加电压的液体也可称为液栅。当在参比电极上施加了固定电压值时，电解液中不同的离子浓度以及不同的选择性膜使得栅绝缘层上产生不同的界面电势，相当于在栅极施加了栅压，从而进一步引起沟道中的载流子分布以及源漏电流的变化。

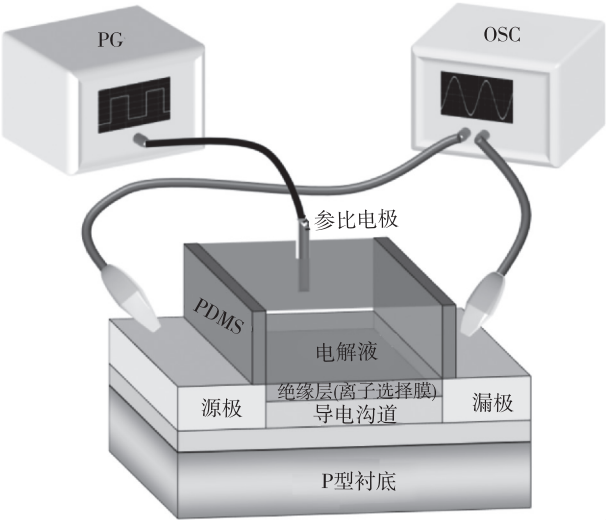


图 1　ISFET 的结构图和测试示意图

2　离子敏感场效应晶体管主要类型及生物传感应用

与传统通过光学测试的方法相比，ISFET 更适用于微型化的测量系统，易集成到所需的电子设备中。且纳米尺度器件具有比表面积大、可消除非特异性分子吸附的特点，有助于提高生物传感器的检测限和选择性。由于 ISFET 具有独特的电学和生物学特性，因此被广泛用于生化领域的检测和研究。根据器件结构的不同，ISFET 可分为基于传统栅结构的 ISFET 和基于延展栅结构型的 ISFET。

2.1　基于传统栅结构的 ISFET 最新发展

基于传统栅结构的 ISFET 在场效应晶体管的沟道上直接覆盖传感膜和选择性膜，通过液栅的方式，缓冲液中的离子浓度变化直接影响沟道中的载流子及电流的变化。可以采用不同的材料作为沟道制成器件。最早 ISFET 是基于平面硅材料[1-2]。目前为了提高传感器的灵敏度，研究人员采用二维材料和纳米线等材料制备 ISFET[8-10,11-12,15]。本文重点介绍具有代表性的基于二维材料石墨烯和基于硅纳米线（Silicon Nanowire，Si NW）的 ISFET 生物传感器。

2.1.1　基于二维材料石墨烯的 ISFET 传感器

石墨烯具有许多独特的物理和化学性质[3-4]。例如，在室温下具有高达 $10^5\ cm^2 v^{-1} s^{-1}$ 的超高载流子迁移率、较大的表面体积比以及较好的化学稳定性。基于石墨烯的传感器通常使用石墨烯的电导率

或狄拉克点来表征其传感特性，即石墨烯的电导率和狄拉克点会随着溶液中离子数量的改变而改变。石墨烯具有高灵敏度的原因是带电生化分子引起的电场效应会导致石墨烯导电性显著变化，其原因是石墨烯具有极高的流动性和极低的固有噪声。而且，石墨烯灵敏度高和价格低廉等优点，使得制成的生物传感器可替代传统的比色方法进行检测。因此，将石墨烯作为 ISFET 的传感沟道和传感表面，可实现生物传感。

但完美的石墨烯晶格没有悬空键，因此在化学性质上是惰性。因此，只有将具有特定识别功能的石墨烯功能化，才能使石墨烯表现出传感灵敏度[5-7]。然而，共价氧官能团功能化虽然使石墨烯具有改进的传感响应，但会破坏石墨烯晶格中的化学键，导致迁移率严重下降。W. Fu 等人使用苯酚将石墨烯非共价功能化，将石墨烯的特殊电学性能得到保留，且获得了较高的灵敏度[8]，经苯酚和氟苯修饰后的石墨烯 ISFET 的 pH 响应如图 2 所示。该研究采用一种基于氟苯钝化的新的功能化方案，将含有 pH 活性羟基(OH)基团苯酚的芳香分子 π 键结合，以诱导石墨烯场效应管的显著 pH 响应。研究得出，用苯酚分子修饰的石墨烯 FET 表现出非线性的 pH 响应，当 pH 值大于 8 时，可实现大于 49 mV/pH 的敏感性，优于测量 pH 时以氧化物(SiO_2、Al_2O_3、HfO_2 等)作为表面的硅基 ISFET 的响应。此外，采用芳香分子修饰还保持了石墨烯的载流子迁移率，空穴和电子迁移率分别为 1 770 $cm^2v^{-1}s^{-1}$ 和 2 020 $cm^2v^{-1}s^{-1}$，比在硅(SOI)基底上的硅基 ISFET 迁移率高出至少一个数量级。

由于石墨烯对特定的离子没有选择性，研究人员将聚合膜覆盖在石墨烯 ISFET 表面来实现相应离子的选择性，并实现了较好的传感响应。J. Kim 等人制备了石墨烯/离子团杂化膜的 ISFET 用于磷酸盐检测[9]，如图 3 和图 4 所示。该研究采用化学气相沉积法(CVD)合成石墨烯，采用热释放带法将合成的石墨烯转移到目标基板上。选择性膜由采用分子印迹技术(MIP)合成，由于模板参与了单体的聚合，因此在去除模板后单体对原模板具有亲合力，从而表现出选择性。合成后的选择性膜采用旋涂方法施加在传感区表面，使用紫外光进行聚合，并去除模板，进行传感检测。结果表明，MIP 膜和石墨烯相结合可以让器件具有良好的选择性，可用于离子传感。

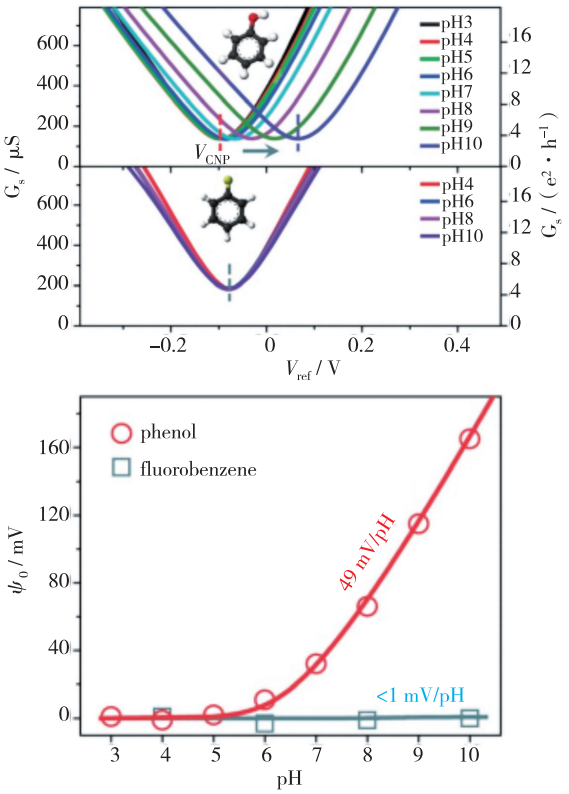
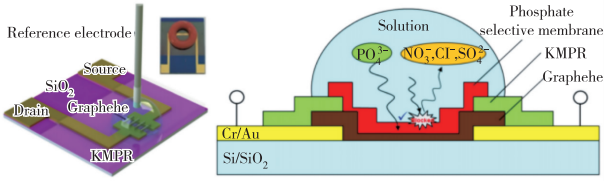
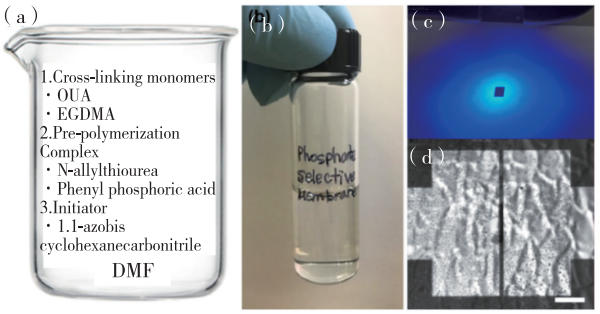


图 2　经苯酚和氟苯修饰后的石墨烯 ISFET 的 pH 响应



(a) ISFET 结构示意图　　(b) 磷酸选择性膜机理示意图

图 3　石墨烯 ISFET

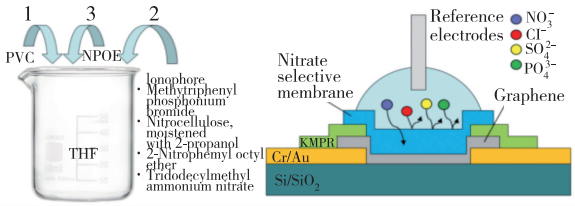


(a) 选择性膜溶液的合成过程；(b) 合成的选择性膜溶液；(c) 紫外光聚合过程；(d) 镀膜后感测区域的光学图像

图 4　选择性膜的制备

除了 MIP 膜，聚氯乙烯(PVC)基的膜也可以作为选择性膜。J. Kim 等人在另一项研究工作中将 PVC 基选择性膜与石墨烯相结合，来检测水中硝酸盐的含量[10]，如图 5 所示。该研究通过测量狄拉克点的水平移动来检测水中硝酸盐的含量。制备该传

感器使用 CVD 方案制备石墨烯，然后转移到目标基板上。选择性膜由三种主要成分组成。第一种成分是 PVC，类似于化学中的溶剂。第二种成分是高分子膜的高亲脂增塑剂。最后一种成分是离子团混合物。将三种成分混合后，采用旋转涂覆法在石墨烯上涂覆硝酸盐选择膜。结果表明，PVC 基膜和石墨烯相结合也可以让器件具有良好的选择性，可用于离子传感。



（a）合成硝酸盐选择性膜原理图　（b）传感器的传感机理

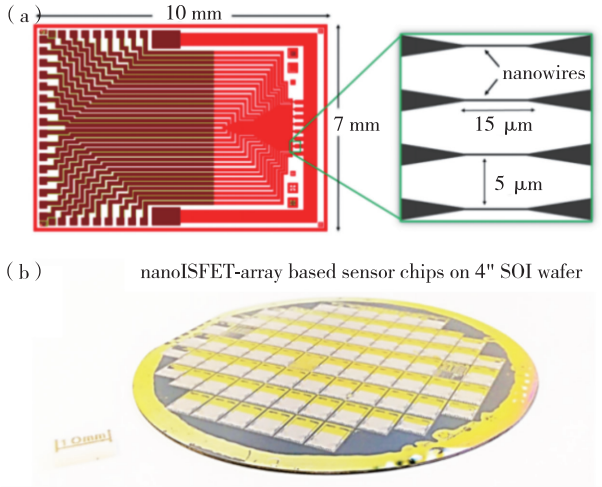
图 5　传感膜的制备与机理

2.1.2　基于 Si NW 的 ISFET 传感器

纳米线具有比表面积大、生物兼容性好、灵敏度高等特点，可用其制备高灵敏度的纳米线 ISFET 生物传感器，并用于蛋白质分子、DNA、抗原和抗体等生物标志物检测。其中，硅纳米线场效应晶体管（Si NW-FET）生物传感器与集成电路工艺相兼容，更容易实现微型化和商业化，因而日益受到重视[11-12,15]。其原理是 Si NW 与待测溶液界面发生电荷转移获得电信号，从而实现对生物信号的检测，具有响应快、灵敏度高、特异性强、无标记等优点。而且器件可以采用不同的 Si NW 制备工艺，以实现生物传感。

A. Tarasov 等人研究了覆盖 Si NW 表面的氧化铪（HfO_2）和氧化铝（Al_2O_3）薄膜对 ISFET 器件性能的影响[11]。基于 Si NW 的 ISFET 传感器如图 6 所示。该器件利用电子束光刻和干法刻蚀技术在绝缘体上 SOI 基底上制备了 Si NW，然后采用原子层沉积在 Si NW 上分别沉积了 10～20 nm 的 Al_2O_3 或 HfO_2 薄膜作为传感层。研究表明，Al_2O_3 薄膜的 Si NW 器件表现较好，亚阈值摆幅 *SS* 约为 100 mV/dec，具有 56 mV/pH 的 pH 敏感度，对离子强度没有显著依赖。研究还分析了其传感机理为：在检测时阴离子直接与羟基表面基团相互作用，取代原来吸附在表面的质子，从而改变表面电位。

D. Rani 等人采用高效率的纳米压印工艺方法来制备 Si NW 阵列 ISFET，以建立一个适用于无标签生物检测的、可靠和通用的平台[12]。该研究采用纳米压印光刻技术和各向异性湿化学刻蚀技术。在在 100 mm P 型绝缘体的 SOI 晶圆上刻蚀出 2 496 根纳米线，并形成 78 个基于 Si NW 阵列的传感器阵列。使用高温氧化工艺，在 Si NW 表面形成约 8 nm厚的 SiO_2 作为栅介质层，然后在表面进行硅烷化，最后使用微流控通道和器件结合。所制备的 Si NW ISFET 具有线性的 pH 响应，pH 敏感度为 43±3 mV/pH，片内误差约 7 %。



（a）芯片分布图　　（b）实物图

图 6　基于 Si NW 的 ISFET 传感器

Q. Z. Zhang 等人采用侧墙转移制备了 Si NW 和传感器阵列，实现高灵敏度、实时检测细胞膜表面 Ca^{2+} 的流动[13]，如图 7 和图 8 所示。

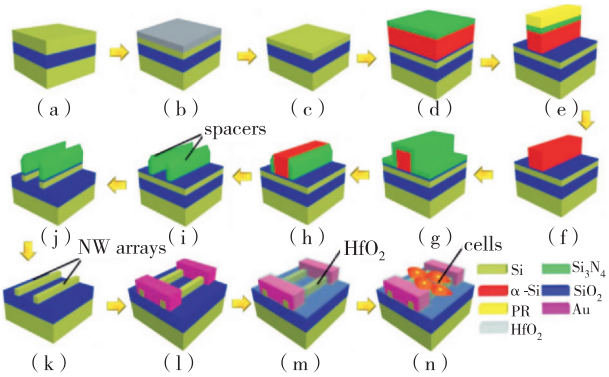
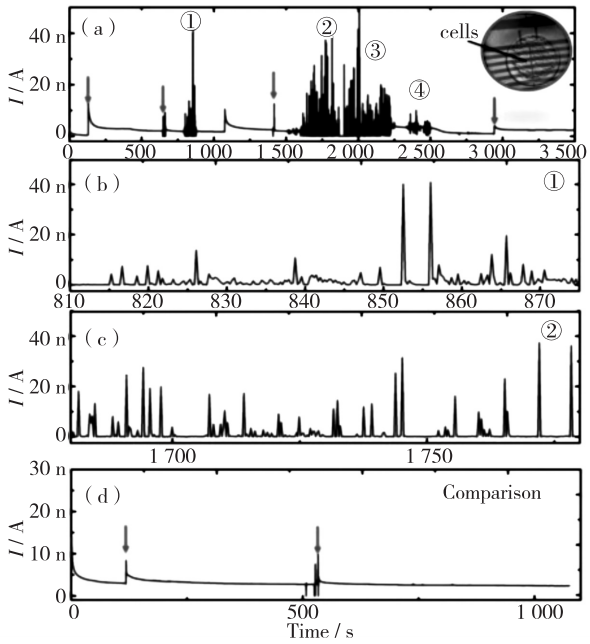


图 7　Si NW 阵列的制备流程图

图 8(a)中的红色箭头表示添加 Ca^{2+} 刺激物。采用侧墙转移的方式制备具有极小尺寸和较大比表面积的 Si NW 阵列，其高度约为 30 nm，宽度约为 25 nm。表面采用具有高介电常数的 HfO_2 作为敏感层，可提高检测的灵敏度，且该传感器具有良好的电学特性、均匀性和稳定性。研究将该器件用于间充质干细胞（MSCs）离子活动的实时监测。与对照组相比，在加入钙离子刺激物后，施加 MSCs 的器件电流增大并产生震荡。表明器件可以实时检测细胞

状态，这将有助于进一步进行细胞监测及其机制的研究。



(a) Si NW 传感器对细胞活动的长时间记录；
(b)、(c)电流振荡区域的放大图；(d)在没有间充质干细胞的缓冲液加入钙离子刺激物后的测试结果

图 8　基于 Si NW 生物传感器记录间充质干细胞离子活动信号

S. H. Lin 等人采用多步光刻(PL)制备了具有高灵敏度的 Si NW ISFET 生物传感器，用来检测低浓度尿酸[14]，克服了德拜屏蔽效应[15]。从尿酸的酶促反应中发现，催化生成的尿囊素和过氧化氢的量随着尿酸浓度的升高而增多，因此可以使用 Si NW ISFET 传感器来检测与尿酸浓度相关的 pH 值变化[16-17]。通过 PL 和刻蚀工艺形成 Si NW 和源漏电极，设计并采用微流控通道进行隔离和控制。所得传感器的平均 pH 灵敏度为 42 mV/pH，在尿酸浓度范围 3～8 mg/dL 内有较好的线性度和灵敏度，线性度 $R^2=0.99$，灵敏度为 60 mV/mM，响应时间小于 300 s，可检测浓度低至 2.4 mg/dL 的尿酸，基本覆盖人体血清中尿酸浓度(参考范围为 3.6～8.3 mg/dL)[18]，克服德拜屏蔽效应，为直接检测人体血清中的尿酸打下了基础。

2.2　基于延展栅结构型的 ISFET 传感器

传统栅结构的 ISFET 器件因其具有高灵敏度的特性得到广泛的研究和应用，但其主要缺点是在检测过程中，传感器敏感区域长时间暴露在水电解质中，会对较薄的表面介质薄膜产生化学腐蚀与损伤，导致传感器稳定性较差，噪声水平较高，甚至会造成结构损坏和寿命退化。为了克服这些缺点，研究者提出了稳定性更高的延展栅场效应晶体管(Extended-Gate Field-Effect Transistor，EGFET)器件。该器件主要由两个主要部分组成：传统的场效应晶体管器件(MOSFET)和通过导线与栅极连接的延展电极。该电极浸入到要检测的离子/分子的溶液中[19-21]。EGFET 的传感机制和 ISFET 几乎相同，但 EGFET 只有延展电极接触到溶液，晶体管不与液体直接接触，可避免晶体管的化学腐蚀与损伤。且对于多次检测，只需要对传感电极部分进行改变，更为自由和方便，研究者可以用于不同的传感应用场景。

传感层的电阻率是决定传感特性的关键因素之一[22]。TiO_2、Al_2O_3、SiO_2、Si_3NO_4 和 Ta_2O_5 等低电导率氧化物是用于制备传统栅结构 ISFET 传感层的材料，当其用于制备 EGFET 的传感层时，器件灵敏度非常低；而当器件使用高电导率氧化物作为传感层时，则会呈现出较高的灵敏度。P. D. Batista 等人将掺氟氧化锡膜(FTO)作为 EGFET 的传感层，用于溶液离子的传感检测[23]。采用喷雾热解法选择氟作为掺杂元素代替传统的铟[24]，在玻璃基板上制备了面积为 1×1 cm^2、平均厚度约为 15 μm的 FTO 薄膜，薄膜具有多晶结构，且表面具有一个粗糙的晶面。所得传感器在 pH 值范围为 2～12内的线性 pH 敏感度和电流灵敏度分别约为 50 mV/pH 和 51.73 μA/pH，具有较好的响应度。之后，许多研究者都将 FTO 和掺铟氧化锡膜(ITO)作为 EGFET 延展栅上第一层基底传感层，第二层再使用 TiO_2、Al_2O_3、ZnO、NiO 等低电阻率氧化物薄膜作为传感层，使所得传感器具有更加优异的传感特性。

J. C. Fernandes 等人采用喷雾热解沉积技术在 FTO 和 ITO 基底上制备了掺杂不同铝含量的 ZnO 薄膜，薄膜被用作 pH 传感器 EGFET 器件的敏感层[25]。研究发现，FTO 基板上的 ZnO 膜随着掺杂剂含量的增加，传感器质量下降；当基板为 ITO 时，传感器质量则上升。在 FTO 衬底上用作 pH 传感器的最佳薄膜为 ZnO：Al(3%)，其灵敏度为 29 mV/pH，线性度为 0.99。对于 ITO 底物，ZnO：Al(10%)的质量最好，灵敏度约为 30 mV/pH，线性度为 0.99。而 S. Palit 等人在柔性材料聚对苯二甲酸乙二醇酯(PET)上设计了一种使用铟-氧化锌(InZnxOy)传感膜的扩展栅场效应晶体管(EGFET)传感器来进行简单、无标签、高特异性的多巴胺检测[26]。研究使用简单的溶胶-凝胶法制成薄膜，所得 InZnxOy EGFET 传

感器的 pH 敏感度超 Nernst 极限为 61.53 mV/pH，在 25 ℃下，理论最大值限制为 59 mV/pH[27]。线性度为 0.995，小的回滞电压为 3 mV，在 pH=7 时漂移率为 3.52 mV/h。研究表明，传感薄膜氧化态的增强提高了离子交换过程中的质子交换速率，从而得到超 Nernst 响应的灵敏度。然后，研究者用合成的受体 4-羧基苯基硼酸功能化表面，测得的多巴胺灵敏度为 10.69 mV/log，在多巴胺浓度为 1 fM～1 nM 范围内线性度为 0.998，检出限为 0.523 fM，而且对多巴胺具有较好的选择性。此外，还对大鼠的血清和脑等真实样本进行多巴胺检测，结果非常精确，误差值＜0.4%，这为直接检测多巴胺等生物样本奠定了基础。

除了氧化锌以外，其他氧化物薄膜也得到了广泛关注。F. Lin 等人研究了基于 NiO 薄膜的 EGFET 制备工艺改进，并且用于 pH 传感[28]。采用沉淀法制备了氧化镍（NiO）纳米粒子，NiO 薄膜通过自旋涂层法沉积在 FTO 玻璃基板上。研究了不同沉淀剂 NaOH 和 NH_4OH、涂层数、煅烧温度等制备条件对 NiO 薄膜性能和器件 pH 值传感性能的影响。研究表明 NaOH 衍生的 NiO 器件具有更小的晶粒尺寸和更致密的 NiO 膜填充，因此具有更好的传感性能。研究得到最佳的成膜条件为：采用 NaOH 溶液沉淀，涂层数为 10，煅烧温度为 400 ℃。所制备的 EGFET 的 pH 值在 2～12 范围内，最高灵敏度为 53.40 mV/pH，线性度为 0.998 9，回滞电压为 6.3 mV，传感性能良好。

除了普通传感薄膜以外，多种纳米结构作为传感层也得到了广泛研究。P. Sharma 等人在 Si/SiO_2/Pt 基板上沉积了纳米结构氧化锌传感薄膜所制成的 EGFET 用于 pH 检测[29]。研究采用热氧化工艺，在硅上沉积厚度约 1 μm 以作为绝缘，然后用溅射法沉积厚度为 20/200 nm 的 Ti/Pt。将这层 Ti/Pt 作为底层电极，采用射频溅射法制备了厚度为 350 nm 左右、表面均匀的氧化锌纳米结构薄膜。所得器件的 pH 值在 4～12 范围内具有较为线性的敏感度，为 31.81 mV/pH。这为以硅作为基底的 EGFET 传感电极打下基础。

A. K. Mishra 等人使用 CuO 纳米线（NWs）传感电极的 EGFET 用于 pH 值和葡萄糖传感[30]。在氩气下利用逐渐升温退火的方式，将生长在 Cu 箔上的 $Cu(OH)_2$ 结晶化，转换成黑色的 CuO 纳米线。制备的 EGFET 具有良好的 pH 敏感度，约为 48.34 mV/pH，线性度高达 99.84%，在 2～12 h 内的 pH 值水平具有良好的稳定性，漂移率为 2.5 mV/h，回滞电压为 2.5 mV。此外，研究还首次在不借助任何酶或任何有机受体的情况下用于葡萄糖传感。研究发现，当金属氢氧化物与葡萄糖发生反应[31-32]时，葡萄糖发生氧化，金属氢氧化物（CuOOH）发生还原，产生一系列的产物，导致参考电压随着葡萄糖浓度的升高而升高。制备所得的葡萄糖传感器在浓度范围 1～12 mM 内存在良好的高线性灵敏度为 3.3 mV/mM，而且覆盖了人类血液的葡萄糖水平从 3.6 mM 到 6.6 mM，为葡萄糖在溶液和人体血液中的实际检测提供了新的方案。

2.3　新型延展栅 ISFET 传感器

传统 EGFET 由两个分离的部件组成，这会导致器件体积过大，在微型化和量产等方面受到极大限制。研究人员将传统栅 ISFET 和传统 EGFET 相结合，制得一种新型的 EGFET[33-34]。将传统栅极延展出去，再在延展栅上覆盖传感膜和选择性膜。新型的 EGFET 结合了两种结构的优势，与传统 EGFET 相比，具有 CMOS 工艺兼容性及集成度高、易实现规模量产、可避免化学腐蚀和损伤的优点。

Q. Zhang 等人用聚苯胺/二壬基萘磺酸（PANI/DNNSA）对离子敏感浮栅场效应晶体管（ISFGFET）的延展浮栅传感层（Al_2O_3）进行表面功能化，用来检测 pH 值和辣根过氧化物酶（HRP）催化反应中离子/氧化还原物质[33]。PANI/DNNSA ISFGFET 器件如图 9 所示。由于 PANI/DNNSA 层与水溶液界面的电位发生变化，导致浮栅显示不同电位，从而影响 MOS 管的阈值电压 V_T。研究发现，当 pH 值超过 7 时，DNNSA 层很容易发生脱掺杂，使得传感器表现出超 Nernst 响应，其灵敏度为 106 mV/pH。在检测酶催化反应时，V_T 在 5 min 内下降了 250 mV 以上，且电压漂移小于 20 mV，为在 CMOS 兼容的生物检测平台上进行超灵敏免疫传感奠定了基础。

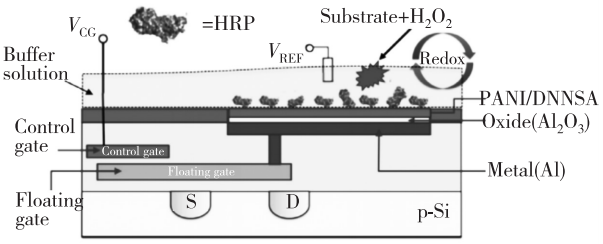
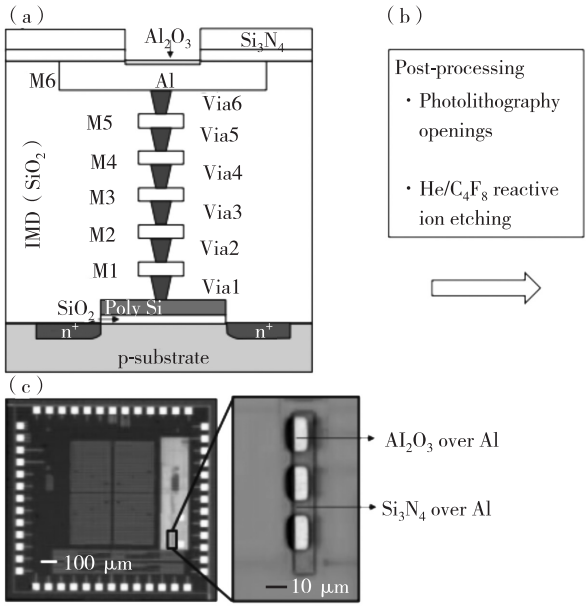


图 9　PANI/DNNSA ISFGFET 器件的示意图

J. R. Zhang 等人研究了一种三维扩展金属栅离子敏场效应晶体管（3D-EMG-ISFETs）用于检测 pH 值和多离子（Na^+，K^+，Ca^{2+}）[34]，如图 10 所示。

其中，图 10(c)的放大图显示了用于传感的顶部金属层 Al 及其天然形成的 Al_2O_3 层的开口。MOSFET 的栅极三维的垂直扩展到顶部金属层，将堆叠的通孔 Vias 和 SiO_2 覆盖的金属层作为金属层间介质 ILD，使用反应离子蚀刻处理，用来打开位于顶部金属之上的钝化层（SiN_4 和 SiO_2）[35]，暴露在外的顶部金属 Al 被氧化形成薄的 Al_2O_3 用作传感层。器件采用离子选择膜（ISM）实现功能化，其中 ISM 是一种化学传感功能化方法，通过在 PVC 基膜中嵌入一种特殊的离子受体离子团，来实现相应离子选择性。研究所制备器件显示出良好传感性能，pH 敏感度为 56.8 mV/pH，I_{on}/I_{off} 为 10^6，亚阈值摆幅为 85.3 mV/dec，对 Na^+ 敏感性为－58 mV/dec，对 K^+ 敏感性为－49.5 mV/dec，对 Ca^{2+} 敏感性为－21.9 mV/dec，交叉敏感性良好。而且每个 ISFET 器件都在各种盐缓冲溶液中进行检测，响应速度快，小于 5 s，重复性好，选择性高，V_T 漂移率仅 0.67 mV/h，漂移率比其他最先进的 CMOS ISFET 降低了一个数量级。



(a) 3D-EMG-ISFET 的截面示意图(b) 主要工艺步骤
(c) 芯片的光学图像

图 10　3D-EMG-ISFETs

3　结　论

本文综述了基于 ISFET 的生物传感器的工作原理，根据器件结构不同将 ISFET 分为基于传统栅结构的 ISFET 和基于延展栅结构型的 ISFET，分析了两种器件结构的特性。其中传统栅的 ISFET 具有灵敏度高、易于微型化和能与 CMOS 工艺兼容的特点，但因栅介质薄膜较薄导致器件稳定性较差、寿命退化；传统 EGFET 稳定性较好，可避免晶体管的化学腐蚀与损伤，但因由两个分离部分组成导致体积过大，难于微型化和量产。新型的 EGFET 性能结合两者的优点，与传统 EGFET 相比，能与 CMOS 工艺兼容，集成度高，容易实现规模量产，还可避免晶体管化学腐蚀和损伤。对未来实现更快速、高灵敏、无标记、稳定、微型化、可量产的 ISFET 生物传感器具有重要意义。

参 考 文 献：

[1] BERGVELD P. Development of an ion-sensitive solid-state device for neurophysiological measurements [J]. IEEE Trans Biomed Engineer, 1970, 17(1): 70-71.

[2] CARAS S, JANATA J. Field effect transistor sensitive to penicillin [J]. Analytic Chem, 1980, 52(12): 1935-1937.

[3] NOVOSELOV K S, GEIM A K, MOROZOV S V, et al. Electric field effect in atomically thin carbon films [J]. Science, 2004, 306(5696): 666-669.

[4] NOVOSELOV K S, JIANG D, SCHEDIN F, et al. Two-dimensional atomic crystals [J]. Proc Natl Acad Sci USA, 2005, 102(30): 10451-10453.

[5] PARK S J, KWON O S, LEE S H, et al. Ultrasensitive flexible graphene based field-effect transistor (FET)-type bioelectronic nose [J]. Nano Lett, 2012, 12(10): 5082-5090.

[6] LIU Y, DONG X, CHEN P. Biological and chemical sensors based on graphene materials [J]. Chem Soc Rev, 2012, 41(6): 2283-2307.

[7] KATOCH J, KIM S N, KUANG Z, et al. Structure of a peptide adsorbed on graphene and graphite [J]. Nano Lett, 2012, 12(5):2342-2346.

[8] FU W, NEF C, TARASOV A, et al. High mobility graphene ion-sensitive field-effect transistors by noncovalent functionalization [J]. Nanoscale, 2013, 5(24): 12104-12110.

[9] KIM J, WANG L, BOUROUINA T, et al. Ion sensitive field effect transistor based on graphene and ionophore hybrid membrane for phosphate detection [J]. Microsyst Tech, 2019, 25(9): 3357-3364.

[10] KIM J, LIU Q, CUI T. Solution-gated ion-sensitive field effect transistor with polymer selective membrane for nitrate detection [C] // ASME 2018 Int Mech Engineer Cong Expo. Pittsburgh, USA. 2018: 87918.

[11] TARASOV A, WIPF M, STOOP R L, et al. Understanding the electrolyte background for

biochemical sensing with ion-sensitive field-effect transistors [J]. ACS Nano, 2012, 6(10): 9291-9298.

[12] RANI D, PACHAURI V, MUELLER A, et al. On the use of scalable NanoISFET arrays of silicon with highly reproducible sensor performance for biosensor applications [J]. ACS Omega, 2016, 1(1): 84-92.

[13] ZHANG Q, TU H, YIN H, et al. Si nanowire biosensors using a FinFET fabrication process for real time monitoring cellular ion actitivies [C] // IEEE IEDM. San Francisco, USA. 2018.

[14] LIN S, WANG J, LIN Y, et al. Label free detection of uric acid using si nanowire pH sensor [J]. IOP Conf Ser Mater Sci Engineer, 2020, 768: 022001.

[15] STERN E, VACIC A, LI C, et al. A nanoelectronic-enzyme linked immunosorbent assay (ne-ELISA) for detection of proteins in physiological solutions [J]. Small, 2010, 6(2): 232-238.

[16] LIAO C W, CHOU J C, SUN T P, et al. Preliminary investigations on a new disposable potentiometric biosensor for uric acid [J]. IEEE Trans Biomed Engineer, 2006, 53(7): 1401-1408.

[17] LUO X L, XU J J, ZHAO W, et al. A novel glucose ENFET based on the special reactivity of MnO_2 nanoparticles [J]. Biosens Bioelec, 2004, 19(10): 1295-1300.

[18] HEINIG M, JOHNSON R J. Role of uric acid in hypertension, renal disease, and metabolic syndrome [J]. Cleve Clin J Med, 2007, 73(12): 1059-1064.

[19] ALAM A U, QIN Y, NAMBIAR S, et al. Polymers and organic materials-based pH sensors for healthcare applications [J]. Progress Mater Sci, 2018, 96(3): 174-216.

[20] CHEN J C, CHOU J C, SUN T P, et al. Portable urea biosensor based on the extended-gate field effect transistor [J]. Sens Actuators B Chem, 2003, 91(1-3): 180-186.

[21] ROTHBERG J M, HINZ W, REARICK T M, et al. An integrated semiconductor device enabling non-optical genome sequencing [J]. Nature, 2011, 475(7356): 348-352.

[22] PANC W, CHOU J C, SUN T P, et al. Development of the tin oxide pH electrode by the sputtering method [J]. Sens Actuators B Chem, 2005, 108(1-2): 863-869.

[23] BATISTA P D, MULATO M. Polycrystalline fluorine-doped tin oxide as sensoring thin film in EGFET pH sensor [J]. J Mater Sci, 2010, 45(20): 5478-5481.

[24] ELANGOVAN E, RAMAMURTHI K. Optoelectronic properties of spray deposited SnO_2: F thin films for window materials in solar cells [J]. Optoelec Advan Mater-Rapid Commun, 2003, 5(1).

[25] FERNANDES J C, MULATO M. ZnO thin films applied as pH sensor in EGFET devices [J]. Mater Res Soc Symp Proc, 2015, 1805: mrss15-2136685.

[26] PALIT S, SINGH K, LOU B S, et al. Ultrasensitive dopamine detection of indium-zinc oxide on PET flexible based extended-gate field-effect transistor [J]. Sens Actuators B Chem, 2020, 310: 127850.1-127850.9.

[27] CHEN S, BOMER J G, CARLEN E T, et al. Al_2O_3/silicon NanoISFET with near ideal nernstian response [J]. Nano Lett, 2011, 11(6): 2334-2341.

[28] LIN F, CHANG H Y, HSIAO S H, et al. Preparation and characterization of nickel oxide-based EGFET pH sensors [C] // 9th IEEE ICST. Auckland, New Zealand. 2016: 402-405.

[29] SHARMA P, BHATI V S, KUMAR M, et al. Development of ZnO nanostructure film for pH sensing application [J]. Appl Phys A, 2020, 126(4): 1-7.

[30] MISHRA A K, JARWAL D K, MUKHERJEE B, et al. CuO nanowire-based extended-gate field-effect-transistor (FET) for pH sensing and enzyme-free/receptor-free glucose sensing applications [J]. IEEE Sens J, 2020, 20(9): 5039-5047.

[31] WANG B, WU X L, SHU C Y, et al. Synthesis of CuO/graphene nanocomposite as a high-performance anode material for lithium-ion batteries [J]. J Mater Chem, 2010, 20(47): 10661-10664.

[32] DHARA K, THIAGARAJAN R, NAIR B G, et al. Highly sensitive and wide-range nonenzymatic disposable glucose sensor based on a screen printed carbon electrode modified with reduced grapHene oxide and Pd-CuO nanoparticles [J]. Microchim Acta, 2015, 182(13-14): 2183-2192.

[33] ZHANG Q, KAISTI M, PRABHU A, et al. Polyaniline-functionalized ion-sensitive floating-gate FETs for the on-chip monitoring of peroxidase-catalyzed redox reactions [J]. Electrochimica Acta, 2017, 261: 256-264.

[34] ZHANG J R, RUPAKULA M, BELLANDO F, et al. All CMOS integrated 3D-extended metal gate ISFETs for pH and multi-ion (Na^+, K^+, Ca^{2+}) sensing [C] // IEEE IEDM. San Francisco, CA, USA. 2018: 12.1.1-12.1.4.

[35] BERGVELD P. Thirty years of ISFETOLOGY: What happened in the past 30 years and what may happen in the next 30 years [J]. Sens Actuators B Chemical, 2003, 88(1): 1-20.

重庆市集成电路产业创新链关键要素研究

冯 梅[1]，张 磊[1]，廖 敏[1]，李军锋[1]，杨 虹[2]，王 斌[2]
（1. 重庆生产力促进中心，重庆 401147；2. 重庆邮电大学 光电工程学院，重庆 400065）

摘 要： 集成电路(IC)产业是信息技术产业的核心，也是重庆以“芯屏器核网”为核心的电子信息产业支柱产业。重庆市以创新为引领加速产业转型，聚焦 IC 产业的创新发展，迫切需要产业链与创新链的高效协同。文章将 IC 产业链分为 IC 设计、芯片制造、芯片封装、成品测试四个核心环节，围绕科技人才、科研机构、研发平台、科技成果、科技企业、科研项目六个创新链关键要素进行了系统性分析。在重庆市 IC 产业现状的基础上，提炼了创新链中仍然面临的问题，提出了进一步强化产业创新链的建议。

关键词： 集成电路；产业创新链；协同创新
中图分类号：TN43 **文献标志码：**A **文章编号：**1004-3365(2020)06-0868-07
DOI：10.13911/j.cnki.1004-3365.200331

Research on the Key Elements of IC Industry Innovation Chain in Chongqing

FENG Mei[1], ZHANG Lei[1], LIAO Min[1], LI Junfeng[1], YANG Hong[2], WANG Bin[2]
(1. *Chongqing Productivity Promotion Center*, *Chongqing* 401147, *P. R. China*;
2. *College of Optoelectronic Engineering*, *Chongqing Univ. of Posts and Telecommunications*, *Chongqing* 400065, *P. R. China*)

Abstract: The IC industry is the core of the information technology industry, and also one of support industries of the electronic information industry with the core of "chip, screen, intelligent device, core component, internet of things" in Chongqing. Chongqing has accelerated industrial transformation, and focuses on the innovative development of IC industry, so it urgently needs the efficient cooperation between industrial chain and innovation chain. In this paper, the IC industry chain was divided into four core links, such as IC design, chip manufacturing, chip packaging and finished product testing. The six key elements of the innovation chain including scientific and technological talents, scientific research institutions, R & D platforms, Sci & Tech achievements, Sci & Tech enterprises and Sci & Tech projects were systematically analyzed. Based on the current situation of Chongqing IC industry, the problems still faced in the layout innovation chain were proposed, and the suggestions for further strengthening industrial innovation chain were put forward.

Key words: integrated circuit; industrial-innovation chain; collaborative innovation

收稿日期：2020-07-21；**定稿日期：**2020-09-21
基金项目：重庆市科技计划项目(cstc2018jxjl120006)；重庆市高等教育教学改革研究重大项目(191045)
作者简介：冯 梅(1986—)，女(汉族)，重庆大足人，硕士，助理研究员，主要从事产业创新链、产业技术预见、科技创新政策研究工作。
李军锋(1975—)，男(汉族)，河南林州人，博士，研究员，主要从事科技管理、科技政策、科技发展战略研究工作。通信作者。

0　引　言

当今世界正面临百年未有之大变局，我国发展的内部条件和外部环境正在发生深刻、复杂的变化[1]。新一轮科技革命和产业变革正在全球兴起。IC 产业正是具有国家战略性、基础性和先导性的产业，也是重庆市大数据智能化发展的基础产业。2017 年，我国 IC 产品销售收入增长 23.5%，达到 5 000亿元，在产业链总产值中，IC 设计业占比 38%，芯片制造业占比 27%，封装业占比 35%。，我国 IC 产品进口额中，2017 年达 2 601 亿美元，2019 年达 3 041 亿美元，占全球总高市场额的 73.8%。因此，我国 IC 产品的进口依赖局面依然没有改变[2-3]。

随着芯片制造工艺不断进步、晶圆尺寸不断扩大，IC 产业在经历了多次产业结构调整之后，形成了以 IC 设计、芯片制造、芯片封装和成品测试为产业链核心环节的垂直分工模式[4-5]。2019 年，我国芯片设计业的销售额为 2 930.2 亿元，其中的 99% 以上由本国企业贡献；芯片制造业的销售额为 2 110.4亿元，其中的 50%由外资、台资在华企业贡献；封测业的销售额为 2 550.7 亿元，其中的 30%由外资、台资在华企业贡献。从这些数据可以看出，我国的 IC 设计业已实现本地化，芯片制造业和封装业还未实现本地化[6]。

1　发展概况

1.1　产业发展现状

重庆是西部开放开发战略支撑区域和长江经济带西部中心枢纽，以“芯屏器核网”为核心的电子信息正在成为重庆支柱产业。IC 产业作为电子信息产业中的芯片制造业核心，其产业支撑与引领的作用非常重要。

重庆是 IC 产业发展最早的城市之一。1972 年 6 月，地处永川的中国电子科技集团公司第二十四研究所研制出我国第一块 PMOS 大规模 IC。随着大数据智能化发展战略的深入实施，政府与社会各界对 IC 产业给予了大量政策和资金支持。在 IC 设计方面，重庆中科芯亿达电子有限公司、重庆西南集成电路设计有限公司在模拟 IC、数模混合 IC 设计方面具有良好的科技实力，锐弗瑞思科公司、迪科公司在通信、数据传输 IC 设计方面具有良好的科技实力。在芯片制造方面，重庆拥有中电科技集团公司 6 英寸军民融合芯片生产线、华润公司微电子 8 英寸功率/模拟芯片生产线、万国半导体公司 12 英寸电源管理芯片生产线及封装线。在封装方面，SK 海力士公司建有全球最大的封装测试基地，平伟实业公司、嘉凌新科技公司在功率器件封装方面具有良好的科技实力[7-9]。

为持续提升 IC 产业的技术创新水平、培育经济发展新动能和推动经济高质量发展，重庆相继出台了《重庆市加快集成电路产业发展若干政策》、《重庆市集成电路技术创新实施方案(2018-2022 年)》。预计到 2022 年，重庆市的集成电路销售收入将突破 1 000 亿元，使重庆成为“中国集成电路创新高地”。

1.2　技术发展现状

目前，重庆的 IC 产业技术与北京、上海、深圳等领先地区仍有一些差距。近年来，随着产业创新能力的持续提高，IC 产业链中各环节的技术水平均得到了显著提升。在 IC 设计方面，重邮信科公司的 TD-HSPA、TD-HSPA＋技术处于行业领先水平，重庆西南集成电路设计有限公司的射频 IC 技术处于行业领先水平。在芯片封装方面，SK 海力士的 FLTP CHIP、TSV 技术已经实用化，四联公司的光电大尺寸晶片制备技术已达到世界领先水平。2016 年，奥特斯半导体封装载板工厂建成投产，普莱克斯、林德等化学材料企业落户重庆，这些先进企业的发展促进了重庆 IC 链的技术体系日趋完善[10]。

2　创新链分析

IC 产业链可分为上游 IC 设计、中游芯片制造、下游芯片封装和成品测试四个环节[11]。创新链的构建既需要产业链布局，又需要创新要素集聚，使创新成果通过市场机制进入产业链的上下游而形成一条完整的创新链，最终实现产业化[12-14]。本文从科技人才、科研机构、研发平台、科技成果、科技企业、科研项目等六个创新链关键要素出发，围绕 IC 设计、芯片制造、芯片封装、成品测试四个产业链环节，分析了 IC 产业创新链的构建现状，分析了发展过程中面临的主要问题，提出了相应对策与建议。数据资料的主要来源于重庆市科技信息管理系统(2019 年)、《重庆科技统计年鉴》和相关部门的统计数据。

2.1 科技人才

2.1.1 总体情况

重庆 IC 类产业的总从业人员超过 2 万人，其中，研发人员为 0.4 万人，占比 20%。200 人研发人员以上的企业有惠科金渝、莱宝科技、奥特斯、惠科金扬、金籁科技等 5 家公司。如，惠科金渝有研发人员 528 人、高层次科技人才 2 名，研发人员占比 25.9%。该公司通过自主芯片开发，研发了用于高清、超高清液晶电视、监视器、笔记本液晶显示器的驱动芯片，主营业务收入达 56.5 亿元，净利润达 3.7 亿元。

2.1.2 高层次人才

重庆 IC 产业拥有高层次科技人才 38 名，高校、科研院所、企业分别占比 39.5%、15.8%、44.7%。国家杰出青年科学基金获得者、国家“千人计划”、国家“万人计划”专家分别为 13 名、10 名、7 名，分别占比 34.2%、26.3%与 18.4%。享受国务院政府特殊津贴人员为 3 名，“鸿雁计划”人选为 2 名，分别占比 7.9%、5.3%。中国工程院院士、“973”首席科学家、“863”首席科学家各 1 名，均占比 2.6%。重庆高层次人才分布情况如表 1 所示。

表 1 重庆 IC 高层次人才分布情况

类型	高校	科研院所	企业	合计
中国工程院院士/名	1	0	0	1
国家“万人计划”/名	2	1	4	7
国家“千人计划”/名	4	3	3	10
“973”首席科学家/名	1	0	0	1
“863”首席科学家/名	1	0	0	1
国家杰出青年科学基金获得者/名	6	2	5	13
享受国务院政府特殊津贴人员/名	0	0	3	3
“鸿雁计划”人选/名	0	0	2	2

可以看出，高层次人才的分布相对分散，38 名高层次人才主要分布于 27 家科研实力较强的单位。其中，重庆大学、重庆邮电大学拥有的高层次人才分别为 6 名、5 名，分别占比 15.8%、13.2%。航天工业公司、惠科金渝公司的高层次人才各 2 名。重庆电子工程职业学院、西北工业大学重庆科创中心、重庆光电信息研究院等 23 家单位的高层次人才各 1 名。

2.1.3 分布情况

成品测试与芯片制造企业的研发人员数较多，分别占比 74.8%、20.4%；IC 设计、芯片封装企业的研发人员数较少，分别占比 2.6%、2.3%。企业拥有的高层次科技人才为 17 名，其中，从事 IC 设计的科技人才数为 10 名，占比 58.8%。重庆 IC 企业研发人员分布情况如表 2 所示。

表 2 重庆 IC 企业研发人员分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
从业人员数/名	533	4 533	407	14 678
研发人员数/名	100	798	89	2 923
高层次科技人才数/名	10	3	0	4

2.2 科研机构

2.2.1 总体情况

重庆 IC 产业有各类科研机构 31 家，包括高校、科研院所、新型研发机构。其中，新型研发机构数最多，有 20 家，占比 64.5%，高校有 6 家，占比 19.4%，科研院所有 5 家，占比 16.1%。自 2019 年，引进了西北工业大学重庆科创中心、北京理工大学重庆创新中心、英特尔公司 FPGA 中国创新中心、中科院计算所西部高等四所技术研究院，主要从事 IC 设计研究。重庆智能机器人研究院主要从事成品测试研究。这些研究院快速提升了重庆 IC 产业的创新能力。

近年来，新型研发机构的增加速度较快，有效弥补了重庆 IC 产业高端研发资源的不足。处于领先地位的浪尖智能、平伟伏特、星际智能、北斗研究院、恒睿智能、重邮汇测等 20 家新型研发机构，对重庆 IC 产业创新链形成了有力支撑。

2.2.2 分布情况

研究成品测试的科研机构数量最多，有 15 家，占比 48.4%。从事 IC 设计的科研机构有 8 家，占比 25.8%。芯片制造、芯片封装的科研机构各有 4 家，均占比 12.9%。重庆 IC 科研机构分布情况如表 3 所示。

从事 IC 设计的科研机构有重庆科技学院、赛宝工业技术研究院等，从事芯片制造的科研机构有重庆大学、中国电子科技集团公司第二十四研究所等，从事芯片封装的机构有重庆邮电大学、中科院重庆绿色智能技术研究院等，从事成品测试的机构有平

伟实业公司伏特 IC 封测应用产业研究院、星际智能装备技术研究院等。

表 3　重庆 IC 科研机构分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
高校/家	1	2	2	1
科研院所/家	2	2	1	0
新型研发机构/家	5	0	1	14
合计/家	8	4	4	15

2.3　研发平台

2.3.1　总体情况

研发平台有 40 个。其中，国家级研发平台为 4 个，市级研发平台为 36 个，分别占比 10%、90%。国家级平台包括重点实验室 1 个、企业技术中心 2 个、工程研究中心 1 个。市级平台包括重点实验室 8 个、工程技术研究中心 21 个、院士专家工作站 3 个、博士后科研流动(工作)站 3 个、海外高层次人才创业基地 1 个。重庆 IC 产业市级研发平台类型如图 1 所示。

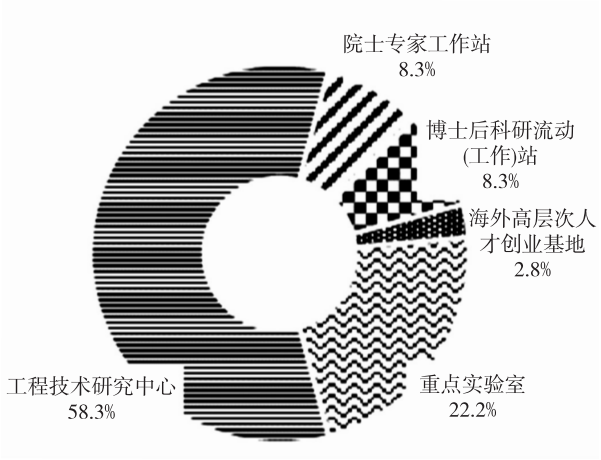


图 1　重庆 IC 产业市级研发平台类型

近年来，重庆不断提高研发平台数量增量、盘活存量，取得了良好效果，已拥有模拟集成电路国家重点实验室、新型微纳器件与系统国防重点学科实验室、国家功率半导体封测高新技术产业化基地、重庆平伟实业公司国家企业技术中心等科研平台。这些科研平台有效支撑了 IC 产业创新链的可持续发展。

2.3.2　分布情况

IC 研发平台主要分布在产业链两端，即 IC 设计和成品测试环节，分别占比 65%、27.5%。从事 IC 设计的研发平台有模拟集成电路国家重点实验室、重庆金山科技(集团)有限公司技术中心、非线性电路与智能信息处理实验室等 26 个。从事成品测试的研发平台有重庆市轨道交通信息系统集成工程技术研究中心、重庆市嵌入式软件测评工程技术研究中心、北斗射频 RFIC 研发中心等 11 个。从事芯片制造、封装的研发平台数量较少，分别占比 2.5%、5%。国家级平台与市级平台的类型略有差别。国家级平台主研 IC 设计，占国家级平台总数的 75%，市级平台主研 IC 设计、成品测试，分别占市级平台总数的 63.9%、30.6%。重庆 IC 产业研发平台分布情况如表 4 所示。

表 4　重庆 IC 产业研发平台分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
国家级平台/个	3	1	0	0
市级平台/个	23	0	2	11
合计/个	26	1	2	11

2.4　科技成果

2.4.1　总体情况

重庆 IC 产业的专利授权总数为 714 件，主要为发明专利和实用新型专利，分别有 358 件、348 件，分别占比 50.1% 与 48.7%，外观设计专利占比 1.1%。中国电子科技集团公司第二十四研究所、中国电子科技集团公司第二十六研究所、中国电子科技集团公司第四十四研究所、平伟实业公司、中航微电子公司共获得授权专利 422 件，占 IC 专利授权总数的 59.1%。

2.4.2　分布情况

芯片制造类的专利数最多，有 430 件，占比 60.2%。IC 设计类的专利数有 215 件，占比 30.1%。芯片封装、成品测试类的专利数较少，分别有 31、38 件，分别占比 4.3%、5.3%。综合数据表明，IC 产业链前端中 IC 设计、芯片制造类的授权专利数较多，占专利授权总数的 90.3%。重庆 IC 产业专利分布情况如表 5 所示。

表 5　重庆 IC 产业专利分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
发明专利/件	140	187	12	19
实用新型专利/件	75	243	14	16
外观设计专利/件	0	0	5	3
合计/件	215	430	31	38

2.5 科技企业

2.5.1 总体情况

重庆科技 IC 企业有 101 家，主城各区有 51 家，占比 50.5%。主营业务收入 2 000 万元以上的企业有 25 家，占比 24.8%。高新技术企业有 32 家，占比 31.7%。

这些科技 IC 企业重视研究开发工作，有 73 家开展了各种形式的研发活动，占企业总数的 72.3%。研发投入总额为 13.6 亿元，占主营业务收入的 6.3%。获得专利等研发成果的企业有 52 家，占企业总数的 51.5%。从研发投入与产出来看，企业研发的成功率为 71.2%。研发投入排名前 5 的企业分别是惠科金渝、惠科金扬、莱宝科技、西南集成电路设计、华润微电子等公司。这 5 家企业的研发投入总额为 6.8 亿元，占 IC 企业研发投入总额的 50.1%。

2.5.2 分布情况

IC 科技企业中，从事成品测试的企业有 79 家，占比高达 78.2%。从事芯片制造、芯片封装、IC 设计的企业较少，分别有 11 家、6 家、5 家，合计占比 21.8%。从事 IC 设计的企业有西南集成电路设计、紫光展锐、锐迪科、原璟科技、渝芯微、中科芯亿达、物奇科技、伟特森电子、雅特力科技、弗瑞思科、烈达半导体等公司，这些公司的产品广泛应用于物联网、通信、射频、微控制器、功率、驱动、数据传输等领域。从事原材料生产的企业有奥特斯、超硅半导体等公司，拥有奥特斯半导体封装载板、超硅大尺寸硅片生产线，这些公司在大尺寸硅片、封装载板等领域处于国内领先水平。从事封装测试的企业有 SK 海力士、平伟实业、嘉凌新科技等公司，拥有存储芯片、功率器件的封装测试线[15]。

2.6 科研项目

2.6.1 资助项目类型

2017～2018 年，重庆 IC 产业共获得立项的科研项目有 278 项，获得财政资助为 5.2 亿元。项目类别主要为基础研究与前沿探索、技术创新与应用发展、科技人才专项、科技研发平台专项 4 大类。其中，基础研究与前沿探索类的项目数最多，有 142 项，占比 51.1%，技术创新与应用发展类的项目有 116 项，占比 41.7%。

2.6.2 分布情况

IC 科研项目主要分布于产业链的两端，成品测试类的科研项目数最多，有 147 项，占比 52.9%。IC 设计类的科研项目数有 95 项，占比 34.2%。芯片封装类的科研项目数有 33 项，占比 11.9%。芯片制造类的项目数仅有 3 项，占比 1.1%。重庆 IC 产业科研项目分布情况如表 6 所示。

科研项目获得的资助共计 5.2 亿元。成品测试类的科研项目经费最多，共计 3.3 亿元，占比 62.6%。芯片类的科研项目经费为 1.5 亿元，占比 28.1%。IC 设计、芯片制造类的科研项目经费分别为 0.4、0.1 亿元，分别占比 7.2%、2.1%。重庆 IC 产业科研项目经费分布情况如表 7 所示。

表 6 重庆 IC 产业科研项目分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
基础研究与前沿探索/项	81	0	3	58
技术创新与应用发展/项	11	3	29	73
科技人才专项/项	2	0	0	3
科技研发平台专项/项	1	0	1	13
合计/项	95	3	33	147

表 7 重庆 IC 产业科研项目经费分布情况

类型	IC 设计	芯片制造	芯片封装	成品测试
基础研究与前沿探索/万元	720	0	20	520
技术创新与应用发展/万元	1 898	1 110	13 570	22 630
科技人才专项/万元	100	0	0	150
科技研发平台专项/万元	1 000	0	1 000	9 200

3 结果与存在的问题

通过对科技人才、科研机构、研发平台、科技成果、科技企业、科研项目六个创新链关键要素在 IC 设计、芯片制造、芯片封装、成品测试四个环节中的布局研究发现，重庆市 IC 产业创新链仍然存在高层次人才匮乏、科研机构总量不足、高水平研发平台稀

缺等问题，亟需补链、强链，以促进重庆 IC 产业的创新发展。重庆 IC 产业创新要素的分布情况如图 2 所示。

重庆市 IC 产业的创新链仍然面临的问题如下：

1）研发人员数量较少，分布不均衡，高层次人才匮乏。IC 研发人员数量较少，主要集中于成品测试类，IC 研发的高层次人才极度匮乏。这将严重影响创新链的高速发展及提档升级。

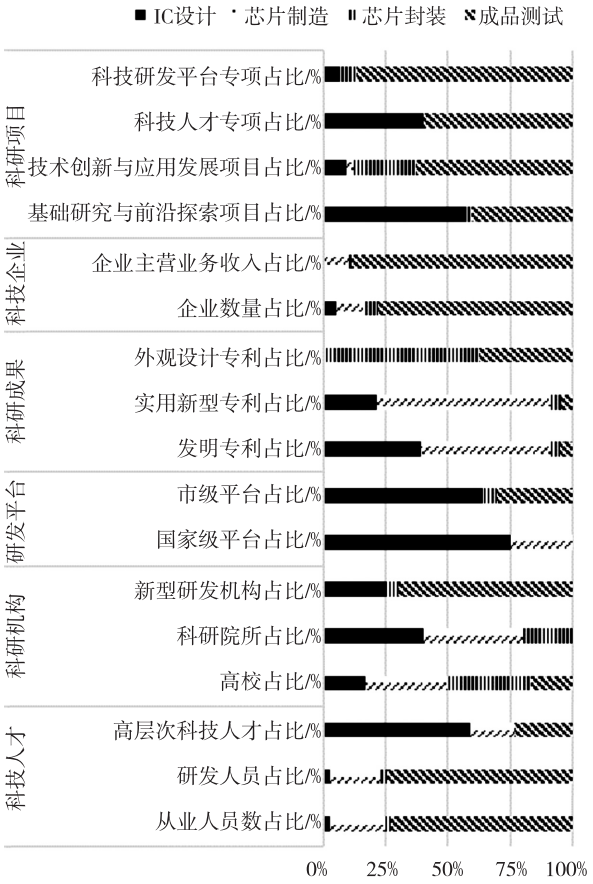


图 2　重庆市 IC 产业创新要素的分布情况

2）科研机构总量不足，新型研发机构尚未完成产业链布局。高校、科研院所的分布虽较为均衡，但总体数量少。新型研发机构主要集中于成品测试类，其他领域分布较少。

3）高水平的研发平台数较少，技术布局较为单一。重庆市共拥有 40 个研发平台，国家级研发平台仅有 4 个。IC 设计、成品测试类平台占比 92.5%，而芯片制造、芯片封装类平台仅占比 7.5%。这些创新链的发展不均衡。

4）IC 专利主要集中于科研院所，中小企业的专利数较少。数据显示，中国电子科技集团公司第二十四研究所等 5 家单位拥有的授权专利占比高达 59.1%，主要为 IC 设计、芯片制造类专利，芯片封装、成品测试类的专利数较少。这些创新成果尚未实现对产业链上下游的全面支撑。

5）科技企业主要集中于产业链后端即芯片封装、成品测试类，中小企业的研发投入较低。IC 企业主营业务收入为 191.9 亿元，研发投入不到 15 亿元。排名前 5 企业的研发投入占比高达 50.1%。

6）科研项目数较多，但研发方向较为单一。科研项目主要集中于 IC 设计、成品测试类，共占比 87.1%。资助经费主要集中于芯片封装、成品测试类，共占比 89.9%。芯片制造类的科研项目数和资助经费均较少。

4　建　议

IC 产业的创新发展对创新链各要素提出了更高需求。针对重庆 IC 创新链各要素存在的问题，提出了如下建议：

1）加强 IC 人才的引进培养。建立健全由高校、职业培训机构和企业相结合的 IC 人才培训体系。加强重庆大学、重庆邮电大学、重庆科技学院、重庆理工大学等高校与国家 IC 师资国际（重庆）培训中心的联合培养计划，重点培养复合型 IC 人才。加大人才引进力度，拓宽优秀人才引进渠道，制定激发人才创造才能的奖励政策，制定人才股权、期权激励和收益分配机制，让人才留得住、用得好[16]。

2）加快集聚 IC 研发的高层次科研机构。重点支持国内外一流科研院所、知名高校和 IC 知名企业来渝，设立或共建分支机构、研发中心。积极与中国科学院、中国工程院、清华大学、北京大学、华中科技大学、电子科技大学等科研院所、高校进行合作，引进或共建一批 IC 研发的高层次科研机构。

3）构建 IC 研究的多层次创新平台。支持骨干企业与国内外 IC 知名高校、科研院所合作，建立重点实验室、技术创新中心、工程研究中心和科技成果转化平台，构建多元化的 IC 科技创新平台。支持创新平台与产业链上下游企业开展多方合作，推进先进技术的产业化应用。

4）注重 IC 专利布局、标准体系的建设。遵循 IC 产业特点，引导企业加大创新投入。加强对 IC 知识产权的及时跟踪、分析和有效利用，进行有效的专利分析、专利预警。加强 IC 设计、大数据、人工智能、区块链、云计算等新兴领域的 IC 专利布局，形成

一批有价值的 IC 核心专利。

5）集聚有创新能力的 IC 科技企业。以 IC 设计为主，培育、引进一批龙头 IC 设计企业，形成射频 IC、模拟和数模混合 IC、功率 IC 等领域的先进 IC 企业。打造单一集成器件制造（IDM）与晶圆代工并存的运营模式，提高 IC 的制造能力。不断培育、壮大本地封装企业，扶持测试检验企业。

6）以科研重大专项带动 IC 技术的研发创新。布局和实施 IC 科研重大专项，带动企业、高校、科研院所等加大研发投入，形成“政产学研用投”的协同创新。通过支持 IC 骨干企业参与国家、省、市重点研发项目的研发，实现 IC 技术的不断研发创新。

参 考 文 献：

[1] 李国敏. 新时代中国企业海外拓展的战略风险 [D]. 北京：中共中央党校，2019.

[2] 吴敏琳. 中国集成电路产业国际竞争力研究 [D]. 北京：商务部国际贸易经济合作研究院，2019.

[3] 安徽省人民政府办公厅关于印发安徽省半导体产业发展规划（2018-2021 年）[Z]. 安徽省人民政府公报，2018-02-08.

[4] 李传志. 我国集成电路产业链：国际竞争力、制约因素和发展路径 [J]. 山西财经大学学报，2020，42(4)：61- 79.

[5] 朱晶. 我国集成电路产业高端化突破面临的问题研究及有关建议 [J]. 中国集成电路，2020，29(Z3)：14-19.

[6] 我国集成电路行业发展现状与竞争格局 [J]. 电器工业，2020(5)：49-53.

[7] 王倩雅. 重庆产业“变脸”[J]. 决策，2019(12)：40-42.

[8] 重庆市发展改革委. 重庆市：大数据智能化创新发展成主攻方向 [J]. 中国战略新兴产业，2018(21)：57-59.

[9] 吴陆牧. 重庆构建集成电路全产业链 [Z]. 经济日报，2018-09-10.

[10] 刘兰，文雷. 重庆市电子核心基础产业技术预见研究 [J]. 创新科技，2017(10)：20-22.

[11] 吴菲菲，韩朝曦，黄鲁成. 集成电路产业研发合作网络特征分析—基于产业链视角 [J]. 科技进步与对策，2020，37(8)：77-85.

[12] TIMMERS P. Building effective public R & D programmes [C] // IEEE PICMET. Portland Int Conf. Portland，OR，USA . 1999：591-597.

[13] 张正良. 论企业创新链的系统结构 [J]. 求索，2005(7)：40-41.

[14] 代明，梁意敏，戴毅. 创新链解构研究 [J]. 科技进步与对策，2009，26(3)：157-160.

[15] 郑三波. “零突破”！重庆首批国产化计算机下线 [Z]. 重庆商报，2020-06-10.

[16] 加快发展杭州市集成电路产业的几点思考 [J]. 杭州（周刊），2018(19)：12-15.

FinFET 器件总剂量效应研究进展

张峰源[1,2,3]，李 博[1,2,3]，刘凡宇[1,3]，杨 灿[1,3]，黄 杨[1,2,3]，张 旭[1,2,3]，罗家俊[1,2,3]，韩郑生[1,2,3]
（1. 中国科学院微电子研究所，北京 100029；2. 中国科学院大学，北京 100049；
3. 中国科学院硅器件技术重点实验室，北京 100029）

摘 要： 全面综述鳍式场效应晶体管(FinFET)的总剂量效应，包括辐照期间外加偏置、器件的工艺参数、提高器件驱动能力的特殊工艺、源/漏掺杂类型以及不同栅介质材料和新沟道材料与 FinFET 总剂量效应的关系。对于小尺寸器件，绝缘体上硅(SOI)FinFET 比体硅 FinFET 具有更强的抗总剂量能力，更适合于高性能抗辐照的集成电路设计。此外，一些新的栅介质材料和一些新的沟道材料的引入，如 HfO_2 和 Ge，可以进一步提高 FinFET 器件的抗总剂量能力。

关键词： 总剂量效应；体硅 FinFET 器件；SOI FinFET 器件；新材料
中图分类号：TN386 **文献标识码：**A **文章编号：**1004-3365(2020)06-0875-10
DOI：10.13911/j.cnki.1004-3365.190753

A Review of Total Ionizing Dose Effects in FinFETs

ZHANG Fengyuan[1,2,3], LI Bo[1,2,3], LIU Fanyu[1,3], YANG Can[1,3], HUANG Yang[1,2,3], ZHANG Xu[1,2,3], LUO Jiajun[1,2,3], HAN Zhengsheng[1,2,3]
(1. *Institute of Microelec.*, *Chinese Academy of Sci.*, *Beijing* 100029, *P. R. China*; 2. *Univ. of Chinese Academy of Sciences*, *Beijing* 100049, *P. R. China*; 3. *Key Lab. of Silicon Device and Technology*, *Chinese Academy of Scie.*, *Beijing* 100029, *P. R. China*)

Abstract: The total ionizing dose (TID) effects of Fin field effect transistor (FinFET) were fully analyzed, including the effects of bias condition during irradiation, process parameters, special process to boost driver ability of devices, and the doping condition of source/drain on the TID effects of FinFETs. For small size devices, SOI FinFETs exhibited greater TID tolerance than bulk FinFETs, which were more suitable for high-speed radiation-hardened ICs design. Moreover, some new gate dielectric and channel materials, such as HfO_2 and Ge, would further enhance the hardness of FinFETs.

Key words: total ionizing dose effects, bulk FinFETs, SOI FinFETs, new materials

0 引 言

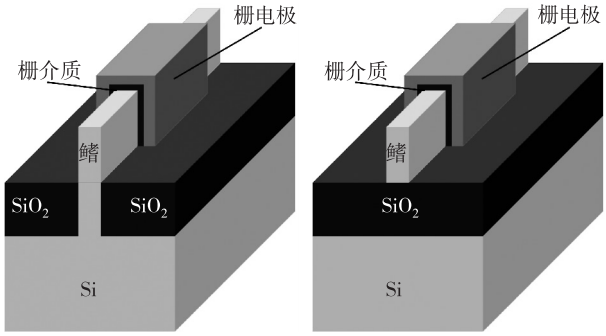
近年来，空间探测任务的难度不断加大。一方面，空间探测的深度从地球附近逐渐发展到月球及火星附近，这将使航天器面临更复杂的空间辐射环境。另一方面，在单次空间探测任务中，航天器需要采集更多的数据，这对航天器的电子系统的性能提出了更高的要求。因此，在未来的航天电子系统中，需要大规模高可靠性的先进集成电路，而鳍式场效应晶体管(FinFET)具有漏电小、亚阈值特性好和短沟道效应抑制能力强的优点[1-4]，是宇航用集成电路设计的有力候选者。

主流的 FinFET 器件可以分为两类：体硅

收稿日期：2019-12-31；**定稿日期：**2020-03-06
基金项目：国家自然科学基金资助项目(61874135)
作者简介：张峰源(1995—)，男(汉族)，山东日照人，硕士研究生，研究方向是 FinFET 器件总剂量效应。
通讯作者：罗家俊(1973—)，男(汉族)，江西赣州人，博士生导师，研究员，研究方向是高可靠性器件制备与表征技术，深亚微米集成电路低功耗设计技术，高性能深亚微米数模混合集成电路设计技术等。通信作者。

FinFET 器件和绝缘体上硅(SOI)FinFET 器件。两类 FinFET 器件的三维结构图分别如图 1(a)和 1(b)所示[4]。FinFET 器件是一种三栅器件，其沟道同时由顶栅和两个侧栅控制，因此比传统的平面单栅器件具有更强的栅控能力。为了进一步缩小 FinFET 器件的尺寸以及提高器件的整体性能，研究人员对 FinFET 器件进行了一系列的改进，包括引用新的栅介质材料[5-6]和新的沟道材料等[7-9]。

但是，对于这种三维器件，两个侧栅之间的耦合效应会对其辐照特性产生强烈的影响[10-15]。此外，新的栅介质和新的沟道材料也会产生新的总剂量效应。因此，FinFET 器件的总剂量效应要比平面器件更复杂。为了满足未来空间应用的需求，对 FinFET 器件开展总剂量效应的研究十分必要。



(a) 体硅 FinFET (b) SOI FinFET

图 1 两类 FinFET 器件的三维结构图

本文主要综述了 FinFET 器件的总剂量效应。第一节分析了 FinFET 器件总剂量效应的基本机理，包括器件的几何尺寸、辐照期间的外加偏置条件、提高器件驱动能力的特殊工艺，以及源/漏掺杂类型对 FinFET 器件的总剂量效应的影响；第二节介绍了一些新型材料对 FinFET 总剂量效应的影响，包括新的栅介质材料和新的沟道材料；第三节给出了总结。

1 FinFET 器件总剂量效应基本机理

1.1 FinFET 器件主要缺陷来源

FinFET 器件中存在大量的电介质，如栅介质、浅槽隔离氧化物(Shallow Trench Isolation，STI)和埋层氧化物(Buried Oxide，BOX)等。总剂量辐照会在这些电介质中产生电子-空穴对，并在外加偏压的作用下分离，最终被电介质中或者电介质与沟道界面处的陷阱所俘获，形成带电中心，从而影响器件的电学特性，甚至引起器件失效[10-13]。外加偏压越大，电子空穴对分离的速度就越快，电介质中留下的陷阱电荷数目就越多。因此，陷阱电荷的数量和位置受到介质中电场强度和电场方向的控制[10-12]。

对于 FinFET 器件，栅介质较薄，栅介质中的陷阱较少，因此通常主要考虑 STI 和 BOX 中陷阱电荷的影响。STI 和 BOX 通常由 SiO_2 制备，陷阱类型以空穴陷阱为主[16]。I. Chatterjee 等人研究得到的不同辐照剂量下体硅 FinFET 的转移特性曲线如图 2 所示[20]。对于体硅 FinFET，辐照在 STI 中产生的陷阱电荷对阈值电压的影响较小，但是对器件泄漏电流的影响较大[17-20]。原因是辐照在 STI 中产生的空穴陷阱电荷会在鳍底部产生一个寄生的漏电通道[18-20]。因此，泄漏电流通常是衡量体硅 FinFET 器件抗总剂量能力的主要指标。

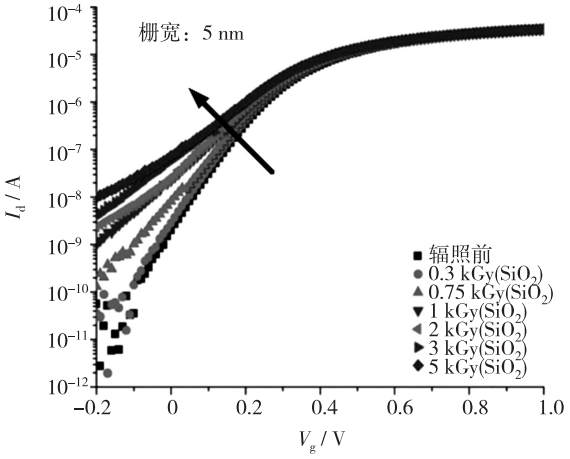


图 2 不同辐照剂量下体硅 FinFET 的转移特性曲线[20]

对于 SOI FinFET 器件，BOX 中的陷阱电荷会通过耦合效应影响顶栅的电势，从而使器件的阈值电压产生漂移，因此阈值电压是衡量 SOI FinFET 器件抗总剂量能力的主要指标[21-23]。但是，侧栅的耦合效应会抑制顶栅与 BOX 的耦合效应[10-11]。由于这些耦合效应与器件的几何尺寸强相关，因此 SOI FinFET 器件的几何尺寸对其总剂量效应有强烈的影响[12-15]。

接下来，将介绍 FinFET 器件的总剂量效应与辐照期间外加偏置、器件的工艺参数、提高器件驱动能力的特殊工艺以及源/漏掺杂类型的关系。

1.2 辐照期间外加偏置对 FinFET 器件总剂量效应的影响

总剂量辐照期间，NMOS 晶体管常用的偏置条件如表 1 所示[19]。其中，开态、关态和传输门态对应于 SRAM 电路中晶体管的实际工作状态，用于模

拟实际数字电路中的总剂量效应。正偏、负偏和零偏对应于栅介质中不同的电场方向，常用于分析栅介质中陷阱电荷对器件特性的影响。

表 1　总剂量辐照实验 NMOS 晶体管常用的偏置条件

偏置状态	栅极	漏极	源极
开态(正偏)	V_{DD}	0	0
关态	0	0	V_{DD}
传输门态	0	V_{DD}	V_{DD}
零偏	0	0	0
负偏	$-V_{DD}$	0	0

I. Chatterjee 等人研究得到的不同偏置下体硅 FinFET 泄漏电流与剂量的关系如图 3 所示[19]。对于体硅 FinFET，在关态下观察到最大的泄漏电流，因此认为关态是最劣偏置。图 4 所示为不同偏置状态下鳍-STI 界面处的电场强度 E 的仿真结果。可以看出，关态下在鳍-STI 界面处有最大的电场强度。这意味着关态偏置下辐照在 STI 中产生的电子-空穴对可以被快速分离，从而形成更多的正陷阱电荷[19]。

J. J. Song 等人研究得到的不同偏置状态下 SOI FinFET 阈值电压漂移量与辐照剂量的关系如图 5 所示[22]。对于 SOI FinFET 器件，开态偏置下往往观察到最大的阈值电压偏移，因此开态偏置为 SOI FinFET 的最劣偏置[12,22]。原因是在开态偏置下，由侧栅产生的部分电场线会指向鳍-BOX 界面处，此时辐照在 BOX 中产生的空穴会向着鳍-BOX 界面运动并被缺陷所俘获，电场线示意图如图 6 所示[10,22]。因此，开态偏置下 BOX 中的空穴陷阱更接近于鳍-BOX 界面，从而对沟道电势产生更大影响。

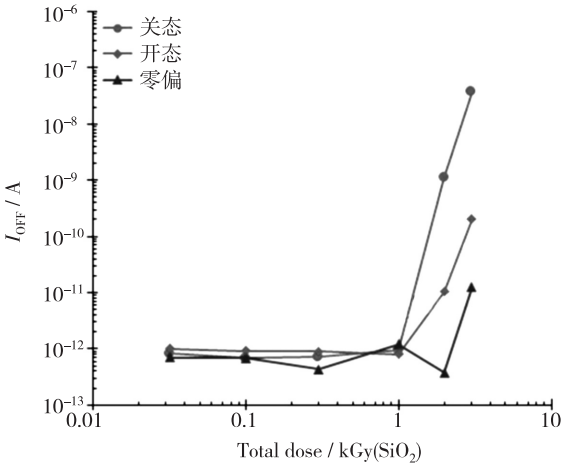


图 3　不同偏置下体硅 FinFET 泄漏电流与剂量的关系[19]

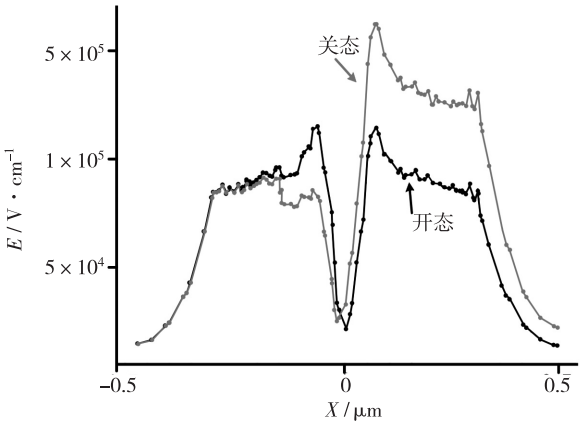


图 4　不同偏置状态下体硅 FinFET 鳍-STI 界面的处电场强度[19]

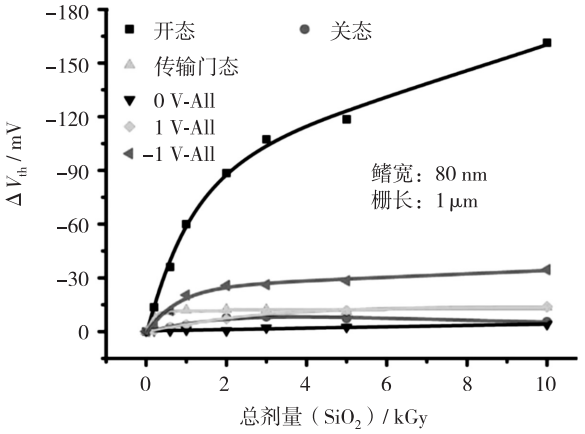


图 5　不同偏置状态下 SOI FinFET 阈值电压漂移量与辐照剂量的关系[22]

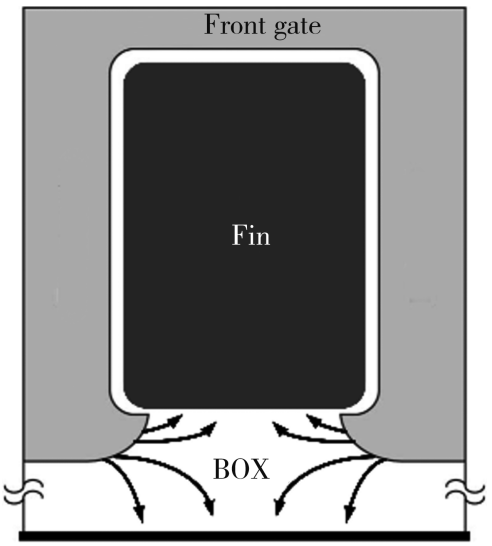


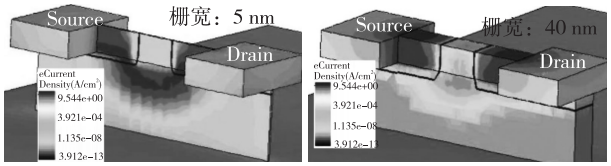
图 6　SOI FinFET 开态偏置状态下电场线示意图

1.3　FinFET 器件工艺参数对其总剂量效应的影响

FinFET 器件的总剂量效应对其工艺参数具有

较强的依赖性。这些工艺参数包括栅宽、栅长，以及源漏穿通阻止掺杂（Punch Through Stop Doping，PTS Doping）的浓度和深度。接下来将会分三个部分介绍这些工艺参数的影响。

1）栅宽对 FinFET 器件总剂量效应的影响。总剂量效应往往受器件栅宽影响，这源于侧栅之间的耦合效应对器件尺寸的依赖性[12,14,20,23]。I. Chatterjee 等人研究发现，对于体硅 FinFET 而言，栅宽越小，总剂量辐照后的漏电流、阈值电压以及亚阈值摆幅等电学参数的退化就越严重[20]。原因是随着栅宽的减小，鳍两侧 STI 逐渐靠近，会导致两侧 STI 中陷阱电荷之间的耦合效应逐渐增强，使鳍底部更容易形成寄生的导电通道。宽鳍和窄鳍体硅 FinFET 器件的 TCAD 仿真结果如图 7 所示。可以看出，辐照后窄 Fin 器件的 Fin 底部会出现明显的寄生漏电通道[20]。



（a）栅宽 5 nm （b）栅宽 40 nm

图 7 体硅 FinFET 器件关态漏电流 TCAD 仿真图[20]

M. Gaillardin 等人研究发现，对于 SOI FinFET，栅宽越小，总剂量辐照后器件退化越小，这与体硅 FinFET 正好相反[12,14,23-27]。宽鳍器件和窄鳍器件辐照前后的转移特性曲线如图 8 所示[24]。对于宽鳍器件，其关态电流、亚阈值摆幅和阈值电压会在辐照之后严重退化。这是由 BOX 中的正陷阱电荷对前栅的耦合效应引起的[28-29]。而窄鳍器件的退化较小，其主要原因是窄鳍器件侧栅之间的耦合作用屏蔽了 BOX 中的陷阱电荷对沟道电势的影响[24-27]。侧栅之间的耦合效应随着侧栅之间距离的减小而逐渐增大，当侧栅对沟道的控制力占据主导地位时，BOX 中的陷阱电荷无法对沟道电势产生明显影响[24-27]。不同栅宽的 n 型 SOI FinFET 在栅压为 1 V 时辐照前后的沟道电子浓度的 TCAD 仿真结果如图 9 所示[22]。随着沟道宽度的减小，辐照前后沟道电子浓度变化将减小。这证明了随着栅宽的减小，BOX 中的陷阱电荷对沟道电势的影响将会减小。

2）栅长对 FinFET 器件总剂量效应的影响。I. Chatterjee 和 M. Gorchichko 等人研究发现，随着沟道长度缩减，体硅和 SOI FinFET 的总剂量特性都出现不同程度的恶化。不同栅长体硅 FinFET 器件辐照前后漏电流的比值和辐照剂量的关系如图 10 所示[20]。栅介质为 HfO_2 的不同栅长 SOI FinFET 器件阈值电压漂移量与辐照剂量的关系如图 11 所示[30]。其中，对于栅长 50 nm 的体硅器件，在辐照剂量为 kGy（SiO_2）时，其关态漏电流是辐照前的 10 倍以上。而对于栅长为 30 nm 的 SOI FinFET，其阈值电压漂移量小于 30 mV，这是一个较小的值。对于体硅 FinFET，随着栅长的缩小，一方面，栅极对沟道的控制力将逐渐减弱；另一方面，STI 界面处寄生导电通道的漏电流将逐渐增加。然而对于 SOI FinFET，由于其天然具有更强的栅控能力[31-32]，以及栅介质 HfO_2 中的电子陷阱对 BOX 中空穴陷阱的补偿作用[14]，短沟道的 SOI FinFET 体现出更强的抗总剂量能力。HfO_2 这种新材料对 FinFET 器件总剂量效应的影响将在第 2 节详细阐述。

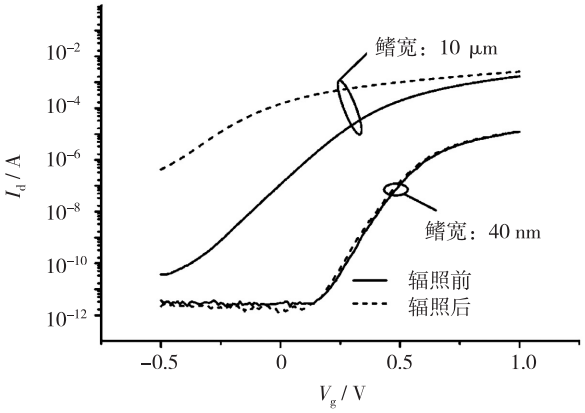


图 8 不同栅宽的 SOI FinFET 辐照前后的转移特性曲线[24]

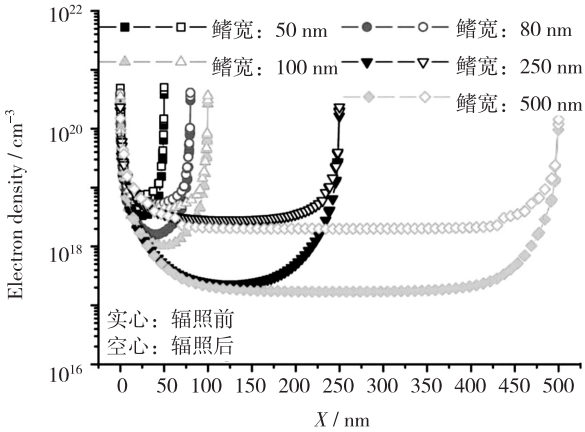


图 9 不同栅宽的 SOI FinFET 辐照前后沟道电子浓度变化[22]

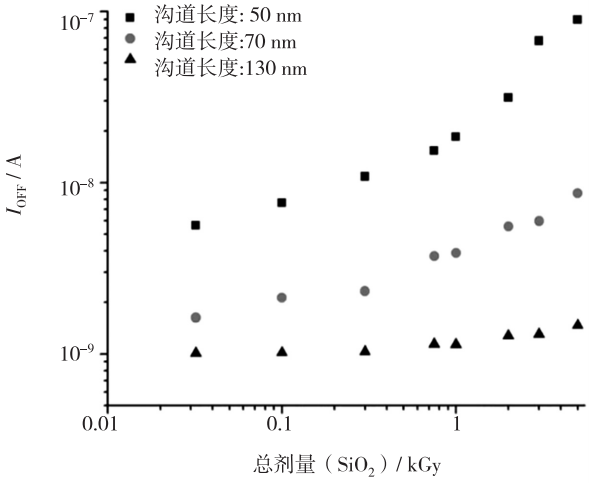


图 10　不同栅长体硅 FinFET 器件辐照前后漏电流的比值和辐照剂量的关系[20]

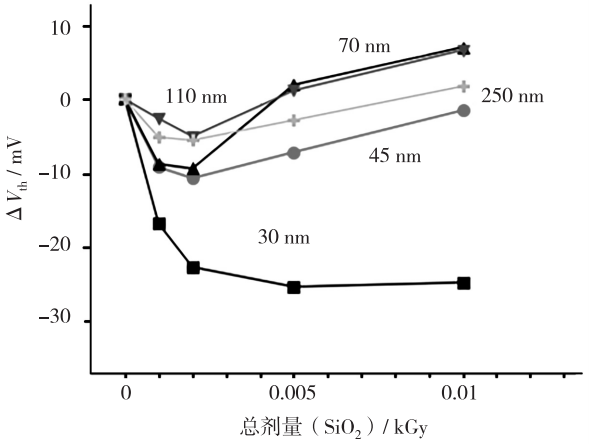


图 11　栅介质为 HfO_2 的不同栅长 SOI FinFET 器件阈值电压漂移量与辐照剂量的关系[30]

3）PTS 掺杂对体硅 FinFET 总剂量效应的影响。在体硅 FinFET 器件的制备过程中，为了防止源/漏掺杂扩散并在 Fin 底部连通形成寄生的导电通道，需要在 Fin 底部进行额外的掺杂 PTS Doping 来阻止源/漏扩散，掺杂位置如图 12 所示[33-35]。由于该掺杂的位置与体硅 FinFET 寄生漏电通道的位置相同，因此 PTS 掺杂的浓度和深度会对体硅 FinFET 的辐照特性产生很大影响。J. N. Wang 等人研究发现，随着掺杂浓度和深度的增加，器件的漏电将逐渐减小[35]。图 13(a)和(b)分别给出了辐照前后体硅 FinFET 漏电与 PTS 掺杂浓度和深度的关系[35]。

1.4　特殊工艺对 FinFET 器件总剂量效应的影响

为了提高 FinFET 器件的驱动能力，通常是通过减小源/漏串联电阻和提高沟道载流子迁移率。其中一种减小源/漏串联电阻的方法是采用源/漏选择性外延。S. Put 等人研究了源/漏选择性外延工艺对 n 型 SOI FinFET 总剂量效应的影响[27]。三种不同工艺的 n 型 SOI FinFET 辐照前后亚阈值区跨导的变化量如图 14 所示[27]。对于 n 型器件，辐照后亚阈值区域跨导增加的原因是 BOX 中的正电荷使鳍-BOX 界面反型出少量载流子，增大了亚阈值电流，导致器件亚阈值特性退化[27]。可以看出，源/漏选择性外延工艺和常规工艺的亚阈值区跨导的变化量相近。这说明源/漏选择性外延工艺对 FinFET 器件的总剂量效应影响可以忽略。

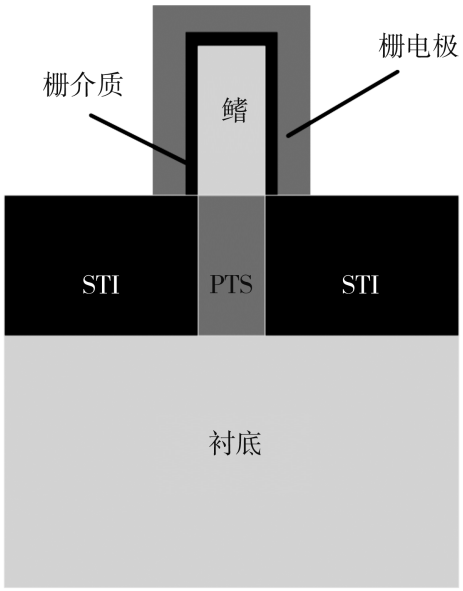
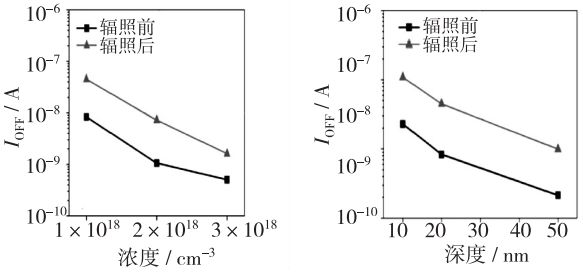


图 12　PTS Doping 掺杂位置示意图



(a) PTS 掺杂浓度　　(b) 深度

图 13　辐照前后体硅 FinFET 漏电与 PTS 掺杂浓度和深度的关系[35]

S. Put 和 J. Colinge 等人分析了晶向对 SOI FinFET 总剂量效应的影响[27,36]。在 FinFET 器件的制备过程中，侧壁的晶面通常选择为(110)晶面，此晶面下可以获得最高的空穴的迁移率，但电子迁移率较低；如果选择侧壁的晶面为(100)晶面，可以获得较高的电子迁移率，但是空穴的迁移率较低。三种不同工艺的 n 型 SOI FinFET 辐照前后亚阈值区跨导的变化量如图 14 所示。可以看出，对于侧壁

晶面为(100)的 n 型器件，辐照前后亚阈值区跨导发生较大的变化。辐照前后跨导最大值的变化量与辐照前载流子迁移率 μ_{pre} 的关系如图 15 所示[27]。可以看出，对于辐照前迁移率越高的样品，其辐照后跨导变化量越大。因此，对于侧壁(100)晶面的 n 型样品，辐照后跨导变化最明显。

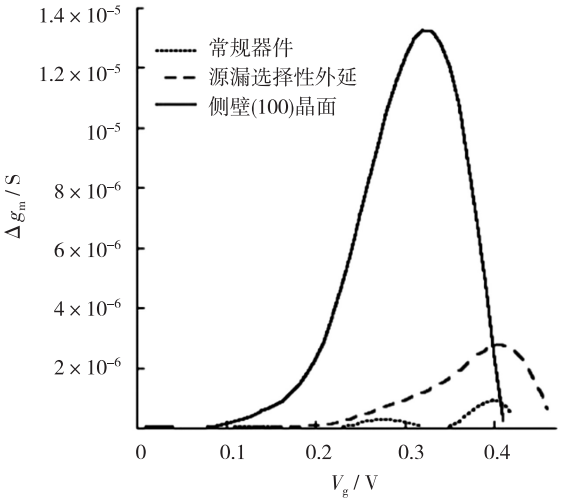


图 14 三种不同工艺的 n 型 SOI FinFET 辐照前后亚阈值区跨导的变化量[27]

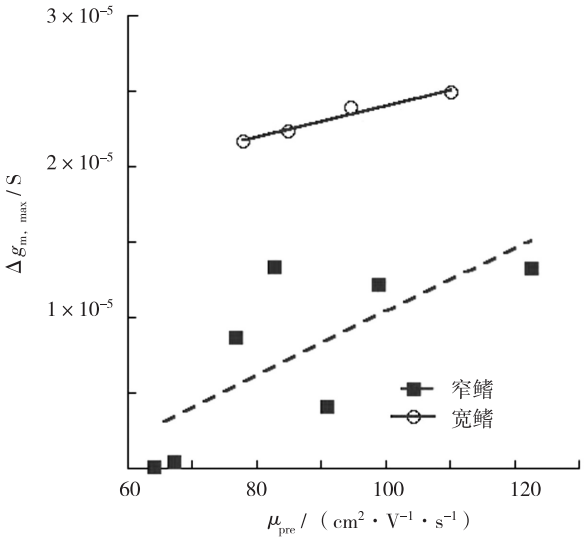


图 15 辐照前后跨导最大值的变化量与辐照前载流子迁移率 μ_{pre} 的关系[27]

1.5 p 型 FinFET 器件的总剂量效应

通常认为，p 型 FinFET 器件对总剂量效应并不敏感[17,27,37-38]。原因是在 STI 和 BOX 中的空穴陷阱会关闭鳍-SiO_2 界面处的漏电通道，从而改善器件的关态特性[17,27]。关于开态特性，对于 p 型体硅 FinFET 而言，S. Put 等人研究发现，由于 STI 中正陷阱电荷的影响，其开态电流会稍微降低[17]。p 型 SOI FinFET 器件总剂量辐照前后的跨导曲线如图 16 所示[37]。对于 SOI FinFET 的开关特性，F. F. Teixeira 等人甚至观察到迁移率增加的现象。原因是 BOX 中的空穴陷阱使沟道电流远离背界面，从而减小了背界面处的表面散射作用，提高了载流子迁移率[37]。

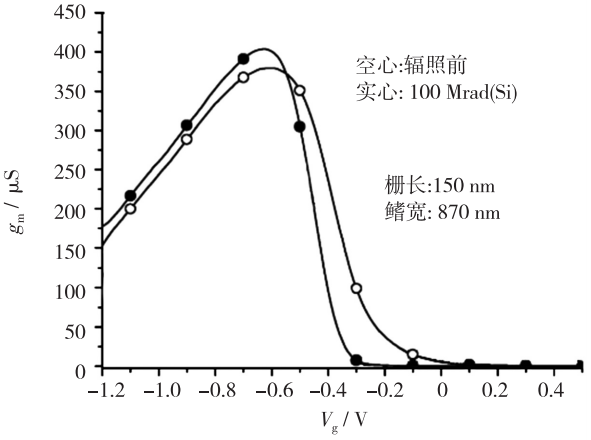


图 16 p 型 SOI FinFET 器件总剂量辐照前后的跨导曲线[37]

讨论了传统的体硅和 SOI FinFET 抗总剂量能力，得到如下结论：

1）由于器件结构的差异，体硅和 SOI FinFET 在辐照期间的最劣偏置不同，体硅器件的最劣偏置是关态偏置，而 SOI 器件是开态偏置。

2）对于窄沟道和短沟道的器件，由于 SOI FinFET 具有出色的栅控能力以及其侧栅对 BOX 中的陷阱电荷强大的屏蔽作用，SOI FinFET 体现出更强的抗总剂量能力，这意味着 SOI FinFET 更适合于抗辐照的超大规模集成电路设计。

3）相对于 NMOS 器件，PMOS 器件的抗总剂量能力更强。当采用特殊工艺提高沟道载流子迁移率时，会使器件对总剂量辐照更敏感。

在下一节中，会重点介绍新型材料对 FinFET 器件的总剂量效应的影响。

2 新型材料对 FinFET 器件总剂量效应的影响

2.1 HfO_2 栅介质对 FinFET 总剂量效应的影响

为了继续缩小器件尺寸，一些新的高 k 栅介质逐渐取代 SiO_2。这些高 k 栅介质往往具有不同的总剂量效应，HfO_2 便是其中之一[14,30]。HfO_2 内部

同时存在电子陷阱和空穴陷阱，其电子陷阱会对其内部的空穴陷阱以及 STI 或 BOX 中的空穴陷阱起到一定的补偿作用，从而减小总剂量辐照对器件性能产生的影响，甚至改善器件性能[14,30,39-40]。但是对于这种新材料，必须在辐照之前评估材料的可靠性，如果材料本身存在较多的缺陷，那么器件在辐照之后性能会产生严重退化[41-42]。

L. Yang 等人研究发现的不同鳍数目的栅介质为 HfO_2 的体硅 FinFET 器件在开态偏置下的阈值电压漂移量与辐照剂量的关系如图 17 所示[39]。可以看出，以 HfO_2 为栅介质的体硅 FinFET 器件在开态偏置下的阈值电压漂移量大于 0。这与文献[24-27]观察到的现象均不一致。原因是开态偏置下 HfO_2 更容易俘获电子，使沟道电势降低，因此阈值电压正漂[39,41]。另外，对于栅长为 60 nm 器件，阈值电压漂移量小于 45 mV，这是电子陷阱和空穴陷阱相互补偿产生的结果[38-42]。

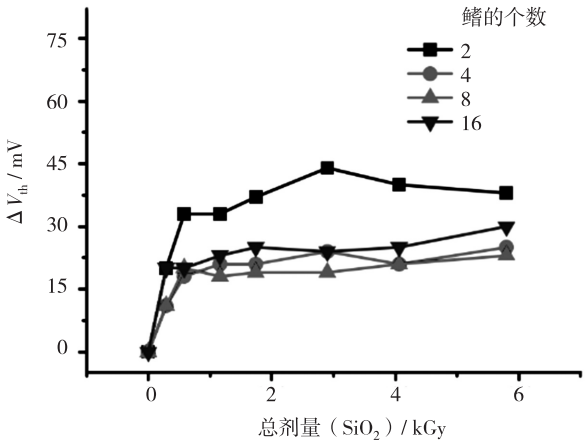


图 17　不同鳍数目的栅介质为 HfO_2 的体硅 FinFET 器件在开态偏置下的阈值电压漂移量与辐照剂量的关系[39]

B. Li 等人研究得到的由工艺波动引起的体硅 FinFET 鳍形貌波动如图 18 所示[40]。可以看出，对于栅介质为 HfO_2 的 FinFET 器件，由其工艺波动性带来的器件形貌波动将会严重影响器件的总剂量效应。形貌的波动会影响 STI 和栅氧化层与沟道的接触面积，从而改变 STI 中的空穴陷阱和栅介质中的电子陷阱的权重[40]。图 18 中四种器件辐照前后阈值电压漂移量的仿真结果如表 2 所示。可以看出，阈值电压漂移量逐渐从正漂变为负漂[40]。原因是四种器件的栅氧化层与沟道的接触面积逐渐减小，从而导致电子陷阱的补偿作用逐渐降低[40]。

2.2　新沟道材料的 FinFET 器件的总剂量效应

目前关于新沟道材料 FinFET 器件的总剂量效应的研究还处于初步阶段[38,41-42]。此处重点介绍 Ge 沟道 FinFET 器件的总剂量效应。Ge FinFET 器件结构图以及 TEM 图如图 19 所示[38]。Ge FinFET 器件在 Si 衬底上制备，沟道为 Ge，沟道下方的材料为 SiGe。这种特殊的结构会把载流子束缚在 Ge 中，形成量子阱结构，从而提高载流子的迁移率，实现较高的开态电流与关态电流比（I_{on}/I_{off}）[38]。

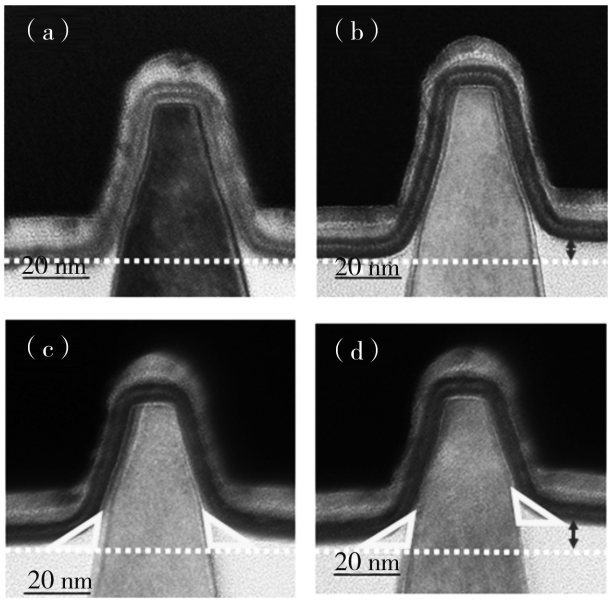


图 18　由工艺波动引起的体硅 FinFET 鳍形貌的波动[40]

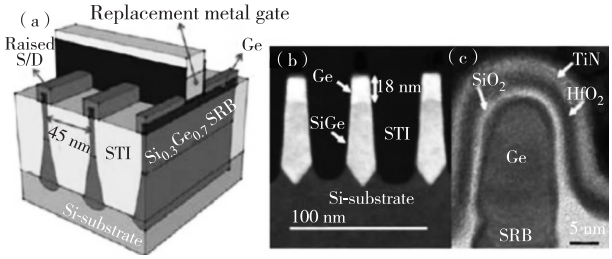
表 2　不同形貌的体硅 FinFET 辐照前后阈值电压漂移量[40]

器件编号	a	b	c	d
阈值电压漂移/%	3.58	1.47	−4.38	−5.39

E. X. Zhang 等人的研究表明，p 型 Ge FinFET 相较于 Si 沟道的 FinFET 器件具有更强的抗总剂量能力[38]。不同栅宽的 p 型 Ge FinFET 的 I_{on}/I_{off} 与辐照剂量的关系如图 20 所示[38]。可以看出，I_{on}/I_{off} 基本不随辐照剂量的变化而变化。一方面是因为 p 型器件对总剂量效应不敏感，另一方面是因为量子阱这种独特的结构屏蔽了 STI 中陷阱电荷对沟道的影响。

对于新沟道材料的 FinFET 器件还有一些其他的研究，如 SiGe 沟道[41] 和 InGaAs 沟道[42] 的 FinFET。但是由于相关的工艺还不成熟，导致这些器件在辐照后性能严重退化。S. E. Zhao 等人的研究得到的不同偏置的 InGaAs FinFET 阈值电压漂移量与辐照剂量的关系如图 21 所示[42]。可以看

出，InGaAs FinFET 在辐照后会出现较大的阈值电压漂移。对于负偏置情形，阈值电压漂移量大于 300 mV。原因是栅氧界面以及隔离氧化物界面附近存在大量的原生缺陷，这些缺陷会在辐照后俘获大量载流子，导致阈值电压漂移过大。因此，对于这种新沟道材料的 FinFET，需要提高工艺可靠性来提升器件的抗辐照能力与性能。



(a) 三维结构图(b) TEM 截面图(c) 栅介质 TEM 图

图 19 Ge FinFET 器件结构图以及 TEM 图[38]

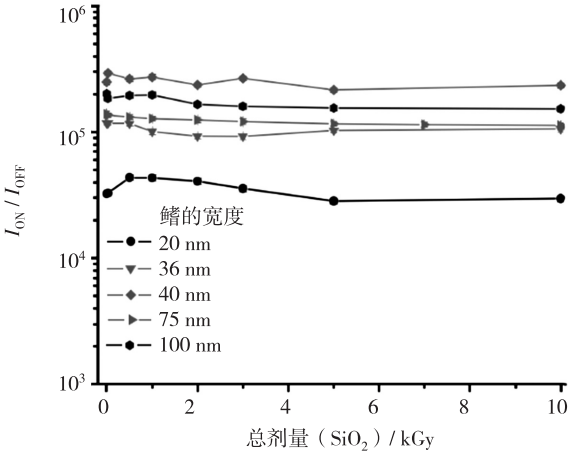


图 20 不同鳍宽 p 型 Ge FinFET 的 I_{ON}/I_{OFF} 与辐照剂量的关系[38]

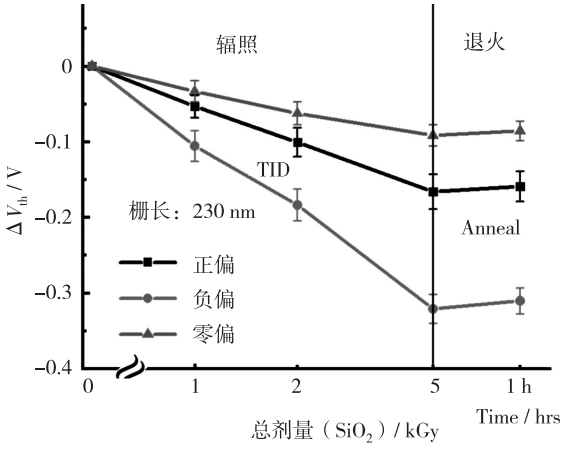


图 21 不同偏置的 InGaAs FinFET 阈值电压漂移量与辐照剂量的关系[42]

3 总 结

本文综述了 FinFET 总剂量效应的基本机理以及新材料的引入对 FinFET 器件总剂量效应的影响。对于体硅 FinFET，关态偏置为最劣偏置。而对于 SOI FinFET 器件，开态偏置为最劣偏置。对于小尺寸器件，SOI 器件比体硅器件有更强的抗总剂量能力，这得益于 SOI FinFET 侧栅耦合效应对埋氧中陷阱电荷的屏蔽作用，因此 SOI FinFET 器件更适合于空间应用。当采用特殊工艺提高沟道载流子迁移率时，会使器件对总剂量效应更敏感，因此需要在器件性能和可靠性之间做折中。相对于 NMOS 器件，PMOS 器件的抗总剂量能力更强，原因是 STI 和 BOX 中的正电荷会关闭隔离氧化物界面处的寄生导电通道。

新的栅介质和新的沟道材料的引入，会带来许多新的效应。栅介质 HfO_2 内部的缺陷可以俘获电子形成负的带电中心，可以对隔离氧化物中的空穴陷阱起到一定的补偿作用，从而提高器件抗总剂量能力，可用于器件总剂量效应加固。关于新沟道材料的 FinFET，仅有少数文章报道了相关研究。其中，Ge FinFET 独特的量子阱结构可以提高其常规电学性能以及抗总剂量能力，成为未来宇航应用的有力候选者。但是，必须提高新材料 FinFET 器件的工艺稳定性和器件可靠性，否则将会严重恶化其抗总剂量能力。未来还需要对新材料的 FinFET 器件的总剂量效应开展更多的研究工作。

参 考 文 献：

[1] THIRUNAVUKKARASU V, JHAN Y R, LIU Y B, et al. Performance of inversion, accumulation, and junctionless mode n-type and p-type bulk silicon FinFETs with 3-nm gate length [J]. IEEE Elec Device Lett, 2015, 36(7): 645-647.

[2] KING T J. FinFETs for nanoscale CMOS digital integrated circuits [C] // IEEE/ACM ICCAD. San Jose, CA, USA. 2005: 207-210.

[3] BHOJ A N, JHA N K. Design of logic gates and flip-flops in high-performance FinFET technology [J]. IEEE Trans Very Large Scale Integr VLSI Syst, 2013, 22(11): 1975-1988.

[4] CHI M H. FinFET technology: overview and status at 14 nm node and beyond [C] // China Semiconductor Tech Intl Conf. Shanghai, China. 2016: 1-3.

[5] MANOJ C R, RAO V R. Impact of high-*k* gate dielectrics on the device and circuit performance of nanoscale FinFETs [J]. IEEE Elec Device Lett, 2007, 28(4): 295-297.

[6] TAYAL S, NANDI A. Comparative analysis of high-*k* gate stack based conventional & junctionless FinFET [C] // 14th IEEE India Council Intl Conf. Roorkee, India. 2017: 1-4.

[7] OK I, AKARVARDAR K, LIN S, et al. Strained SiGe and Si FinFETs for high performance logic with SiGe/Si stack on SOI [C] // In Elect Devices Meet, San Francisco, USA, 2010: 34.2.1-34.2.4.

[8] HEYNS M, and TSAI W. Ultimate scaling of CMOS logic devices with Ge and III - V materials [J]. MRS Bulletin, 2009, 34(7): 485-492.

[9] DING F, WU Y T, CONNELLY D, et al. Simulation-based study of Si/Si0.9Ge0.1/Si hetero-channel FinFET for enhanced performance in low-power applications [J]. IEEE Elec Device Lett, 2019, 40(3): 363-366.

[10] DAUGÉ F, PRETETAC J, CRISTOLOVEANU S, et al. Coupling effects and channels separation in FinFETs [J]. Solid-State Elec, 2004, 48(4): 535-542.

[11] R. Ritzenthaler et al. Lateral coupling and immunity to substrate effect in ΩFET devices [J]. Solid-state electronics, 2006, 50(4): 558-565.

[12] SIMOEN E, GAILLARDIN M, PAILLET P, et al. Radiation effects in advanced multiple gate and silicon-on-insulator transistors [J]. IEEE Trans Nucl Sci, 2013, 60(3): 1970-1991.

[13] GAILLARDIN M, MARCANDELLA C, MARTINEZ M, et al. Total ionizing dose effects in multiple-gate field-effect transistor [J]. Semiconductor Sci Tech, 2017, 32(8): 083003.1-083003.12.

[14] FLEETWOOD D M, Evolution of total ionizing dose effects in MOS devices with Moore's law scaling [J]. IEEE Trans Nucl Sci, 2017, 65(8): 1465-1481.

[15] 金林，王菲菲. FinFET 工艺对 MOS 器件辐射效应的影响 [J]. 半导体技术，2016，41(7)：481-487.

[16] SHANEYFELT M R, DODD P E, DRAPER B L, et al. Challenges in hardening technologies using shallow-trench isolation [J]. IEEE Trans Nucl Sci, 1998, 45(6): 2584-2592.

[17] PUT S, SIMOEN E, JURCZAK M, et al. Influence of fin width on the total dose behavior of p-channel bulk MuGFETs [J]. IEEE Elec Device Lett, 2010, 31(3): 243-245.

[18] CHATTERJEE I, ZHANG E X, BHUVA B L, et al. Length and fin number dependence of ionizing radiation-induced degradation in bulk FinFETs [C] // IEEE In Reliab Phys Symp. Anaheim, USA. 2013: SE.8.1-SE.8.6.

[19] CHATTERJEE I, ZHANG E X, BHUVA B L, et al. Bias dependence of total-dose effects in bulk FinFETs [J]. IEEE Trans Nucl Sci, 2013, 60(6): 4476-4482.

[20] CHATTERJEE I, ZHANG E X, BHUVA B L, et al. Geometry dependence of total-dose effects in bulk FinFETs [J]. IEEE Trans Nucl Sci, 2014, 61(6): 2951-2958.

[21] PAILLET P, GAILLARDIN M, FERLET-CAVROIS V, et al. Total ionizing dose effects on deca-nanometer fully depleted SOI devices [J]. IEEE Trans Nucl Sci, 52(6): 2345-2352.

[22] SONG J J, CHOI B K, ZHANG E X, et al. Fin width and bias dependence of the response of triple-gate MOSFETs to total dose irradiation [J]. IEEE Trans Nucl Sci, 2011, 58(6): 2871-2875.

[23] SCHWANK J R, FERLET-CAVROIS V, SHANEYFELT M R, et al. Radiation effects in SOI technologies [J]. IEEE Trans Nucl Sci, 2003, 50(3): 522-538.

[24] GAILLARDIN M, PAILLET P, FERLET-CAVROIS V, et al. Total ionizing dose effects on triple-gate FETs [J]. IEEE Trans Nucl Sci, 2006, 53(6): 3158-3165.

[25] GAILLARDIN M, PAILLET P, FERLET-CAVROIS V, et al. High tolerance to total ionizing dose of Ω-shaped gate field-effect transistors [J]. Appl Phys Lett, 2006, 88(2): 223511.

[26] MAMOUNI F E, ZHANG E X, SCHRIMPF R D, et al. Fin-width dependence of ionizing radiation-induced subthreshold-swing degradation in 100-nm-gate-length FinFETs [J]. IEEE Trans Nucl Sci, 2009, 56(6): 3250-3255.

[27] PUT S, SIMOEN E, COLLAERT N, et al. Influence of back-gate bias and process conditions on the gamma degradation of the transconductance of MugFETs [J]. IEEE Trans Nucl Sci, 2010, 57(4): 1771-1776.

[28] SCHWANK J R, SHANEYFELT M R, DODD P, et al. New insights into fully-depleted SOI transistor response after total-dose irradiation [C] // Fifth European Conf RADECS. Fontevraud, France. 1999: 299-307.

[29] GOUKER P, BURNS J, WYATT P, et al. Substrate removal and BOX thinning effects on total dose response of FDSOI NMOSFET [J]. IEEE Trans Nucl Sci, 2003, 50(6): 1776-1783.

[30] GORCHICHKO M, CAO Y, ZHANG E X, et al. Total-ionizing-dose effects and low-frequency noise in 30-nm gate-length bulk and SOI FinFETs with SiO_2/HfO_2 gate dielectrics [D]. Vanderbilt University, USA, 2019.

[31] MENDEZ H, FRIED D M, SAMAVEDAM S B, et al. Comparing SOI and bulk FinFETs: Performance, manufacturing variability, and cost [J]. Sol Sta Tech, 2009, 52(11): 10-15.

[32] BROWN A R, DAVAL N, BOURDELLE K K, et al. Comparative simulation analysis of process-induced variability in nanoscale SOI and bulk trigate FinFETs [J]. IEEE Trans Elec Devices, 2013, 60(11): 3611-3617.

[33] ENEMAN G, HELLINGS G, KEERSGIETER A D, et al. Quantum-barriers and ground-plane isolation: A path for scaling bulk-FinFET technologies to the 7 nm-node and beyond [C] // IEEE In Elec Devices Meet. Washington, USA. 2013: 12.3.1-12.3.4.

[34] CHENG K, SEO S, FALTERMEIER J, et al. Bottom oxidation through STI (BOTS)—a novel approach to fabricate dielectric isolated FinFETs on bulk substrates [C] // Symp VLSI Tech: Dig Tech Pap. Honolulu, USA. 2014: 1-2.

[35] WANG J N, AN X, REN Z X, et al. The impact of PTS doping and fin angle on TID response of 14-nm bulk FinFETs [C] // 14th IEEE ICSICT. Huangdao, China. 2018: 1-3.

[36] COLINGE J P, OROZCO A, RUDEE J, et al. Radiation dose effects in trigate SOI MOS transistors [J]. IEEE Trans Nucl Sci, 2006, 53(6): 3237-3241.

[37] TEIXEIRA F F, BORDALLO C C M, SILVEIRA M A G, et al. Radiation effect on standard and strained triple-gate SOI FinFETs parasitic conduction [C] // 28th Symp Microelec Tech Devices. Curitiba, Brazil. 2013: 1-4.

[38] ZHANG E X, FLEETWOOD D M, HACHTEL J A, et al. Total ionizing dose effects on strained Ge pMOS FinFETs on bulk Si [J]. IEEE Trans Nucl Sci, 2016, 64(1): 226-232.

[39] YANG L, ZHANG Q, HUANG Y, et al. Total ionizing dose response and annealing behavior of Bulk nFinFETs with on-state bias irradiation [J]. IEEE Trans Nucl Sci, 2018, 65(8): 1503-1510.

[40] LI B, HUANG Y B, YANG L, et al. Process variation dependence of total ionizing dose effects in bulk nFinFETs [J]. Microelec Reliab, 58(1): 946-951.

[41] G. X. Duan, et al. Bias dependence of total ionizing dose effects in SiGe-MOS FinFETs [J]. IEEE Trans Nucl Sci, 2014, 62(6): 2834-2838.

[42] ZHAO S E, BONALDO S, WANG P, et al. Gate bias and length dependences of total-ionizing-dose effects in InGaAs FinFETs on bulk Si [J]. IEEE Trans Nucl Sci, 2019, 66(7): 1599-1605.

超高速光互连系统级封装技术前沿研究

谢家志[1]，毛海燕[2]，赖 凡[1]，杨 晗[1]
(1. 中国电子科技集团公司 第二十四研究所，重庆 400060；
2. 中国电子科技集团公司 第二十六研究所，重庆 400060)

摘 要： 光互连系统级封装技术是用光互连在封装尺度上代替铜互连，以突破目前芯片间通信低速度瓶颈。超高速光互连系统级封装的目标是开发出可集成光子收发器，并嵌入到现代尖端的系统级封装中(SiP)中，以提高并行计算系统的数据传输效率或速度。文章介绍了超高速光互连系统级封装关键技术及前沿研究情况，通过分析 IMEC、Intel、BAE 系统公司等研究机构的开发现状和技术发展路线，论述了光互连 SiP 关键技术的发展趋势。

关键词： 光互连；硅光子；InP；光学 I/O；集成电路；系统级封装
中图分类号：TN405 **文献标识码：**A **文章编号：**1004-3365(2020)06-0885-05
DOI：10.13911/j.cnki.1004-3365.200190

Research on the Forefront of Ultra-High-Speed Optical Interconnect System-Level Packaging

XIE Jiazhi[1], MAO Haiyan[2], LAI Fan[1], YANG Han[1]
(1. *The 24th Institute of China Electronics Technology Group Corporation*, *Chongqing* 400060, *P. R. China*;
2. *The 26th Institute of China Electronics Technology Group Corporation*, *Chongqing* 400060, *P. R. China*)

Abstract: Optical interconnect system-level packaging technology uses optical interconnects to replace copper interconnects at the package scale to break the current low speed bottleneck of inter-chip communication. The goal of ultra-high-speed optical interconnect system-level packaging is to develop integrated photon transceivers and to embed them in modern, state-of-the-art system-in-package (SiP) to improve the data transmission efficiency or speed of a parallel computing system. The key technologies and cutting-edge research of ultra-high-speed optical interconnect system-level packaging were introduced in this article. By analyzing the development status and technological development routes of research institutes such as IMEC, Intel, and BAE Systems, the development trend of optical interconnect SiP technology was discussed.

Key words: optical interconnect; silicon photon; InP; optical I/O; integrated circuit; system-in-package

0 引 言

为持续提升电子系统性能，目前主要方式是采用并行处理技术，通过使用多个处理器同时执行同一计算任务或应用程序来提高处理效率[1]。但是在实践中发现，并行计算架构所产生的系统性能收益越来越明显地受到计算节点(CPU 等数字芯片)间数据传输效率的限制，而非单个节点计算性能极限的限制。随着系统复杂度增加，电子链路的性能下降明显，用于数据传输的能量显著增加。虽然系统级、电路板级可使用光纤进行长距离、高带宽、低损耗的光传输，但信号在光子收发器模块和集成电路之间传输时会产生瓶颈，极大地限制了系统性能。

收稿日期：2020-04-28；**定稿日期：**2020-08-14
基金项目：模拟集成电路国家重点实验室基金资助项目(614280204030317)
作者简介：谢家志(1978—)，男(汉族)，重庆万州人，工程师，从事模拟集成电路设计和测试研究工作。

解决通信领域这一瓶颈的关键技术途径是：通过微缩技术将光互连从系统级、电路板级，向芯片封装内部甚至芯片本身内部扩展（即用光互连替代铜互连等传统互连方式）[2]。预计采用封装级光互连最高可以达到 1 Pbit/s（1 024 Tbit/s）量级的数据传输速度，将并行计算通信速度提升至很高水平。

1 重点研究内容

超高速光互连系统级封装研究高性能光学输入/输出（I/O）技术，与图形处理单元（GPU）、现场可编程门阵列（FPGA）、专用集成电路（ASIC）等先进集成电路（IC）在封装内进行集成，拟实现三大目标：1）具有光子功能的 SiP。光子学运用于多芯片模块和互连结构，实现大规模光子化并行处理，以便在未来的系统中实现封装级光子的输入/输出。实现 100 Tbit/s 总带宽、能耗为 1 pJ/bit 的 IC 封装，满足 2025 年功耗限制为 100 W 的通信系统对微电子器件的要求。2）大规模并行光子学。达到 1 Pbit/s 带宽光学 I/O 技术，开发能耗为 0.1 pJ/bit 的端到端双向链路元件。3）互连结构。开发关键互连结构技术，以促进未来在系统中使用封装级光子 I/O，并扩大其影响。图 1 所示为极度可微缩光子学封装内部示意图[3]。

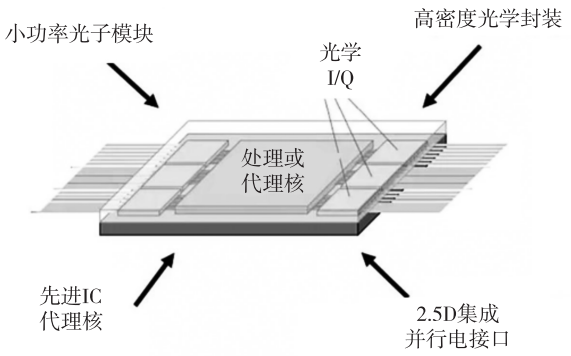


图 1 极度可微缩光子学封装内部示意图

2 平台和关键技术

2.1 光子集成主要平台技术

目前光子集成平台技术主要有硅光子集成和基于 InP 的单片或混合集成。硅光子技术是基于硅材料，利用现有 CMOS 工艺进行通信光器件开发与集成的新一代技术，在光学互连领域具有提供计算系统带宽和功率性能的潜在突破能力，可以消除集成有数十亿晶体管的集成电路芯片之间的通信瓶颈，以及解决具有万亿次（1×10^{12}）计算能力的电路板与电路板之间集成电路的通信瓶颈[4]。超高速光互连系统级封装是在 SiP 中集成硅光子（也称为“纳米光子”）数字和模拟元件。硅作为集成平台的衬底被证明具有最好的可微缩性和经济性，但由于硅激光器制作难度大而尚未实用化。

InP 光器件及电路性能非常高，晶圆尺寸可以大于 100 mm，使用 InP 集成平台可以得到比电路板互连更小的尺寸，但集成度较硅基技术低很多。比利时微电子研究中心（IMEC）研发的集成硅光子平台 iSiPP50G 支持高性能光模块（50 Gbit/s 及以上速率）、光传感（气体，压力，应力）及可读 IC、生物分子检测、药物研发、点式诊断等领域的经济有效的硅光子芯片设计[5]。

2.2 微缩硅光子互连关键技术

集成硅光子学的最新进展为嵌入光学连接提供了机会，它可直接提供较低的功耗和非常高的片外通信带宽密度。与 2D 方法相比，2.5D 和 3D 集成方法可以增加 I/O 带宽[6]，这是因为驱动电子器件和光学器件之间的连接处在二维区域而不是一维区域。此外，利用倒装芯片凸点可以得到比引线键合更高的集成密集。利用具有交错双键合焊盘方法，采用 12.5 μm 的线，可以获得 25 μm 的间距引线键合效果[7]。文献[7]演示了具有 10 μm 间距的高密度 Cu-Cu 键合。倒装芯片方法使方形芯片上的 I/O 数量增加了 250 倍。IMEC 和格罗方德半导体股份有限公司（GlobalFoundries）已经演示了使用 50 μm 间距微凸块的密集 3D 集成技术[8]，其带宽密度超过 1 Tbit/(s·mm^2)。

基于微环谐振器（MRR）的链路在当前高于 100 Gbit/s 的高带宽硅光子互连器件中提供最高的链路带宽密度和最低的功耗[9]。MRR 设计可执行多项互连功能，是硅光子系统的关键构建模块，它可作为有源调制器、光开关及无源器件波长选择滤波器。如图 2 所示，当最大单线速率在 200 Gbit/s 到 800 Gbit/s 区间时，通过优化环形谐振器的物理尺寸，可将链路功耗降至最低。

3 顶尖公司的技术

世界一流企业正在推进在封装内实现光互连。图 3 所示为光学互连技术发展路线图[10]。成本、带宽密度和功率效率三要素是每一级推进中所必须克

服的重大挑战。

3.1　IMEC 的光互连路线图

IMEC 是纳米电子和数字技术领域世界领先的研发和创新中心。IMEC 在其 200 mm CMOS 试产线中开发了最先进的硅光子 iSiPP50G 平台，可通过多项目晶圆（MPW）服务以及专用工程运行对外代工。IMEC 还开发了一种基于氮化硅的光子集成平台 BioPIX，将在未来推出 MPW。IMEC 开发用于短距离高密度光互连的 Si 光子集成电路（PIC），计划采用光学互连技术实现逻辑电路核到核，逻辑电路到 DRAM 连接的数据吞吐率从 1 Tbit/(s·mm) 向 100 Tbit/(s·mm) 直至 1 Pbit/(s·mm) 发展。表 1 所示为 IMEC 发布的光互连技术路线图[10]。2020 年 2 月，IMEC 在 iSiPP 平台上成功组装了 C 波段（1 530～1 565 nm）InP-DFB 激光器，该激光器以倒装片封装（Flip-Chip）集成在 SiPho 硅片上，实现功率大于 5 mW 的激光器耦合到 SiPho 芯片上的 SiN 波导中。

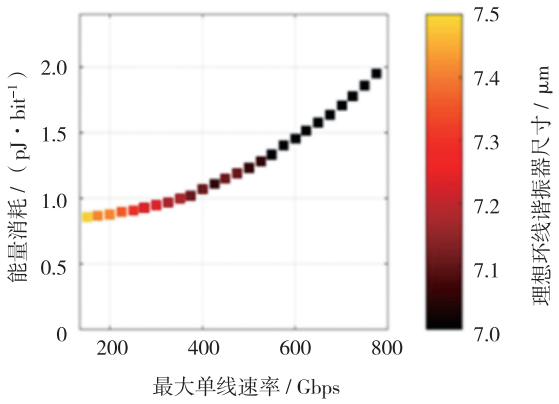


图 2　MRR 物理参数优化

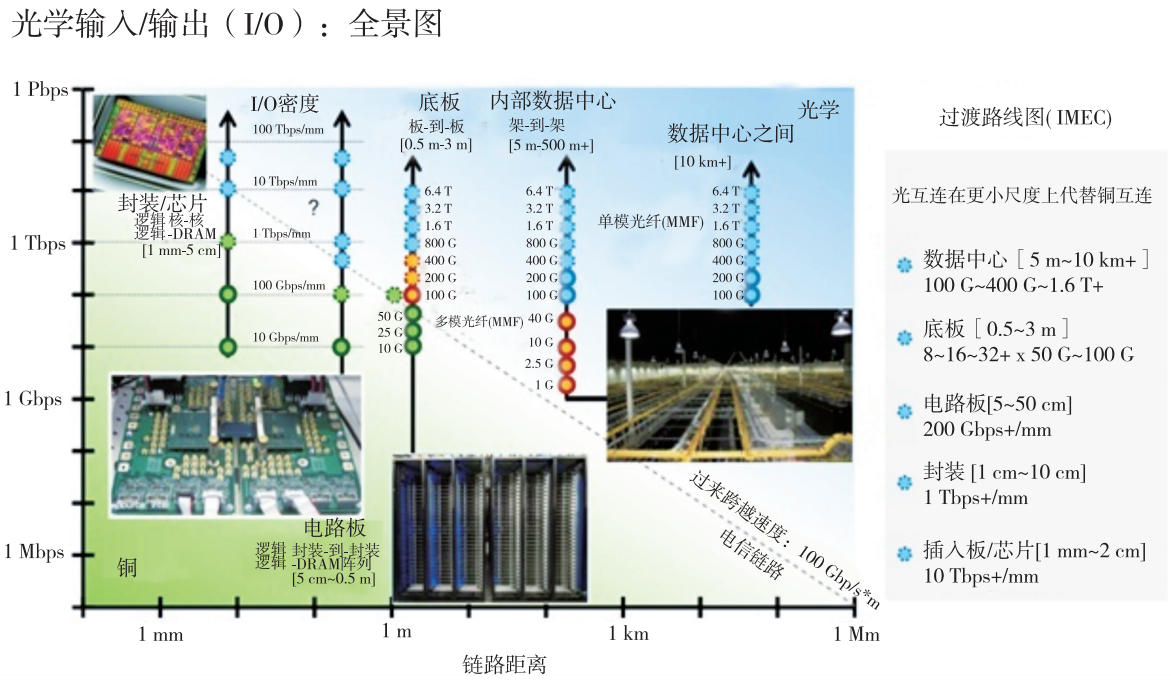


图 3　互连技术正向封装级光互连方向发展（来源：IMEC）

表 1　IMEC 的光互连技术路线图

互连引入年份	2016	2018	2020	2022	2024	2026
CMOS 节点/nm	28 nm	20 nm	14 nm	10 nm	7 nm	5 nm
最大芯片 I/O 带宽/(Tbit·s^{-1})	1.6	3.2	6.4	12.8	25.6	51.2
最大波特率/(Gbit·s^{-1})	25	35	50	70?	100?	140?
5～500 m+ 数据中心网络	InP PIC SiPh PIC 100 Gbit/s SMF	InP PIC SiPh PIC 200 Gbit/s SMF	InP PIC SiPh PIC 400 Gbit/s SMF	SiPh PIC 800 Gbit/s SMF	SiPh PIC 1.6 Tbit/s SMF	SiPh PIC 3.2 Tbit/s SMF

续表

互连引入年份	2016	2018	2020	2022	2024	2026
0.5～3 m 底板	Cu	Cu	Cu/VCSEL SiPh PIC 64x50 Gbit/s	Cu/VCSEL SiPh PIC 128x50 Gbit/s	SiPh PIC 128× 100 Gbit/s	SiPh PIC 256× 100 Gbit/s
5 cm～50 cm 间距的板	Cu	Cu	Cu	Cu/VCSEL/SiPh ＞100 Gbit/(s·mm)	SiPh PIC ＞200 Gbit/(s·mm)	SiPh PIC ＞400 Gbit/(s·mm)
1 mm～5 mm 内插板/芯片	Cu	Cu	Cu	Cu	Cu/SiPh PIC ＞5 Tbit/(s·mm)	Cu/SiPh PIC ＞10 Tbit/(s·mm)

注：SiPh—硅光子；SMF—单模光纤；“?”表示尚不确定。

3.2 Intel 从收发器到封装集成

近十年来，作为硅光子的主要推动者，Intel 公司持续使用硅光子连接作为数据中心，提供了分解计算和存储的愿景方案。Intel 在 2019 年宣布其光子产品进入批量出货阶段，针对 400 Gbit/s 市场研制出 400 Gbit/s QSFP-DD DR4 收发器，开始出现 25.6 Tbit/s 或 51.2 Tbit/s 交换机芯片等混合封装光器件。

Intel 公司在 300 mm 硅晶圆上集成使用了 InP 光源，回避了硅激光器发光效率较低的缺点（硅基光器件中目前只有硅激光器尚未实用化），而将硅器件用作调制等功能。Intel 公司解决方案的特点是可以进行大规模工艺处理。除了可集成激光器、调制器和探测器等，该方案还有一关键优势，就是可在硅衬底上刻蚀所需的无源元件，在硅片上实现紧密的耦合封装。

Intel 采用的这种硅芯片上集成激光器的方案需要将上述芯片与交换机 ASIC 混合封装。Intel 发布的从收发器到封装级集成的技术途径如表 2 所示。引人注目的是，Intel 和合作伙伴 Ayar 已经在实验室中实现了光 I/O 芯片和 PFGA 集成方案，将 Ayar 的 TeraPHY 光学收发器小芯片与采用 AIB 接口和 Intel EMIB 硅桥封装的 Intel FPGA 封装在一起[11]，如图 4 所示。该方案可以达到 2 Tbit/s 的数据带宽，传输距离最高可达 2 km，而传输功耗不超过 5 pJ/bit。

3.3 BAE 系统公司技术领先军用领域

BAE 系统公司在 CMOS 技术方面取得了显著成果，该公司在 CMOS 技术中增加了复杂的光子功能，使用光子器件实现大规模 RF 链接、极高速数字内部链接等。BAE 系统公司早在 2006 年就承担了美国国防部高级研究计划局（DARPA）电子和光子综合电路（EPIC）项目第二阶段的研究工作[12]。之前该公司在 EPIC 第一阶段已经开发了 CMOS 兼容器件，集成有超低功耗硅基微环光调制器、具有可调谐通带和中心波长的四阶窄带光学滤波器、硅锗波导光电探测器等。2019 年中标 DARPA “为实现最大程度尺寸缩放的光电子学封装技术研究（PIPES）”项目，成为主要研究者。

表 2 从收发器到封装级集成的技术途径（来源：Intel）

当前	中间过渡	25 Tbit/s ～ 50 Tbit/s 代
·25 Gbit/s 集成 SesDes	·50 Gbit/s～100 Gbit/s 集成 SesDes；	·共封装“光 I/O”
·高功率 I/O 驱动铜互连和线缆	·板上重定时器，可能需要 100 Gbit/s	·光子优化 SesDes
·交换机之间的光链路（SFP/QSFP 模块）	·成本和复杂性增加	·突破铜的限制
-	·引入板上光子	·功耗明显降低
-	·提高带宽密度	·光子学、封装和制造技术革新

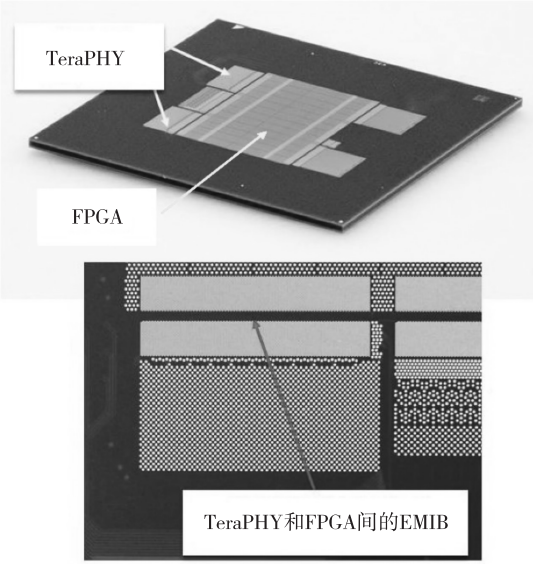


图 4　EMIB 连接的 TeraPHY 与 FPGA

4　结束语

超高速光互连系统级封装作为解决芯片间通信瓶颈的关键技术，目前正从系统、电路板级光互连向封装级甚至芯片级过渡。封装级高吞吐光互连可以大幅提升通信带宽，从而大幅提升系统处理速度。光互连从板级向封装级微缩对并行计算带来的影响将是革命性的。

封装级光互连技术得到 DARPA 的高度重视，DARPA 在 2018 年 11 月 1 日电子复兴计划(ERI)第二阶段设立了 PIPES 项目[13]，拟将超高速光互连推向封装内部。

该技术的发展趋势是为数字集成电路开发光信号技术，即开发出可集成光子收发器，并嵌入到现代尖端的系统级封装(SiP)中，采用先进的光电子学封装和光交换技术，在高度并行处理系统中实现高效数据传输。预计高效、宽带、封装级的光子通信技术将对商业和国防领域的许多新兴应用技术的发展产生重大影响。

参 考 文 献：

[1] 彭晓明，郭浩然，庞建民. 多核处理器——技术、趋势和挑战 [J]. 计算机科学，2012，39(11A)：320-326.

[2] SCHLANSKER M，TAN M，TOURRILHES J，et al. Configurable optical interconnects for scalable datacenters [C] // OFC/NFOEC. Anaheim，CA，USA. 2013.

[3] 链闻. 延续摩尔定律的“新”方法：将光子学导入芯片 [EB/OL]. https://www.chainnews.com，2018.

[4] DARPA PIPES developing integrated optical transceiver capabilities into multi-chip modules for high throughput parallel processing [EB/OL]. https://idstch.com，2018.

[5] QUACK N，SATTARI H，TAKABAYASHI A Y，et al. MEMS-enabled silicon photonic integrated devices and circuits [J]. IEEE Quantum Elec，2020，56(1)：1-10.

[6] JOYNER J W，ZARKESH-HA P，MEINDL J D. Global interconnect design in a three-dimensional system-on-a- chip [J]. IEEE Trans VLSI Syst，2004，12(4)：367-372.

[7] Hesse GmbH. Wire bonder Bondjet BJ653 benefits and features [EB/OL]. https://www.hesse-mechatronics.com/ en/products/heavy-wire-bonder/bj653，2014.

[8] RAKOWSKI M，BAN Y，DE HEYN P，et al. Hybrid 14 nm FinFET - silicon photonics technology for low-power Tb/s/mm^2 optical I/O [C] // IEEE Symp VLSI Technol. Honolulu，HI，USA. 2018：221-222.

[9] SHEN Y W，MENG X，CHENG Q X，et al. Silicon photonics for extreme scale systems [J]. J Lightwave Technology，2019，37(2)：245-259.

[10] ABSIL P. IMEC's silicon photonics platform enabling 100 Gb/s OOK optical links [EB/OL]. https://docplayer.net/86520403-Imec-s-silicon-photonics-platform-enabling-100gb-s-ook-optical-links.html，2017.

[11] WADE M，ANDERSON E，ARDALAN S，et al. TeraPHY：a chiplet technology for low power，high - bandwidth in - package optical I/O [J]. IEEE Micro，2020，40(2)：63-71.

[12] Theengineer. EPIC award for BAE systems [EB/OL]. https://www.theengineer.co.uk/epic-award-for-bae-systems，2006.

[13] DARPA. Microsystems technology office broad agency announcement，photonics in the package for extreme scalability (PIPES) [EB/OL]. https://research-authority.tau.ac.il/sites/resauth.tau.ac.il/files/DARPA-Photonics_for_Scalability_HR001119S0004.pdf，2018.

·半导体器件与工艺·

MEMS 开关中聚合物牺牲层去除方法研究

张　翼，鲍景富，黄裕霖，李昕熠，张　亭，张晓升
（电子科技大学 电子科学与工程学院，成都 611731）

摘　要： 制作了一种以聚酰亚胺作为牺牲层的低下拉电压开关，聚酰亚胺牺牲层采用反应离子刻蚀（RIE）工艺进行刻蚀。研究了刻蚀功率对刻蚀时间的影响，检验了不同刻蚀功率与刻蚀时间组合条件下开关梁的结构完整性，优化了该 RIE 工艺。实验结果表明，聚酰亚胺牺牲层的去除效果较好，其侧向刻蚀率为 1.3 μm/min。最终获得了具有 2 μm 以下间隙、结构完整的 MEMS 开关梁。

关键词： MEMS 开关；聚酰亚胺；反应离子刻蚀；牺牲层释放
中图分类号：TN405　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0890-04
DOI：10.13911/j.cnki.1004-3365.190710

Study on Polymeric Sacrificial Layer Etching Strategy for MEMS Switch

ZHANG Yi, BAO Jingfu, HUANG Yulin, LI Xinyi, ZHANG Ting, ZHANG Xiaosheng
(*School of Electronic Science and Engineering, Univ. of Elec. Sci. and Technol. of China, Chengdu* 611731, *P. R. China*)

Abstract: A MEMS switch with low pull-in voltage was fabricated using polyimide as the sacrificial layer. The sacrificial layer was removed by using RIE process. The influence of the etching power on etching time was studied, and the structural integrity of the switch beam was tested under different etching power and etching time combination conditions, so this RIE process was optimized. Experimental results showed that the polyimide sacrificial layer removal effect was good, and the lateral etching rate was 1.3 μm/min. Finally a MEMS switch cantilever beam with sub-2 μm gap and complete structure was obtained.

Key words: MEMS switch; polyimide; reactive ion etching; sacrificial layer releasing

0　引　言

近年来，微机电（MEMS）开关因线性度高、插损低、功耗低、开关比高、可集成性等优良性能而被广泛应用于自动测试、宽带仪器仪表、智能基站、卫星通讯等领域[1]。开关梁是 MEMS 开关中最重要的部分，MEMS 开关的所有功能均通过梁的悬浮结构实现。MEMS 开关的关键参数有下拉时间、释放时间、下拉力以及开关梁与基底间的间隙等，越来越高的参数需求提高了制作工艺的难度和复杂度[2]。

在 MEMS 工艺中，采用 RIE 工艺刻蚀聚酰亚胺（PI）牺牲层来释放悬浮结构[3-5]。RIE 工艺不受液体表面张力的影响，对后续工艺的兼容性好，但需谨慎选择刻蚀气体，避免对结构层的过刻蚀[6-7]。

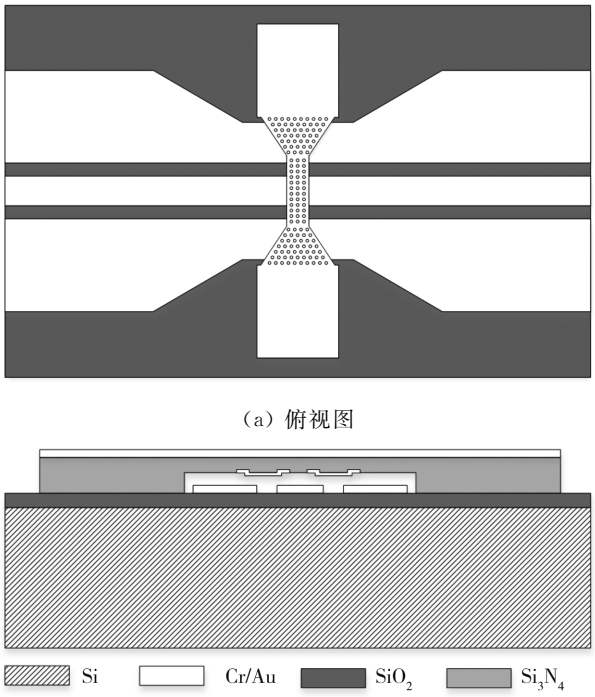
本文应用 RIE 工艺刻蚀 PI 层，获得了低下拉电压的多层梁 MEMS 开关。相比常规工艺，该工艺简化了工艺步骤，消除了梁与基底间的粘连问题，提升了刻蚀速率。同时，该工艺提高了刻蚀选择性，通过调整刻蚀时间、功率及混合气体比例解决了开关

收稿日期：2019-12-07；**定稿日期：**2020-01-15
基金项目：国家自然科学基金资助项目（61804023）；四川省科技计划项目（2018GZ0527）
作者简介：张　翼（1984—），男（汉族），河南郑州人，博士研究生，研究方向为射频 MEMS 器件。

梁 Si_3N_4 层的过刻蚀问题。

1　MEMS 开关的设计与制作

本文设计了一种具有固支梁的接触式并联 MEMS 开关，结构如图 1 所示。首先在硅片上生长作为绝缘层的 SiO_2 层，再在 SiO_2 层上制作开关。开关的锚点区通常是应力分布集中的区域，所以在锚点处设计为梯形结构，通过这种渐变过渡区缓解开关梁的机械疲劳。采用由顶层金属、Si_3N_4 层和底层金属构成的多层梁结构，实现低的残余应力。



(a) 俯视图

(b) 剖面图

图 1　低下拉电压开关示意图

开关梁有三层结构。开关梁的上层(上电极)是顶层金属，其厚度为 0.5 μm。开关梁的中间层是 Si_3N_4 层，其厚度为 1 μm，起绝缘作用的同时作为结构层。开关梁的下层是底层金属电极层。

当驱动电压施加在共面波导(CPW)地线与顶层金属层间时，施加给开关梁一个静电下拉力。当开关被下拉至闭合位置时，开关梁下方两块相互分离的金属触点区将 CPW 信号线与地线相连接。相较于纯金梁，本文提出的三明治结构开关梁通过应力梯度补偿机制降低了分布于梁上的残余应力。本文在开关梁上方设计了释放孔，加速牺牲层的刻蚀速率。这些释放孔能进一步释放开关梁的部分残余应力，从而降低了开关梁的杨氏模量。

本文开关的制作工艺流程如图 2 所示，工艺步骤为：a)在硅片上热氧化生长 1 μm 厚的 SiO_2 绝缘层；b)在绝缘层上利用正胶掩膜，溅射 0.5 μm 厚的 Au 层，随后利用剥离工艺，形成 CPW 传输线；c)采用旋涂工艺形成 PI 牺牲层；d)利用光刻后正胶作为掩膜，采用 RIE 工艺在 PI 牺牲层上形成金属触点区；e)溅射 Au 层，刻蚀出(采用正胶掩膜与湿法刻蚀工艺以避免采用剥离工艺造成的牺牲层损伤)金属触点区；f)经 RIE 工艺在牺牲层刻蚀出开关锚点位置，采用 PECVD 工艺淀积 Si_3N_4 中间层；g)采用溅射工艺淀积上层金属，湿法刻蚀；h)采用 RIE 工艺刻蚀 Si_3N_4 中间层，再次使用 RIE 工艺去除 PI 层，最终释放出开关梁结构。

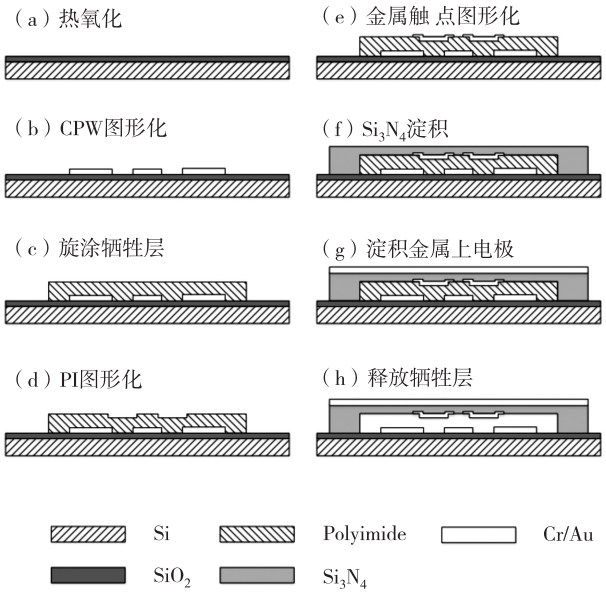


图 2　开关的制作工艺流程图

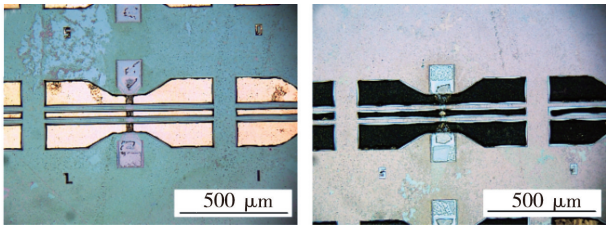
2　结果与分析

在 RIE 工艺中，采用 O_2 与 CF_4 混合气体作为刻蚀聚合物的刻蚀剂。一方面，添加 CF_4 后，气体中 O 原子浓度有所增加，氧化反应增强。另一方面，F 原子激活 PI 表面并破坏其分子结构而产生更多自由基位点，提高刻蚀速率。但是，过量存在的 F 原子会与 O 原子竞争聚酰亚胺表面的自由基位点而形成钝化层，对刻蚀过程起抑制作用[8-12]。本文通过调整 CF_4 与 O_2 之比例，即可提升刻蚀速率，又可保护 Si_3N_4 层。

2.1　过刻蚀与欠刻蚀

在制作过程中，通常会遇到对 Si_3N_4 层的过刻蚀和对 PI 层的欠刻蚀问题。释放牺牲层是悬浮结

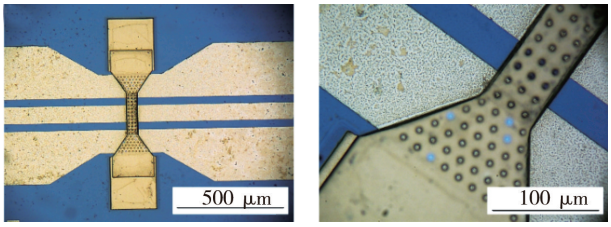
构是否加工成功的关键步骤。本文工艺中，RIE 工艺采用 O_2 与 CF_4 混合气体作为刻蚀剂。在 400 W 功率、O_2(100 cm^3/min)和 CF_4(20 cm^3/min)的混合刻蚀剂中刻蚀 5 min。该过程循环进行 7 次，间隔时间为 30 s。在 RIE 干法刻蚀后观察到的过刻蚀现象一如图 3(a)所示，原因是刻蚀剂中的四氟化碳(CF_4)的刻蚀作用。对于这类过刻蚀现象，可通过降低功率和气体流量等参数来消除。功率的增大会对工艺中物理刻蚀和化学刻蚀同时产生影响。随着功率的提高，离子和自由基密度增加，促进了物理和化学刻蚀作用，从而提升了刻蚀速率。但是，过高的功率会导致离子轰击作用过强，造成薄膜表面的损伤。如果长时间处于高射频功率下，PI 层会过热碳化，留下难以去除的残留碳化物，过刻蚀现象二如图 3(b)所示。



(a) 过刻蚀现象一　　(b) 过刻蚀现象二

图 3　过刻蚀现象示意图

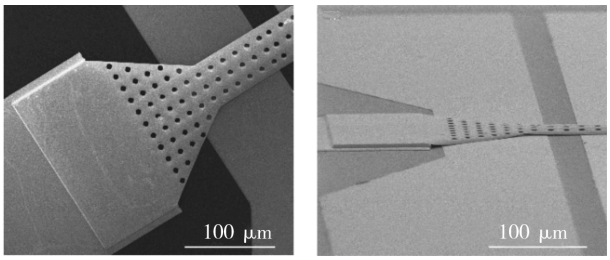
当刻蚀时间减少到 2 min 时，PI 层没有被完全去除，此时的开关俯视图如如图 4(a)所示。CPW 上残留的 PI 现象如图 4(b)所示。这一欠刻蚀现象表明了刻蚀时间的重要作用。因为开关梁遮挡了部分 PI 层，梁下的 PI 难以完全清除，所以需要增加刻蚀时间。



(a) 俯视图　　(b) 残留的 PI 现象

图 4　欠刻蚀现象示意图

保持功率等参数不变，将 RIE 工艺过程循环进行 3 次，间隔时间为 30 s，第 1 次、3 次的刻蚀时间均为 5 min，第 2 次的刻蚀时间为 2 min。为了检查刻蚀引起的梁塌陷，对侧面轮廓也进行查验。梁的俯视图如图 5(a)所示。可以看出，PI 层已经完全被去除，梁的结构完整。但是，Si_3N_4 层在刻蚀过程中出现了过刻蚀，梁的边缘发生卷曲，梁由于缺乏 Si_3N_4 结构层而发生塌陷，如图 5(b)所示。原因是，CF_4 在去除 PI 层时同时刻蚀了 Si_3N_4 层。

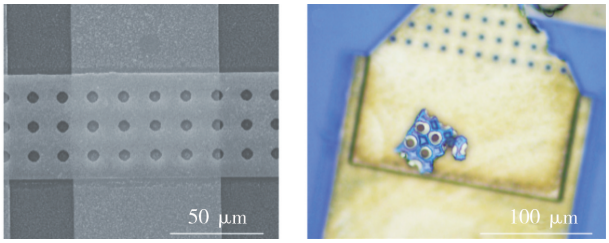


(a) 俯视图　　(b) 梁的塌陷现象

图 5　轻度过刻蚀现象示意图

2.2　受控刻蚀

为了在完全去除 PI 层的同时保持 Si_3N_4 层的完整，进一步对 RIE 工艺参数进行优化。在 150 W 功率下 RIE 工艺过程循环进行 3 次，刻蚀时间为 6 min，每次 2 min，O_2 和 CF_4 的流量分别为 50 cm^3/min 和 5 cm^3/min。通过受刻蚀得到的梁的俯视图如图 6(a)所示，梁翻转后的俯视图如图 6(b)所示。可以看出，梁的形貌完整。本文的 MEMS 开关示意图如图 7 所示。



(a) 局部俯视图　　(b) 梁翻转后的俯视图

图 6　通过受控刻蚀得到的梁示意图

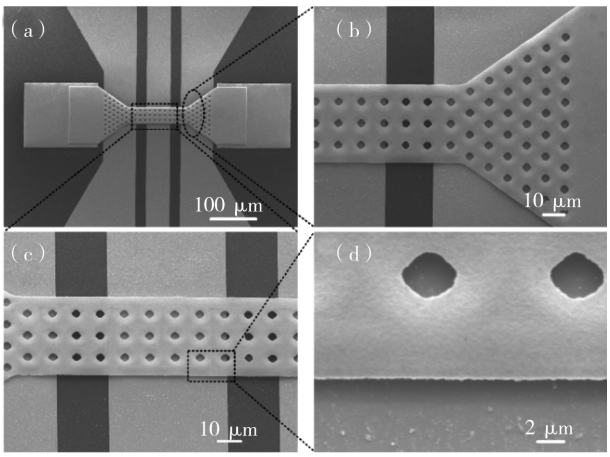


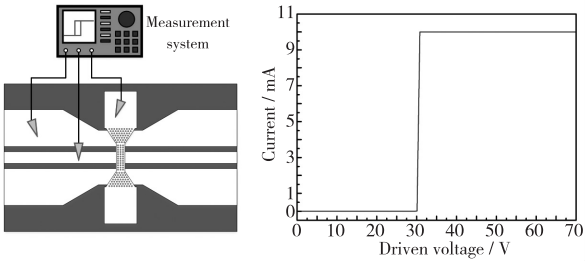
图 7　本文 MEMS 开关示意图：(a)整体结构；(b)锚点处放大图；(c)梁放大图；(d)梁倾斜角度放大图

可以看出，开关制作成功，梁结构无损坏，梁下的间隙清晰且无塌陷现象，PI 层完全去除。这验证

了 RIE 工艺参数的有效性。结果表明，在一定的工艺参数(功率、气体流量等)下，释放孔尺寸对侧向刻蚀的影响很小。在优化工艺参数下，侧向刻蚀速率为 1.3 μm/min。

2.3　MEMS 开关的电特性测试

采用探针台及 Agilent 4155B 半导体参数分析仪对开关的 *V-I* 特性进行测试。通过探针在开关的多层梁与 CPW 传输线之间施加直流电压偏置。开关下拉电压的测试平台及 *V-I* 特性曲线图如图 8 所示。可以看出，在下拉电压为 30 V 时，从 CPW 信号线流入地线的电流为 1 mA。在地线电压线性增加时，有电流的突变。这证实了 MEMS 开关能正常工作，也证明了制作工艺的正确性。如果 Si_3N_4 层发生过刻蚀结构不完整时，当施加电压大于下拉电压时，由于上层金属而接触到地线，开关梁会立刻弹回而使回路断开。



(a)测试平台　　(b)开关 *V-I* 特性

图 8　开关下拉电压的测试平台及 *V-I* 特性曲线

3　结　论

本文提出了一种具有悬浮结构的 MEMS 开关的牺牲层释放工艺流程。首先在 PI 上淀积 Si_3N_4 层和金属层，形成悬浮结构，再采用以 O_2 和 CF_4 作为刻蚀剂的 RIE 工艺，干法释放牺牲层，最终得到 MEMS 开关。在 150 W 功率、50 cm^3/min O_2 流量、5 cm^3/min CF_4 流量的条件下，侧向刻蚀速率为 1.3 μm /min。结果表明，Si_3N_4 层在干法刻蚀中形状完整。该制作方法的优点是消除了粘连问题，简化了工艺流程。本文方法为 MEMS 开关制作提供了新思路。

参 考 文 献：

[1]　REBEIZ G M，PATEL C D，HAN S K，et al. The search for a reliable MEMS switch [J]. IEEE Microwave Mag，2013，14(1)：57-67.

[2]　REBEIZ G M，MULDAVIN J B. RF MEMS switches and switch circuits [J]. IEEE Microwave Mag，1998，2(4)：59-71.

[3]　KIM Y W，ALLEN M G. Single and multi-layer surface-micromachined platforms using electroplated sacrificial layers [J]. Sensor & Actuat A：Phys，1992，35(1)：61-68.

[4]　FRAZIER A B，AHN C H，ALLEN M G. Development of micromachined devices using polyimide-based processes [J]. Sensor & Actuat A：Phys，1994，45(1)：47-55.

[5]　BAGOLINI A，PAKULA L，SCHOLTES T L M，et al. Polyimide sacrificial layer and novel materials for post-processing surface micromachining [J]. J Micromech & Microengineer，2002，12(4)：385-389.

[6]　LOEWENSTEIN L M. Selective etching of silicon nitride using remote plasmas of CF_4 and SF_6 [J]. J Vacuum Sci & Technol A：Vacuum，Surfac，& Film，1989，7(3)：686-690.

[7]　KASTENMEIER B E，MATSUO P J，BEULENS J J，et al. Chemical dry etching of silicon nitride and silicon dioxide using $CF4/O_2/N_2$ gas mixtures [J]. J Vacuum Sci & Technol A：Vacuum，Surfac，& Film，1996，14(5)：2802- 2813.

[8]　TSANG Y L，MILLER C，LII T. Investigation of polyimide residue due to reactive ion etching in O_2 [J]. J Electrochem Soc，1996，143(4)：1464-1469.

[9]　BARTEK M，WOLFFENBUTTEL R F. Dry release of metal structures in oxygen plasma：process characterization and optimization [J]. J Micromech & Microengineer，1998，8(2)：91-94.

[10]　BUDER U，KLITZING J P V，OBERMEIER E. Reactive ion etching for bulk structuring of polyimide [J]. Sensor & Actuat A：Phys，2006，132 (1)：393-399.

[11]　EGITTO F D. Plasma etching and modification of organic polymers [J]. Pure & Appl Chem，1990，62 (9)：1699-1708.

[12]　ASSA J，SPASSOVA A E，KARAMANCHEVA A I，et al. Thin polyimide layers-preparation and properties [J]. Vacuum，1998，51(2)：185-188.

一种新型降低 GIDL 的纳米线环栅场效应晶体管

唐雅欣，孙亚宾，李小进，石艳玲
（华东师范大学 通信与电子工程学院 电子工程系 上海多维信息处理重点实验室，上海 200241）

摘　要： 提出了一种可以有效降低环栅晶体管栅致漏极泄漏(GIDL)的新型非对称沟道介质环场效应环栅(GAA)晶体管。位于漏端附近的沟道介质环结构可有效降低载流子沿沟道方向的带间隧穿几率，从而显著改善环栅器件在关态时的栅致漏极泄漏电流情况。3D TCAD 仿真结果表明，与具有真空侧墙或者一般氧化物侧墙的常规环栅器件相比，新型非对称沟道介质环晶体管静态漏电明显降低，开关比提高；栅围寄生电容、最大震荡频率(f_{MAX})和截止频率(f_T)未受明显影响。沟道介质环厚度的增加会线性减小器件的关态电流和开态电流，但会提高器件的开关比。

关键词： 沟道介质环；栅致漏极泄漏电流；纵向带间隧穿；环栅晶体管
中图分类号：TN386　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0894-05
DOI：10.13911/j.cnki.1004-3365.190695

A Novel Insulated Ring-on-Channel Gate All Around MOSFET to Reduce GIDL

TANGYaxin, SUN Yabin, LI Xiaojin, SHI Yanling
(*Shanghai Key Lab. of Multidimensional Inform. Processing, Depart. of Elec. Engineer., School of Communication and Electronic Engineering, East China Normal Univ., Shanghai* 200241, *P. R. China*)

Abstract: In order to solve an issue of Gate Induced Drain Leakage (GIDL) effect but improve the analog performance in Gate All Around (GAA) MOSFET, a novel structure of insulated ring-on-channel GAAFET was designed. The characteristics of this structure were that the insulated ring was introduced on channel near drain, which was helpful to suppress longitude band-to-band tunneling for better electrical characteristics. Compared with conventional GAA MOSFETs, the results of 3D numerical TCAD simulations exhibited that the off-state current was significantly reduced but on-state-to-off-state current ratio (I_{ON}/I_{OFF}) was enhanced. Dynamic performance was still great owing to its high maximum oscillation frequency f_{MAX} and the cut off frequency f_T. In addition, an increasing of thickness for the insulated ring could decrease both I_{OFF} and I_{ON} but improve the I_{ON}/I_{OFF} ratio.

Key words: insulated ring-on-channel; gate induced drain leakage; band to band tunneling; gate all around MOSFET

收稿日期：2019-12-02；**定稿日期：**2020-01-10
基金项目：国家科技重大专项资助项目(2016ZX02301003)；国家科学自然基金资助项目(61574056，61704056)；上海扬帆计划资助项目(YF1404700)；上海市科学技术委员会资助项目(14DZ2260800)
作者简介：唐雅欣(1994—)，女(汉族)，河北石家庄人，硕士研究生，研究方向为超大规模集成电路与系统设计。

0　引　言

根据摩尔定律，集成电路核心 MOS 器件特征尺寸在不断缩减，传统器件的短沟道效应在到达物理极限后会导致其静态功耗问题愈发严重。在数字电路和存储单元中，短沟道效应还可能导致逻辑状态混乱。双栅器件、FinFET 等器件因具有出色的栅极控制能力而受到广泛关注[1-3]。其中，环栅硅纳米晶体管(GAAFET)成为研究热点。栅致漏极泄漏(GIDL)电流作为关态漏电的主要成分，对环栅晶体管静态功耗的产生有重要影响[3]。

GIDL 主要来源于两种隧穿机制。一种为发生在栅极和漏极重叠区域的横向带间隧穿(T-BTBT)；另一种为发生在沟道和漏极连接处的纵向带间隧穿(L-BTBT)[3]。对于平面器件，GIDL 主要来自于栅极偏压较高时发生的 T-BTBT。对于环栅(GAA)纳米场效应晶体管，虽然短沟道效应和 T-BTBT 均得到有效抑制，但由于其沟道直径较小，栅极对沟道强大的耦合作用会导致沟道的价带与漏极的导带极易产生重叠，从而诱发 L-BTBT。这种隧穿机制在栅极偏置较低时仍会发生，因此，器件在关闭状态下，仍会因 L-BTBT 而产生较大漏电流[4-8]。

相关研究表明，常规 GAA 器件的绝缘侧墙结构可以通过对漏极扩展区能带的耦合作用来有效降低 L-BTBT，以减小静态漏电[5]。但是，这种侧墙结构的存在会极大增加栅围寄生电容，破坏器件的动态特性。因此，本文设计了一种新型的沟道介质环的场效应晶体管，分析了该器件的电学特性和频率特性。研究结果表明，该结构可以有效改善漏电，且不影响器件的动态性能。另外，还研究了介质环的长度和厚度对器件 L-BTBT 的影响。

1　器件结构及仿真设置

本文提出的新型沟道介质环 GAAFET 的三维结构如图 1 所示。沟道区域均匀掺杂，源漏扩展区与沟道的界面处采用 1.3 nm/decade 的高斯掺杂分布。

介质环结构采用 SiO_2 绝缘介质，图 2(a)所示为沟道介质环 GAAFET 沿沟道方向二维剖面图。本文结构中的介质环的长度和厚度均为 1 nm。带有侧墙结构的常规环栅晶体管二维剖面图如图 2(b)所示。沟道介质环 GAAFET 的相关结构参数如表 1 所示。

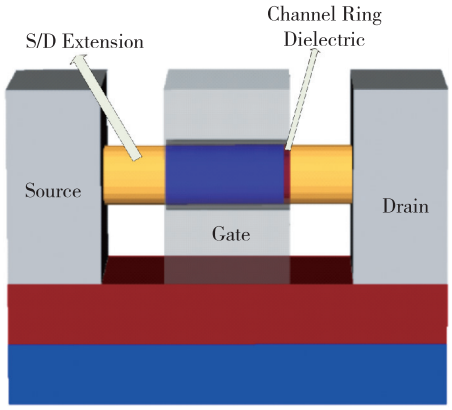
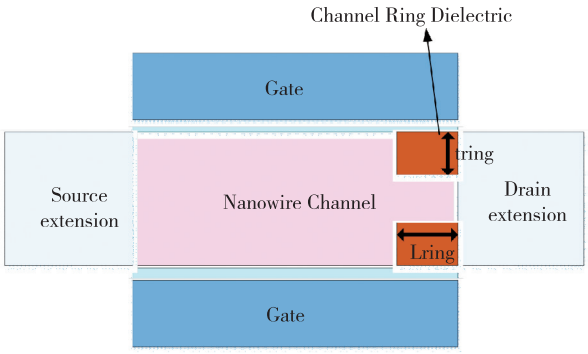
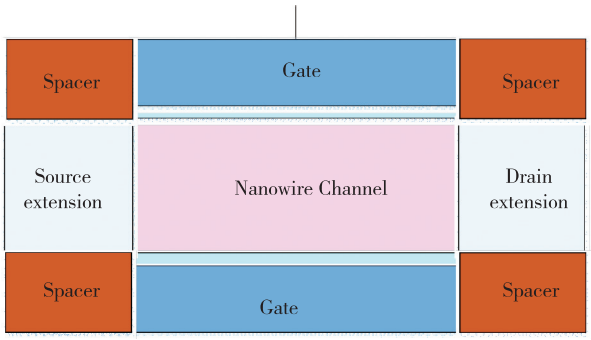


图 1　沟道介质环 GAAFET 的三维结构示意图



(a) 沟道介质环 GAAFET



(b) 常规侧墙 GAAFET

图 2　GAAFET 沿沟道方向二维剖面图

表 1　沟道介质环 GAAFET 的相关结构参数

参数	数值
栅长 L_g/nm	20
沟道直径 d_{NW}/nm	10
源漏掺杂 N_{SD}/cm^{-3}	1×10^{20}
源漏扩展区掺杂 N_{SDext}/cm^{-3}	1×10^{20}
沟道掺杂 $N_{channel}$/cm^{-3}	1×10^{17}
衬底掺杂 N_{bulk}/cm^{-3}	1×10^{17}
栅金属功函数 W_{gate}/eV	4.5
等效栅氧层厚度 t_{ox}/nm	1

仿真采用 Band-to-band 隧穿来模拟 L-BTBT 漏电。为了验证仿真环境的准确性，利用已有文献中的实验数据[5]，对常规 HfO_2 侧墙 GAAFET 进行校准，如图 3 所示。可以看出，本文仿真数据与实验数据较为吻合。

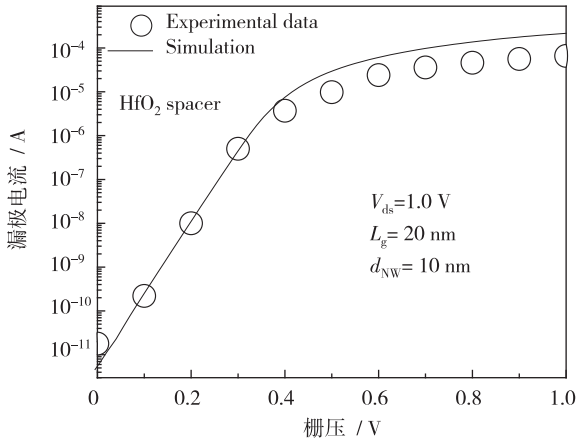


图 3　仿真结果和已有文献中实验数据的校准

2　结果与分析

2.1　电学特性分析

图 4 所示为常规真空侧墙 GAAFET、常规 SiO_2 侧墙 GAAFET 和沟道绝缘介质环 GAAFET 三种器件的转移特性曲线。介质环的长度和厚度均为 1 nm。当栅压低于 0.1 V 时，关态电流主要由 GIDL 漏电组成。由图可知，沟道介质环 GAAFET 的 GIDL 漏电流减小为常规真空边墙 GAAFET 的三分之一、常规 SiO_2 侧墙 GAAFET 的二分之一。这种结果得益于沟道介质环对 L-BTBT 的阻碍作用。阻碍作用在于两个方面：1）相同位置隧穿几率降低；2）发生隧穿效应的横截面积减小。

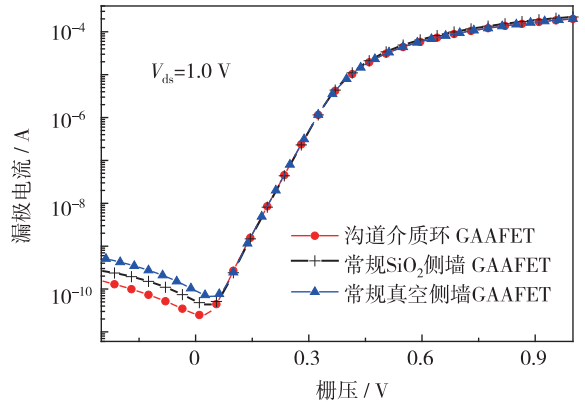


图 4　三种不同器件的转移特性曲线

沟道介质环 GAAFET 和常规真空侧墙 GAAFET 的能带对比如图 5 所示。

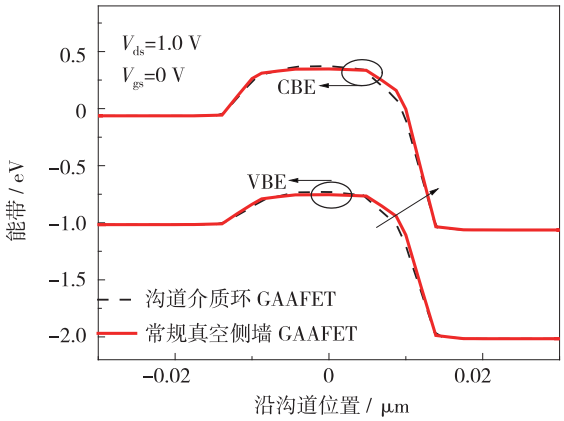


图 5　沟道介质环 GAAFET 和常规真空侧墙 GAAFET 的能带对比

可以看出，与常规真空侧墙 GAAFET 相比，沟道介质环 GAAFET 在靠近漏端的沟道处的价带（VBE）和导带（CBE）带隙能量有所减少。原因是沟道介质环的存在降低了沟道和漏极的共享电荷[9-11]。一方面，沟道介质环 GAAFET 中的电子从 VBE 到 CBE 的隧穿距离增大，导致隧穿几率明显减小。另一方面，介质环存在于沟道与漏极扩展区的交界处，随着电流通道横截面积的减小，L-BTBT 隧穿的面积随之减小。因此，沟道介质环 GAAFET 能够有效抑制 L-BTBT，从而减小关态电流。

图 6 和图 7 所示分别为三种不同结构器件的转移特性曲线和输出特性曲线。可以看出，沟道介质环 GAAFET 与常规真空侧墙 GAAFET 相比，虽然介质环的存在略微降低了电流流通的通道横截面积，轻微降低了开态电流，但沟道介质环 GAAFET 的开态电流并未大幅度降低。但沟道介质环 GAAFET 与常规真空侧墙 GAAFET 的开态电流都略低于常规 SiO_2 侧墙 GAAFET。原因是栅极和源/漏之间的 SiO_2 侧墙能够降低串联电阻[5]。因此，沟道绝缘介质环并未使器件的输出特性变差。三种不同器件开关比的对比如图 8 所示。可以看出，沟道介质环 GAAFET 的开关比约为常规真空侧墙 GAAFET 的 4 倍、常规 SiO_2 侧墙 GAAFET 的两倍。沟道介质环 GAAFET 的高开关比得益于其出色的关态性能。因此，沟道介质环 GAAFET 非常适用于低功耗电路的设计实现。

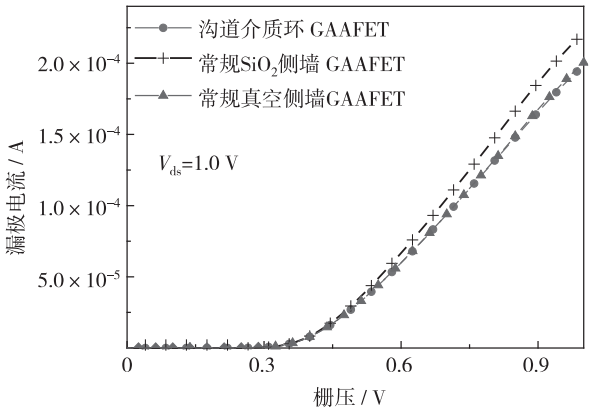


图 6　三种不同器件的转移特性曲线

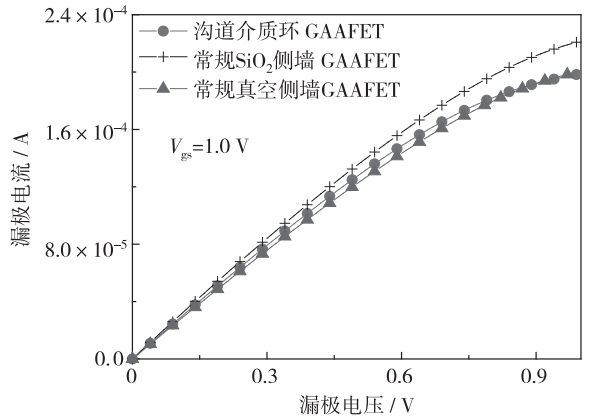


图 7　三种不同器件的输出特性曲线

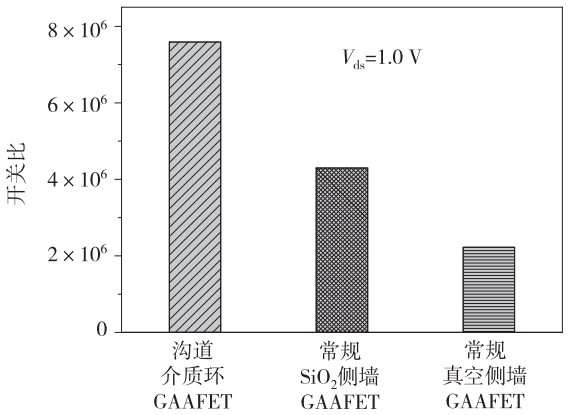
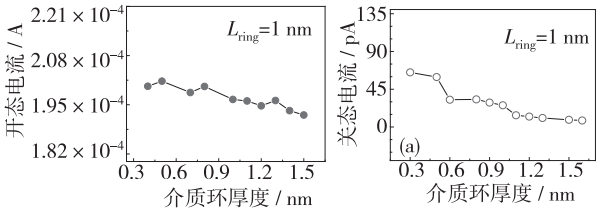


图 8　三种不同器件开关比的对比

2.2　沟道介质环的厚度和长度

本文进一步探究了绝缘沟道介质环的厚度(t_{ring})和长度(L_{ring})对器件性能的影响。沟道介质环 GAAFET 开关态电流随介质环厚度的变化趋势如图 9 所示，随着 t_{ring} 的增加，I_{on} 和 I_{off} 总体上都呈下降趋势。究其原因，回归器件结构本身，是由于绝缘沟道介质环 t_{ring} 的增加导致器件靠近漏端处的沟道横截面积减小，L-BTBT 发生在沟道和漏端相接的整个界面，隧穿总量随之减小，从而关态电流逐步降低。但此时，电流总通量减小，使得开态电流也逐渐减小。这表明，t_{ring} 的增加使 I_{off} 降低的同时还会引起 I_{on} 的退化。开关比随介质环厚度的变化趋势如图 10 所示，器件的开关比随着 t_{ring} 的增加逐渐增加，说明 t_{ring} 增加对 GIDL 的抑制作用更突出，有利于提升器件的整体性能。



(a) 开态电流　　(b) 关态电流

图 9　沟道介质环 GAAFET 开关态电流随介质环厚度的变化趋势

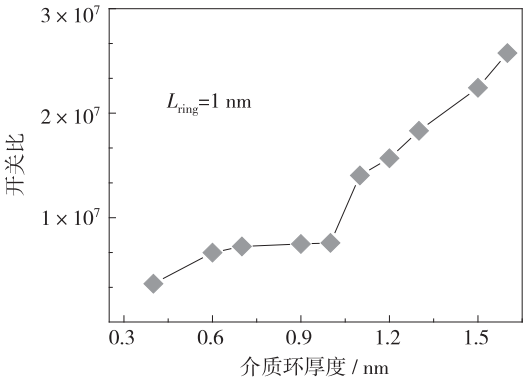
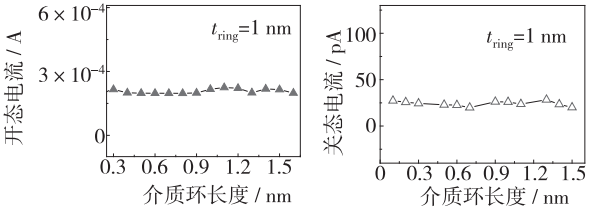


图 10　开关比随介质环厚度的变化趋势

图 11 所示为介质环的 L_{ring} 对 I_{off} 和 I_{on} 的影响。结果表明，I_{off} 和 I_{on} 均没有明显的变化。因此，需重点关注介质环的厚度设计，根据具体电路对器件性能的不同要求进行折中选择；介质环的长度对器件的 I_{off}、I_{on} 以及开关特性无明显影响，可根据器件的工艺节点确定 L_{ring} 的数值大小。本文实验中沟道介质环 GAAFET 的介质环的 t_{ring} 和 L_{ring} 均取 1 nm。



(a) 开态电流　　(b) 关态电流

图 11　沟道介质环 GAAFET 开关态电流随介质环长度的变化趋势

2.3　动态特性分析

由以上分析可知，介质环可以有效抑制 GIDL

漏电从而改善器件静电特性。三种不同结构器件栅围寄生电容随栅压变化趋势如图 12 所示。可以得出，沟道介质环 GAAFET 的栅围寄生电容较常规 SiO_2 侧墙 GAAFET 降低 13.6%，较常规真空侧墙 GAAFET 降低 2.8%。

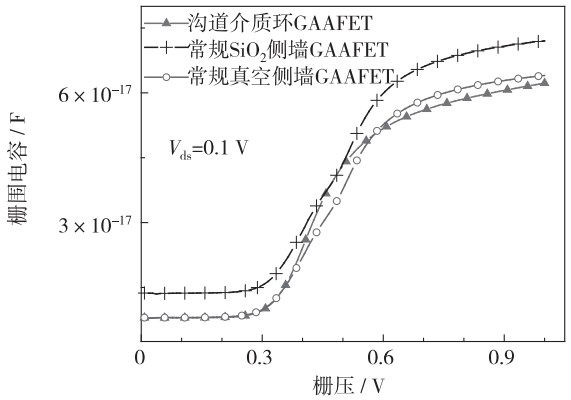


图 12 三种不同结构器件栅围寄生电容随栅压变化趋势

图 13 所示为三种不同结构器件的最大震荡频率(f_{MAX})和最大截止频率(f_T)的对比图。可以看到，沟道介质环 GAAFET 的 f_{MAX} 和 f_T 与常规真空侧墙 GAAFET 几乎相等，且均明显高于常规 SiO_2 侧墙 GAAFET。因此，沟道介质环的存在可以改善器件的静态泄漏，却不会增加栅围寄生电容。原因是介质环减少了沟道和漏端的共享电荷，使跨导增加[10]，不会降低器件的截止频率。因此，该器件的动态性能没有恶化，仍然适用于高频电路的设计。

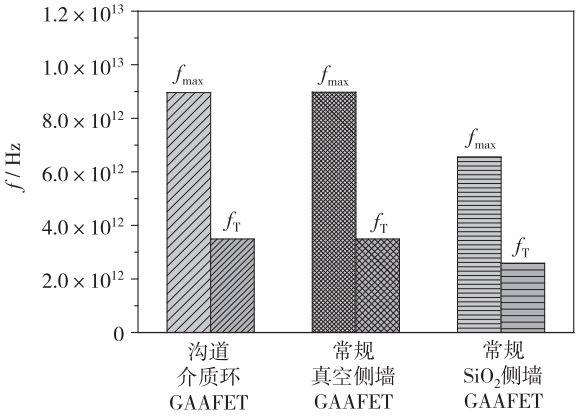


图 13 三种不同结构器件的最大震荡频率(f_{MAX})和最大截止频率(f_T)的对比

3 结 论

本文采用 3D TCAD 仿真探究了新型沟道介质环 GAAFET 的静电特性和动态特性。结果表明，沟道绝缘介质环可以有效降低 L-BTBT，从而改善静态漏电情况、降低功耗，且不会对器件的动态特性造成不良影响。t_{ring} 的增加会减少 I_{off}，同时减小 I_{on}，但会明显提高器件开关比。该新型沟道介质环 GAAFET，可以改善静态漏电，利于低功耗电路设计，并适用于高频电路，为电路设计者提供了更多的选择。

参 考 文 献：

[1] SHARMA D, VISHVAKARMA S K. Analyses of DC and analog/RF performances for short channel quadruple-gate gate-all-around MOSFET [J]. Microelec J, 2015, 46(8): 731-739.

[2] KIM S, SEO Y, LEE J, et al. GIDL analysis of the process variation effect in gate-all-around nanowire FET [J]. Sol Sta Elec, 2017, 140(2): 59-63.

[3] FAN J W, LI M, XU X Y, et al. Insight into gate-induced drain leakage in silicon nanowire transistors [J]. IEEE Trans Elec Dev, 2015, 62(1): 213-219.

[4] SACHID A B, LIN H, HU C. Nanowire FET with corner spacer for high-performance, energy-efficient applications [J]. IEEE Trans Elec Dev, 2017, 64(12): 5181-5187.

[5] SAHAY S, KUMAR M J. Spacer design guidelines for nanowire FETs from gate-induced drain leakage perspective [J]. IEEE Trans Elec Dev, 2017, 64(7): 3007-3015.

[6] SAHAY S, KUMAR M J. Insight into lateral band-to-band-tunneling in nanowire junctionless FETs [J]. IEEE Trans Elec Dev, 2016, 63(10): 4138-4142.

[7] SAHAY S, KUMAR M J. Physical insights into the nature of gate-induced drain leakage in ultrashort channel nanowire FETs [J]. IEEE Trans Elec Dev, 2017, 64(6): 2604-2610.

[8] SAHAY S, KUMAR M J. Diameter dependence of leakage current in nanowire junctionless field effect transistors [J]. IEEE Trans Elec Dev, 2017, 64(3): 1330- 1335.

[9] KUMAR M J, PRATAP Y, GUPTA M, et al. DMG insulated shallow extension cylindrical GAA Schottky barrier MOSFET for removal of ambipolarity: a novel approach [C] // INEC. Chengdu, China. 2016.

[10] REWARI S, NATH V, HALDAR S, et al. Dual metal (DM) insulated shallow extension (ISE) gate all around (GAA) MOSFET to reduce gate induced drain leakages (GIDL) for improved analog performance [C] // DevIC. Kalyani, India. 2017.

[11] LONG W, OU H, KUO J M, et al. Dual-material gate (DMG) field effect transistor [J]. IEEE Trans Elec Dev, 1999, 46(5): 865-870.

一种用于低压防护的新型闩锁免疫双向可控硅

陈　磊，杨潇楠，杨　波，陈瑞博，李浩亮
（郑州大学 信息工程学院，郑州 450000）

摘　要： 针对传统片上静电放电（ESD）防护器件双向可控硅（DDSCR）的低维持电压特性，设计了一种内嵌多 MOS 管的新型 DDSCR。通过多 MOS 管组成的旁路通路进行分流，能够增强反偏结电场，从而提高器件抗闩锁能力。基于 TCAD 进行仿真，模拟 TLP 测试结果表明，与 NLVT_DDSCR 相比，新型器件的触发电压基本保持不变，维持电压从 3.50 V 提高到 5.06 V，通过拉长关键尺寸 D_5，可将器件维持电压进一步提高到 6.02 V，适用于电源轨为 5 V 的低压芯片防护。

关键词： 静电放电；双向可控硅；分流；多脉冲仿真；维持电压
中图分类号：TN342$^+$.3　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0899-04
DOI：10.13911/j.cnki.1004-3365.190306

A Novel Latchup-Immune DDSCR for Low Voltage Protection

CHEN Lei, YANG Xiaonan, YANG Bo, CHEN Ruibo, LI Haoliang
(*School of Information Engineering, Zhengzhou University, Zhengzhou* 450000, *P. R. China*)

Abstract: To overcome the problems with the low holding voltage characteristics of the traditional on-chip electrostatic discharge (ESD) protection device dual directional silicon controlled rectifier (DDSCR), a novel DDSCR device structure with embedded multi-MOS was proposed. The core design idea was that the shunting path formed by multiple MOS could enhance the reverse bias electric field, which improved the anti-latch ability of the device. The results of TLP test based on TCAD multi-pulse simulation showed that compared with NLVT_DDSCR device, the holding voltage of the novel DDSCR device could be increased from 3.50 V to 5.06 V under the premise that the trigger voltage remained basically unchanged, and through the extension of the critical dimension D_5, the device's holding voltage could be further increased to 6.02 V. Therefore, the novel DDSCR device could be suitable for low voltage chip protection with 5 V power rails.

Key words: ESD; DDSCR; shunting; multi-pulse simulation; holding voltage

0　引　言

随着芯片制作技术朝着体积小、低功耗、高度集成化的方向发展，集成电路（IC）对 ESD 越来越敏感，易发生漏源极穿通、氧化层击穿、金属互连线断裂等永久性损坏现象。为了提高电路的可靠性，ESD 防护电路成为 IC 设计中不可缺少的部分[1-2]。芯片的 IO 引脚在 V_{DD} 与 V_{SS} 之间，需要泄放正负 ESD 冲击电流的防护模块。传统的 GGNMOS、SCR 等器件只具有单向 ESD 防护特性。在负向 ESD 冲击下，单向防护器件的衬底寄生二极管正向导通[3-4]，使用于驱动能力强的 RS422、CAN 等电路时存在严重的漏电流现象[5-6]。为避免正负应力对 IO 接口的冲击、克服单向防护器件的缺点，A. Z. H. Wang 等人设计了具备双向 ESD 防护能力的 DDSCR，有效降低了复杂性，减小了版图面积，但只能应用于高压领域[7]。针对低压领域，Z. W. Liu

收稿日期：2019-05-22；**定稿日期：**2019-06-17
基金项目：国家自然科学基金资助项目（61874099）
作者简介：陈　磊（1993—），男（汉族），安徽六安人，硕士研究生，研究方向为集成电路的 ESD 防护。

等人提出一种在 DDSCR 双阱跨接区注入重掺杂 P^+ 区的结构[8]。朱科翰等人提出在 DDSCR 中嵌入两个 MOS 管的结构(NLVT_DDSCR),其触发电压与 GGNMOS 的触发电压相当[9]。Z. W. Jiang 等人采用衬底引流技术降低 DDSCR 的触发电压[10],但存在闩锁的缺点。

本文在 NLVT_DDSCR 的基础上,设计了一种新型 DDSCR 结构(MMDDSCR)。在 P-Well 内嵌一个栅极接地的 PMOS 管,PMOS 管的源极与漏极分别与两端 NMOS 管相连,构成一条旁路路径。在保持 NLVT_DDSCR 触发电压和二次击穿电流的前提下,通过多 MOS 管形成的旁通路抽取阱内的载流子,降低了 SCR 路径寄生晶体管的电流增益,增强了反偏结电场,提高了器件的抗闩锁能力。

1　器件的 ESD 防护机理

NLVT_DDSCR 是 NPNPN 对称结构,其电流无论从阳极到阴极还是从阴极到阳极均存在一条 PNPN 泄放路径。该 NLVT_DDSCR 具有双向 ESD 防护能力,其剖面图如图 1 所示。正向 ESD 应力作用于器件阳极时,利用右侧 GGNMOS 的触发特性,可在较低电压下开启。器件开启后,阱内寄生 NPN 管 Q3 与 PNP 管 Q1 互为正反馈,电导调制效应加剧,开始产生深回滞现象,从而造成维持电压过低。负向 ESD 应力作用于器件阳极时,机理与上述情况类似。

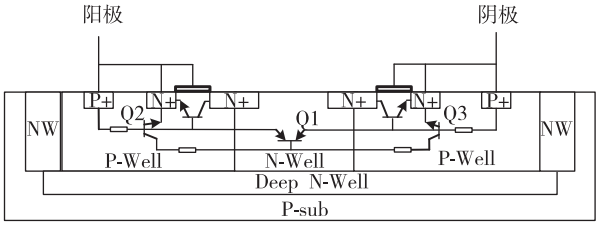


图 1　NLVT_DDSCR 的剖面图

MMDDSCR 的剖面图如图 2 所示。可以看出,MMDDSCR 是在 NLVT_DDSCR 的 N-Well 中嵌入了一个栅极接地的 PMOS 管,PMOS 管的源端与漏端分别与 NMOS 管连接。在正负 ESD 应力下,NMOS 管的漏 PN 结发生雪崩击穿,触发器件开启。此时,器件内部存在两条泄放电流路径。一条是 SCR 路径(P+/P-Well/N-Well/P-Well/N+),另一条是多 MOS 路径(N+/P-Well/N+/P+/N-Well/P+/N+/ P-Well/N+)。通过多 MOS 路径的分流,降低了注入到阱内载流子的浓度,削弱了 SCR 路径的寄生晶体管互为正反馈的作用。因此,需要更高的反偏结电场维持寄生晶体管的开启,促使维持电压提高。

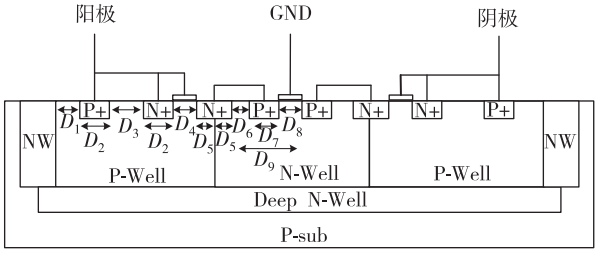


图 2　MMDDSCR 的剖面图

2　性能测试

2.1　多脉冲仿真

ESD 应力脉冲是一种瞬态、大电流事件,直流仿真无法精确模拟二次击穿电流和单脉过冲效应对触发电压和维持电压的影响。这两种方法的仿真结果与实测数据均有偏差。为了获得器件在 ESD 应力下的准确参数,本文采用多脉冲仿真 Barth 4002 TLP 进行仿真测试[11-12],结果如图 3 所示。

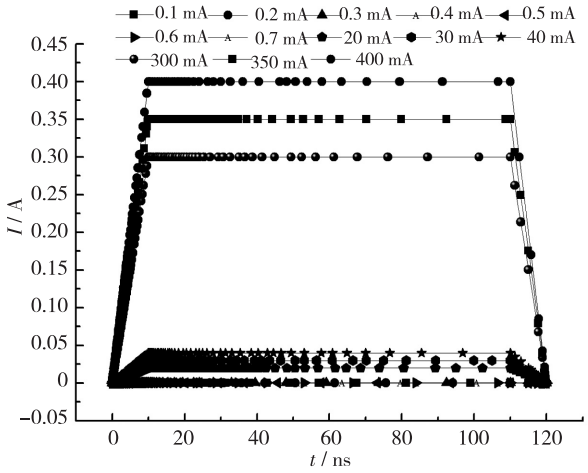


图 3　递增电流脉冲仿真结果

多脉冲仿真是在仿真器件两端施加一系列具有递增幅值的脉冲电流。每个电流脉冲波形的上升沿、下降沿分别为 10 ns,脉冲宽度为 100 ns。每个电流脉冲下会得到器件瞬态电压响应,如图 4 所示。

在整个周期的 70%～90%时间段内,分别截取每个电流脉冲及其电压响应的平均值作为 *I-V* 曲线中一个坐标点,绘制出 *I-V* 特性曲线。

2.2　器件的 *I-V* 特性

本文基于 0.18 μm CMOS 工艺,采用

Sentaurus TCAD，分别设计 MMDDSCR 和 NLVT_DDSCR。为了描述器件在 ESD 应力下的物理过程，采用的物理模型有雪崩击穿模型、SRH 复合模型、俄歇复合模型、热力学模型等。使用多脉冲仿真技术对器件进行测试。器件宽度为 50 μm，横向尺寸列于表 1。

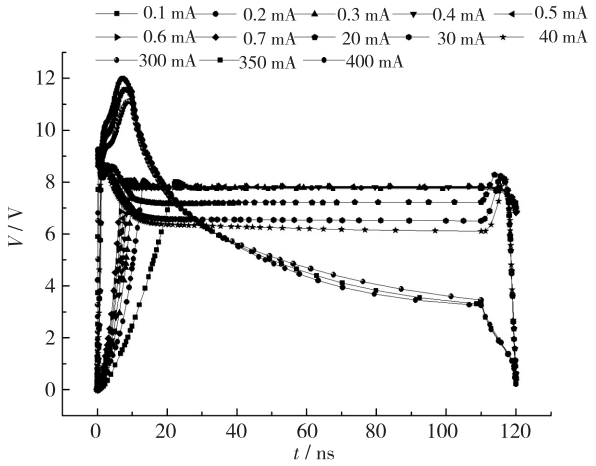


图 4　电流脉冲对应的电压响应曲线

表 1　两种器件的横向尺寸

D	MMDDSCR	NLVT_DDSCR
D_1 / μm	1	1
D_2 / μm	0.5	0.5
D_3 / μm	0.5	0.5
D_4 / μm	1	1
D_5 / μm	0.5	0.5
D_6 / μm	1	-
D_7 / μm	0.6	-
D_8 / μm	1	-
D_9 / μm	-	2.6

施加多脉冲进行仿真，根据获得的电流、电压数值绘制 I-V 特性曲线，如图 5 所示。温度达到 1 687 K 时，即为器件的失效点。

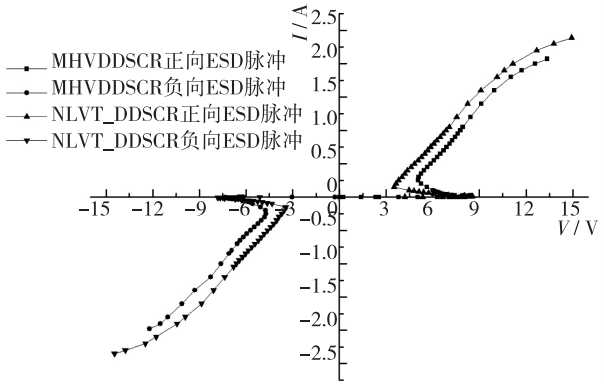
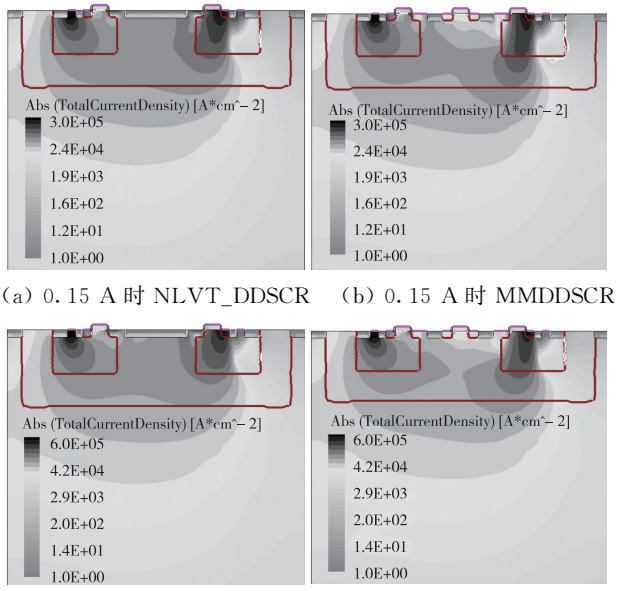


图 5　MMDDSCR 的 I-V 仿真特性曲线

从图 5 可以看出，MMDDSCR 的正向与负向特性曲线几乎呈对称形态，具有良好的双向 ESD 防护特性。MMDDSCR 和 NLVT_DDSCR 的触发电压分别为 8.26 V 和 8.58 V，二次击穿电流分别为 2.07 A 和 2.39 A。与 NLVT_DDSCR 相比，MMDDSCR 的维持电压从 3.50 V 提高到 5.06 V。仿真结果表明，多 MOS 分流通路能有效提高传统 NLVT_DDSCR 的抗闩锁能力。

2.3　维持电压机理验证

本文基于 0.18 μm CMOS 工艺设计 MMDDSCR 和 NLVT_DDSCR，采用浅沟槽隔离和深 N 阱工艺技术。为进一步验证 MMDDSCR 的工作机理，在正向 ESD 应力下，MMDDSCR 和 NLVT_DDSCR 中回滞电压最低点的电流脉冲分别是 0.15 A 和 0.25 A。此时器件的电流密度分布情况如图 6 所示。电流脉冲为 0.15 A、0.25 A 时，MMDDSCR 的 P 阱内电流密度与 NLVT_DDSCR 的差异较大。电流脉冲为 0.15 A 时，NLVT_DDSCR 和 MMDDSCR 的 N 阱电流密度最小极值分别为 3.8×10^4 A/cm^2 和 1.6×10^4 A/cm^2。电流脉冲为 0.25 A 时，NLVT_DDSCR 和 MMDDSCR 的 N 阱电流密度最小极值分别为 6.4×10^4 A/cm^2 和 2.5×10^4 A/cm^2。这表明，多 MOS 分流路径能有效减小阱内电流密度。



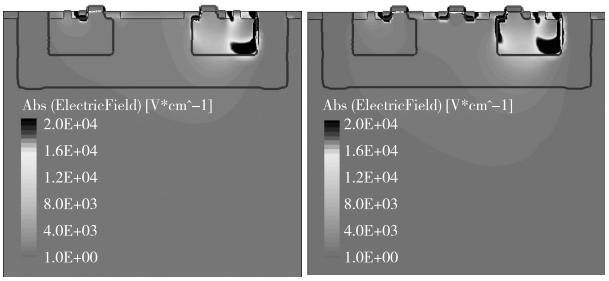
(a) 0.15 A 时 NLVT_DDSCR　(b) 0.15 A 时 MMDDSCR

(c) 0.25 A 时 NLVT_DDSCR　(d) 0.25 A 时 MMDDSCR

图 6　不同电流脉冲下器件的电流密度分布

在维持电压处，NLVT_DDSCR 和 MMDDSCR 的电场强度分布如图 7 所示。可以看出，MMDDSCR 在反偏结耗尽区的电场明显增强。在

N-Well/P-Well 处，MMDDSCR 与 NLVT_DDSCR 的电场强度最小极值分别约为 1.1×10^4 V/cm 和 6.1×10^3 V/cm。结果表明，在 MMDDSCR 的分流作用下，反偏结处电场能够明显增强，维持点的电压提高，符合 MMDDSCR 的防护机理。



(a) NLVT_DDSCR　　(b) MMDDSCR

图 7　器件在维持电压处的电场强度分布

3　器件维持电压优化与分析

上述分析与验证表明，降低 SCR 路径寄生晶体管的电流增益是有效提高维持电压的方法。本文从分流路径或 SCR 路径两方面对维持电压作进一步优化。MOS 管的漏极电流与器件长度的关系为：

$$I_D=\mu_n C_{ox}\frac{W}{L}[(V_{GS}-V_{TH})V_{DS}-\frac{1}{2}V_{DS}^2] \quad (1)$$

由式(1)可知，沟道长度与漏极电流成反比，则减小沟道尺寸有助于提高多 MOS 路径的分流力度。SCR 路径有利于寄生晶体管的基区输运系数的降低。基区输运系数表示为：

$$\beta^*=\frac{I_{pC}}{I_{pE}}=1-\frac{1}{2}(\frac{W_B}{L_B})^2 \quad (2)$$

式中，I_{pC} 为基区中到达集电结的少子电流，I_{pE} 为发射结注入基区的少子电流，W_B 为基区宽度，L_B 为基区少子扩散长度[13]。由式(2)可知，增大寄生晶体管的基区宽度可减小基区输运系数，增大少子在基区输运过程中的复合率，从而降低寄生晶体管的电流增益。

保持 MMDDSCR 的尺寸参数 D_1、D_2、D_3、D_4、D_7 不变，调节 D_5、D_6 和 D_8，得到 MMDDSCR 的性能参数列于表 2。将 D_5 从 0.5 μm 增大到 0.8 μm、D_6 从 1.0 μm 增大到 1.4 μm 时，寄生 NPN 管和 PNP 管的基区宽度增加，电流放大系数减小，维持电压随之提高。但是，D_5 和 D_6 进一步增大到 1.2 μm 和 2.0 μm 时，维持电压分别为 6.02 V 和 5.75 V，V_h 的提升力度减小。原因是：为确保寄生管开启，分流路径的分流幅度逐渐减小，使得反偏 PN 结电场增强幅度减小，导致维持电压增加缓慢。当 PMOS 管的沟道尺寸 D_8 从 1.0 μm 缩减到 0.3 μm，V_h 仅增加约 0.2 V。原因是：PMOS 管沟道缩短，寄生 PNP 管的基区宽度随之减小，SCR 路径的电流增益提高，使得维持电压的提升不明显。

综上所述，增大 MMDDCR 的关键尺寸或减小沟道尺寸均可提高维持电压，但 V_{t1} 和 I_{t2} 也会受到影响，且增大器件尺寸导致版图面积增大，在设计上应综合考虑。

表 2　不同关键尺寸的器件仿真结果

D/μm	V_{t1}/V	V_h/V	I_{t2}/A
$D_5=0.5$	8.26	5.06	2.07
$D_5=0.8$	8.15	5.56	1.91
$D_5=1.2$	8.09	6.02	1.47
$D_6=1.0$	8.26	5.06	2.07
$D_6=1.4$	8.32	5.48	2.04
$D_6=2.0$	8.37	5.75	1.92
$D_8=1.0$	8.26	5.06	2.07
$D_8=0.6$	8.22	4.97	1.98
$D_8=0.3$	8.16	5.24	1.93

4　结　论

本文设计了一种新型 DDSCR，利用多 MOS 路径的分流作用有效提高了维持电压。基于 TCAD 多脉冲技术进行了仿真。结果表明，新型器件与传统 NLVT_DDSCR 的触发电压和二次失效电流基本保持不变，维持电压为 5.06 V。本文器件通过调节关键尺寸 D_5，将维持电压提高到 6.02 V。该方法对低压狭窄 ESD 设计窗口的片上防护设计具有参考价值。

参 考 文 献：

[1]　韩燕，董树荣，LIOU J J，等. 集成电路 ESD 防护设计理论、方法与实践 [M]. 北京：科学出版社，2008：1-7.

[2]　MA F，HAN Y，SONG B，et al. Comparison of different MOS-triggered SCR structures for on-chip ESD protection [C] // 3th Int Conf Comput Resear & Develop. Shanghai，China. 2011：331-335.

[3]　KER M D，HSU K C. Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits [J]. IEEE Trans Dev & Mater Reliab，2005，5(2)：235-249.

（下转第 909 页）

晶格匹配 InAlN/GaN HEMT 沟道温度评估方法研究

金 宁[1]，陈雷雷[1]，曹艳荣[2]，梁海莲[1]，闫大为[1]，顾晓峰[1]
（1. 江南大学 电子工程系 物联网技术应用教育部工程研究中心，江苏 无锡 214122
2. 西安电子科技大学 宽带隙半导体技术国家重点学科实验室，西安 710071）

摘 要： 首先分别利用直流电学法、脉冲电学法和微区拉曼光谱法测量了晶格匹配 InAlN/GaN 高电子迁移率晶体管(HEMT)的沟道温度，然后评估了各类评估方法的准确性。结果表明：直流电学法获得的温度值远低于拉曼光谱法，严重低估了 HEMT 工作时的沟道温度；脉冲电学法获得的温度值有所提升，但受限于水平空间分辨率，平均了源极-漏极之间的温度；微区拉曼光谱法能够准确获得沟道最高温度，但测量过程复杂，不适合评估封装器件。最后，提出了一种基于微光显微镜(EMMI)技术的微光电学法，获得了沟道温度的三角分布关系，得到了与拉曼光谱法一致的实验结果。该评估方法适合于实际生产。

关键词： GaN 基 HEMT；沟道温度；拉曼光谱；微光显微镜
中图分类号：TN386.3 **文献标识码：**A **文章编号：**1004-3365(2020)06-0903-07
DOI：10.13911/j.cnki.1004-3365.190718

Study on Channel Temperature Measurement of Lattice-Matched InAlN/GaN HEMT

JIN Ning[1], CHEN Leilei[1], CAO Yanrong[2], LIANG Hailian[1], YAN Dawei[1], GU Xiaofeng[1]
(1. *Engineering Research Center of IoT Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi, Jiangsu* 214122, *P. R. China*; 2. *State Key Discipline Laboratory of Wide Band-Gap Semiconductor Technology, Xidian University, Xi'an* 710071, *P. R. China*)

Abstract: Various experimental methods were used for measuring the channel temperature of lattice-matched InAlN/GaN high electron mobility transistors (HEMT), including the DC electrical method, pulse electrical method and micro-Raman spectroscopy measurement, then the accuracy of each method was evaluated. The results showed that the temperature obtained by DC electrical method was lower than that by Raman measurement, which seriously underestimated the channel temperature. The temperature obtained by pulse electrical method had been improved, but the temperature between source and drain was averaged due to the limitation of horizontal spatial resolution. The maximum channel temperature could be accurately obtained by micro-Raman spectroscopy. However, the measurement process was too complex to be applicable to the actual packaging device. Finally, a micro-light electrical method based on Emission Microscope (EMMI) technology was proposed. The triangular distribution of channel temperature was obtained, and the experimental results were consistent with the Raman spectroscopy method. This evaluation method was suitable for practical production.

Key words: GaN-based HEMT; channel temperature; micro-Raman spectroscopy; EMMI

收稿日期：2019-12-10；**定稿日期：**2020-01-14
基金项目：国家自然科学基金资助项目(61504050)
作者简介：金 宁(1995—)，女(汉族)，辽宁调兵山人，硕士研究生，研究方向为 GaN 基 HEMT 可靠性技术。
闫大为(1981—)，男(汉族)，山东枣庄人，博士，副教授，研究方向为宽禁带半导体器件可靠性技术。

0　引　言

与 Si、GaAs 传统半导体相比，GaN 具有禁带宽度宽、击穿电场强、电子迁移率高等物理特性而更适用于制作高温、高压、高频电力电子器件，例如 AlGaN/GaN HEMT[1-3]。然而，当漏极输出电流较大时，沟道发生显著的自热效应，饱和电流快速下降[4]，从而严重影响器件可靠性。因此，准确测量 GaN 基 HEMT 的沟道温度对提高其电学特性具有重要的实际意义。

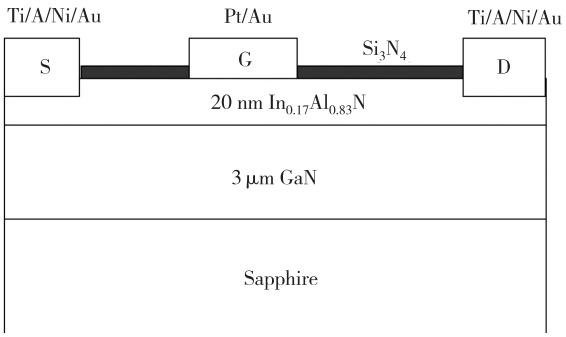
目前，GaN 基 HEMT 沟道温度的测量方法有物理接触法、电学法和光学法三类[5-8]。文献[5]将原子力显微镜与热探针相结合，直接将 AlGaN/GaN HEMT 栅极扫描到漏极表面，得到了二维温度分布图。文献[6]利用源极电阻和阈值电压的变化推算得到 AlGaN/GaN HEMT 的沟道温度。文献[7]利用饱和区漏极电流的下降现象直接测得 AlGaN/GaN HEMT 的沟道温度。文献[8]利用微区拉曼光谱法测试，对比了基于金刚石与 SiC 衬底的 AlGaN/GaN HEMT 的沟道温度[8]。

上述研究多为晶格失配的 AlGaN/GaN HEMT，其势垒层内部存在极强的压电极化效应，在高温、高电流下电学特性易快速退化[9]。晶格匹配 $In_{0.17}Al_{0.83}N$/GaN HEMT 可避免逆压电效应的影响[10]，其物理图像较简单，更利于分析漏极电流自热效应。

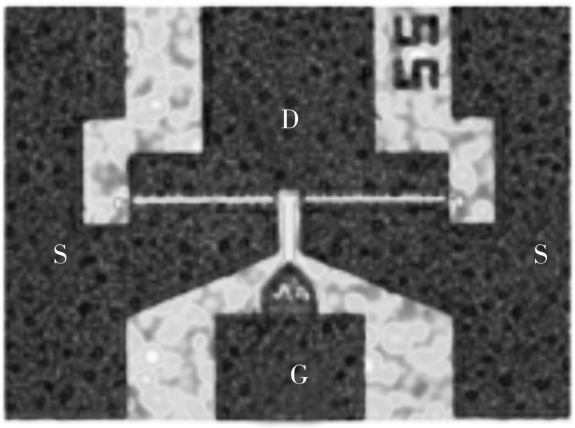
鉴于此，本文首先分别利用直流电学法、脉冲电学法和微区拉曼光谱法，测量晶格匹配 $In_{0.17}Al_{0.83}N$/GaN HEMT 的沟道温度，然后比较各方法的准确性。结果表明，直流电学法和脉冲电学法获得的温度值远低于拉曼法光谱法；拉曼光谱法能准确获得沟道的最高温度，但不适合评估封装器件。本文基于 EMMI 技术提出了一种微光电学法。通过该方法获得了沟道温度的三角分布，得到了与拉曼光谱法一致的结果。该评估方法是一种有效的表征沟道最高温度的电学法。

1　器件制备与测试

$In_{0.17}Al_{0.83}N$/GaN HEMT 示意图如图 1 所示。HEMT 外延层是通过 MOCVD 法生长于(0001)晶向蓝宝石衬底上。该器件由 3 μm 非掺杂 GaN 外延层、18 nm 非掺杂 $In_{0.17}Al_{0.83}N$ 势垒层和 2 nm 非掺杂 GaN 帽层组成。GaN 帽层可提高 2DEG 迁移率，增加肖特基势垒，显著减少栅漏电流[11]。工艺制作步骤为：1)采用标准光刻和 lift-off 工艺定义欧姆电极形状和尺寸，电子束蒸发 Ti/Al/Ni/Au 层(厚度分别为 30/120/50/100 nm)，在 870 ℃ N_2 中快速热退火 60 s，形成欧姆接触；2)定义肖特基接触电极形状和尺寸，电子束蒸发 Pt/Au 层(厚度分别为 40 /100 nm)，形成栅极肖特基接触；3)采用 PECVD 法在异质结上生长 100 nm 厚 Si_3N_4 钝化层。该 HEMT 的栅长为 1 μm，栅宽为 100 μm，栅源和栅漏间距分别为 0.5 μm、1.5 μm。利用 Keithley4200 半导体参数分析仪对器件进行变温高频 *C-V* 测试。对电容曲线积分(从开启电压到 $V=0$ V)计算可得，异质结界面的 2DEG 面密度约为 1.2×10^{13} cm^{-2}，且其值基本不随温度的变化而变化。



(a) 截面图



(b) 俯视图

图 1　$In_{0.17}Al_{0.83}N$/GaN HEMT 示意图

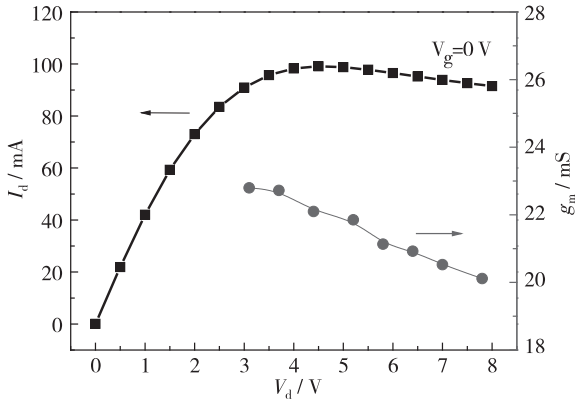
直流电学法采用 Keithley 4200A-SCS 半导体参数分析仪测试输出和转移特性曲线，从中提取源极串联电阻、阈值电压、漏极电流等电参数。脉冲电学法采用 Tektronix AFG1062 函数信号发生器产生 1 μs 脉宽、50% 占空比的电压信号，使用

Tektronix DPO 7140 示波器监测漏极饱和电流。微区拉曼光谱法通过 LabRAM Inviamicro 显微共焦拉曼光谱仪监控 $E_2(H)$声子光谱变化，激光波长为 532 nm，光斑分辨率为 1 μm。微光电学法结合使用 PHEMOS-1000 微光显微镜和 Keithley 4200A-SCS 半导体参数分析仪，前者将沟道放大 1 000倍实现高分辨率微区成像，后者完成电阻温度特性测试。

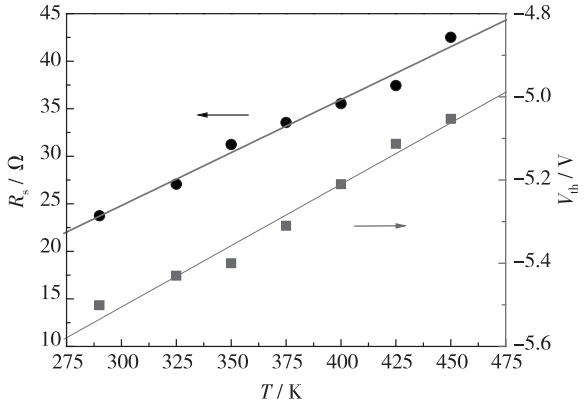
2　结果与讨论

2.1　直流电学法

InAlN/GaN HEMT 的输出、跨导曲线如图 2(a)所示，源极串联电阻 R_s、阈值电压 V_T 与温度的关系曲线如图 2(b)所示。图 2(a)中黑色方形点为栅极电压 $V_g=0$ V 时的输出曲线。可以看出，当漏极电压 V_d 大于 4 V 后，器件开始发生明显的负电导现象。原因是沟道自热效应所致。为了提取有效沟道温度，文献[6]、文献[7]基于漏极电流下降量与温度的关系，分别提出了两种不同的直流电学法。



(a) 输出、跨导曲线($V_g=0$ V)



(b) R_s、V_T 与 T 的关系曲线

图 2　InAlN/GaN HEMT 的电学测试曲线

文献[6]中，R_s 和 V_T 的温度效应是导致漏极饱和电流下降的主要原因，漏极饱和电流下降量 ΔI_{sat} 为：

$$\Delta I_{sat}=-g_m(I_{sat}\Delta R_s+\Delta V_T)+\frac{I_{sat}\Delta V_{sat}}{V_{sat}}+\frac{V_D}{R_{sub}} \tag{1}$$

式中，g_m 为跨导，V_{sat}为沟道电子饱和速度，$I_{sat}\Delta V_{sat}/V_{sat}$为饱和速度引起的漏极电流变化量，$V_D/R_{sub}$为衬底泄漏电流量。电子饱和速度是温度的弱函数，蓝宝石衬底是良好绝缘体，因此式(1)中后两项的电流分量可以忽略。图 2(a)中蓝色圆形点为实测的 g_m-V_d 数据。可以看出，V_d 增大会造成栅极对沟道电流的控制性减弱，原因是缺陷捕获效应和沟道电流自热效应的共同作用。

图 2(b)中黑色圆形点为不同温度下 R_s 值(通过输出线性区、电极尺寸和沟道长度计算而得)，其随温度升高呈线性增加。这表明，高温使得晶格振动散射增强和载流子迁移率降低。图 2(b)中蓝色方形点为 V_T-T 数据，当温度从 290 K 升高至 450 K 时，V_T 从 −5.50 V 逐渐增大至 −5.05 V。V_T 是在输出线性区提取的，高电流自热效应和高场热电子注入效应可以忽略。通过外部加热板对器件进行均匀加热，根据式(1)得到的 ΔI_{sat}-T 曲线如图 3 所示。

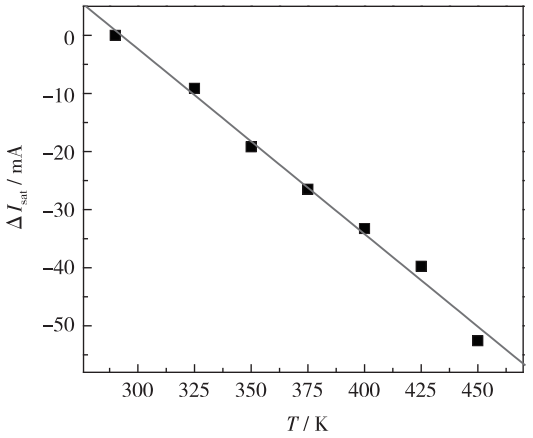
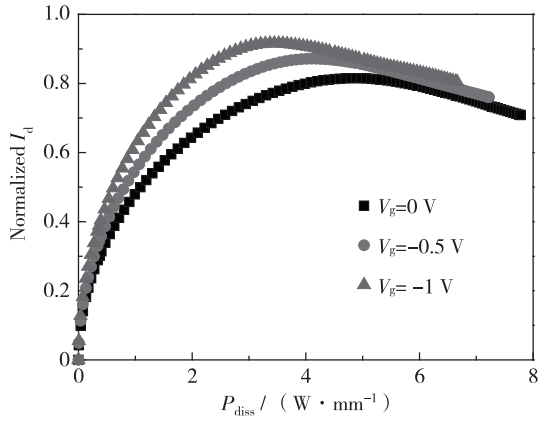


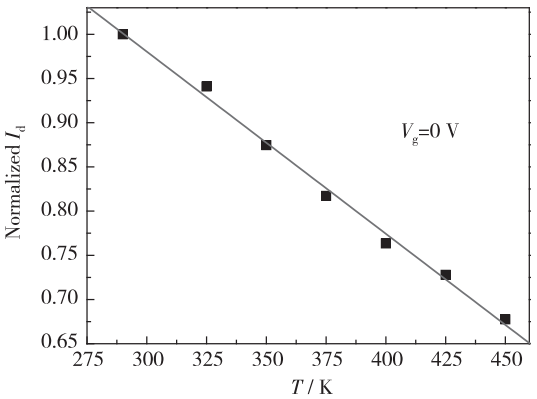
图 3　ΔI_{sat}-与温度的关系曲线

与文献[6]不同，文献[7]提出，温度与耗散功率 P_{diss}($P_{diss}=I_dV_d$)呈线性关系。图 4(a)所示为归一化 I_d-P_{diss}曲线，当 P_{diss}超过 3 W·mm^{-1}之后，I_d 开始线性下降。图 4(b)所示为归一化 I_d-T 曲线，I_d 随 T 升高呈线性下降。

对比图 4(a)与图 4(b)可知，P_{diss}与 T 呈线性关系。因此，可选取归一化 I_d-T 关系作为沟道温度的测量标准。



(a) 不同栅压下归一化 I_d-P_{diss} 曲线

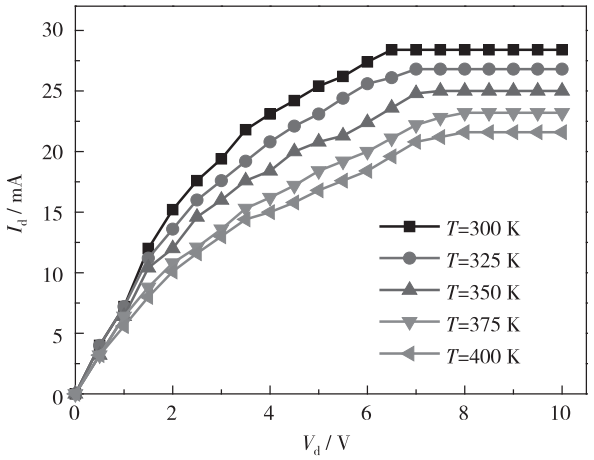


(b) 归一化 I_d-T 曲线(V_g=0 V)

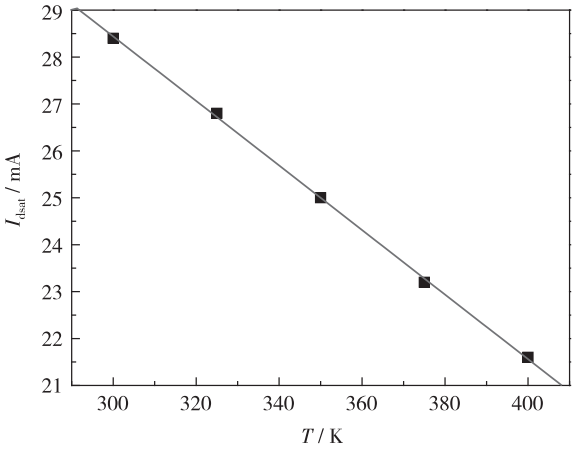
图 4　InAlN/GaN HEMT 的电学测试曲线

2.2　脉冲电学法

采用脉冲电学法测量沟道温度可有效抑制电流自热效应[12]。图 5(a)所示为 I_d-V_d 曲线，当漏极电流达到饱和状态后，I_d 不再随 V_d 增加而变化。图 5(b)所示为饱和电流 I_{dsat} 与 T 的关系曲线。



(a) I_d-V_d 曲线



(b) I_{dsat}-T 曲线

图 5　InAlN/GaN HEMT 的脉冲电学法测试曲线

可以看出，当温度从 300 K 升高至 400 K，I_{dsat} 从 28.4 mA 减小到 21.6 mA，遵循良好的线性关系。因此，可选取 I_{dsat}-T 曲线作为沟道温度的测试标准。

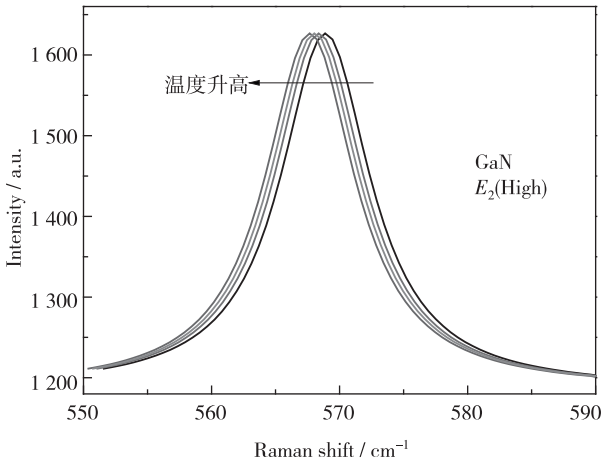
2.3　微区拉曼光谱法

采用微区拉曼光谱法可有效测量沟道最高温度[13]。图 6(a)所示为 $E_2(H)$声子拉曼光谱与温度的关系曲线。可知，随着温度升高，$E_2(H)$声子发生明显红移。声子频率的表达式为[14]：

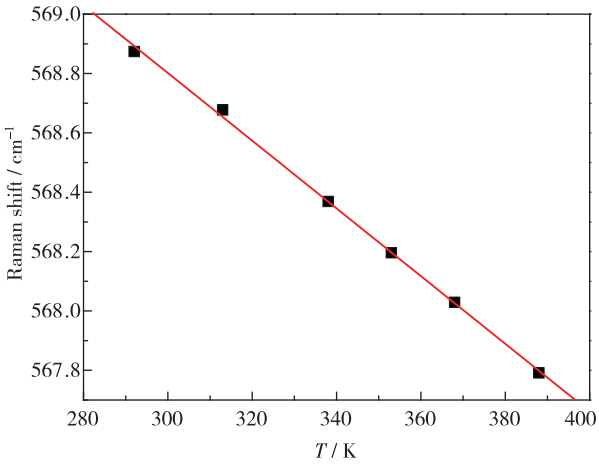
$$\omega(T)-\omega_0=-\frac{A}{\exp\left(\frac{B\hbar\omega_0}{kT}\right)-1} \tag{2}$$

式中，$\omega(T)$为声子频率，ω_0 为 0 K 时的声子频率，k 为玻尔兹曼常数，$\hbar$ 为普朗克常量，A 和 B 为拟合参数。

图 6(b)所示为通过外部加热得到的 $E_2(H)$声子频率与温度的关系曲线。可知，斜率为 0.011 cm^{-1}/℃，这与文献[15]的结果一致。



(a) GaN $E_2(H)$声子拉曼光谱与温度的关系



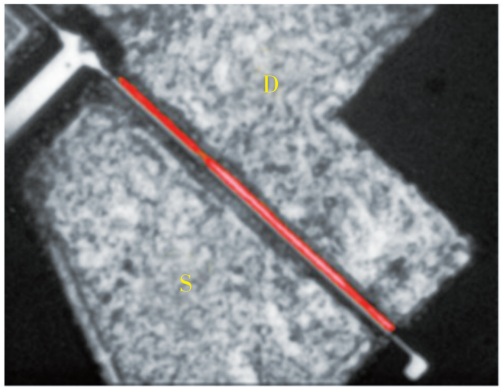
(b) $E_2(H)$声子频率与温度的关系

图 6　GaN $E_2(H)$声子频率曲线

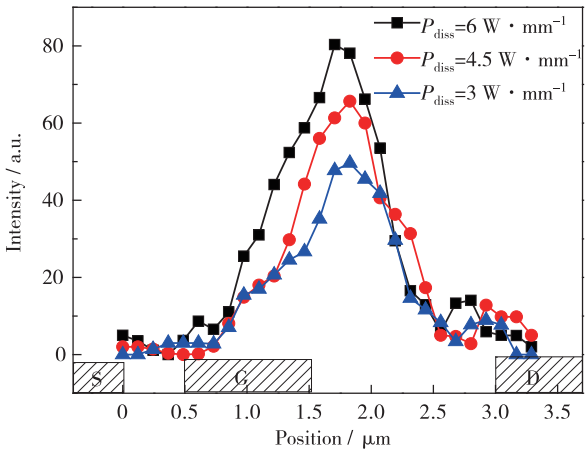
2.4　微光电学法

本文基于 EMMI 技术的微光电学法的理论分析如下。图 7(a)所示为 InAlN/GaN HEMT 在 $P_{diss}=6\ W\cdot mm^{-1}$时的 EMMI 图像。图中红色区域即为热点，热点分布于栅极靠漏极侧的高电场区。原因是电子扩散进入高场区后被加速形成高能热电子，受到晶格碰撞后失去能量，从而产生大量热能和红外光子[16]。图 7(b)所示为光发射强度分布图。可以看出，峰值位于靠近漏极侧的栅极边界处，沟道温度的实际分布并不均匀，最高温度点处于栅极附近的高场区。这表明器件处于非热平衡的稳态，因为热量不能及时扩散出去，导致栅极靠近漏极侧的高场区电性能退化，甚至击穿失效。因此，准确测量最高温度对于提高器件可靠性具有重要意义。从这个意义上讲，传统电学法获得的温度是低于实际最高温度的沟道平均温度。

假设沟道温度与 EMMI 发光强度近似成正比，源-漏极沟道温度则呈三角形分布，最高温度位于栅极金属靠漏极侧的边缘处(如图 8 所示)。



(a) EMMI 图像



(b) 光发射强度分布

图 7　InAlN/GaN HEMT 的 EMMI 图像及光发射强度分布

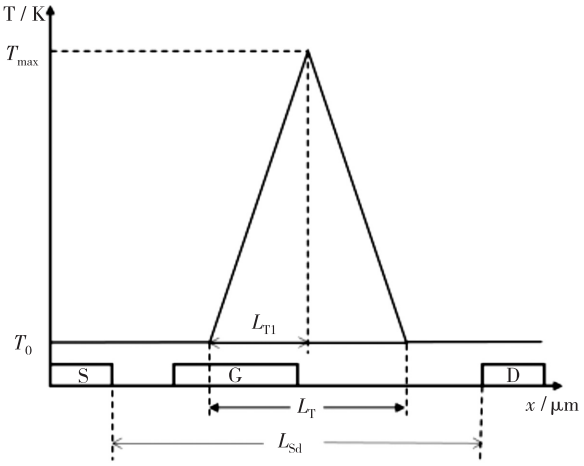


图 8　沟道温度的三角分布关系

电阻率对温度的线性依赖关系为：

$$\frac{R}{L_{sd}}(T)=\frac{R_0}{L_{sd}}+k_T(T-T_0) \tag{3}$$

式中，R_0 为 290 K 时的沟道电阻，L_{sd}为源-漏极间沟道长度，k_T 为电阻率的温度系数。在该条件下，沟道电阻呈三角分布，其对应的沟道电阻可通过电阻率对位置的积分来获得：

$$R=R_0\times\frac{L_{sd}-L_T}{L_{sd}}+\int_0^{L_T}\rho(x)\mathrm{d}x \tag{4}$$

式中，L_T 为三角分布的沟道长度，$L_T=2.2\ \mu m$。选取三角分布的起点作为积分参考点。温度与位置的关系可表示为：

$$T=\begin{cases}T_0+\dfrac{T_{max}-T_0}{L_{T1}}x,\ x<L_{T1}\\ T_{max}-\dfrac{T_{max}-T_0}{L_T-L_{T1}}(x-L_{T1}),\ x\geqslant L_{T1}\end{cases} \tag{5}$$

式中，T_{max}为最高温度，L_{T1}为 1.2 μm 处是最高温度所在位置。

最终，根据图 7(b)与式(3)、(4)与(5)可得 T_{max} 与加热功率的关系。沟道电阻率与温度的实测关系曲线如图 9 所示，得到 $k_T=37.14\ \Omega\cdot cm^{-1}\cdot K^{-1}$。

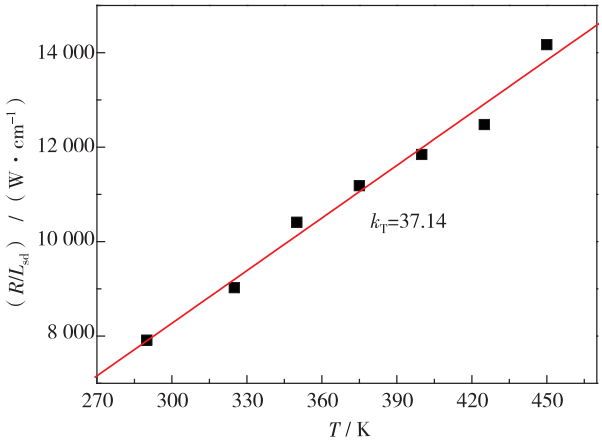


图 9　沟道电阻率与温度的关系曲线

3　各类评估方法的对比

沟道温度的各类评估方法结果对比如图 10 所示。

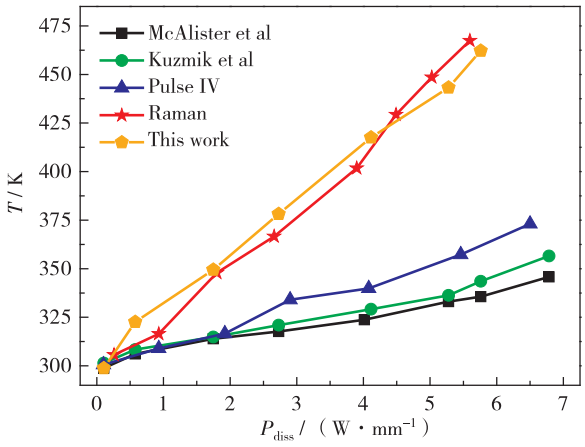


图 10　沟道温度的不同评估法结果对比

黑色方形点和绿色圆形点分别为两种直流电学法的结果。当 $P_{diss}<2\ W\cdot mm^{-1}$时，两种方法的结果基本一致；随着 P_{diss}增大，两种方法的温度逐渐有差异。原因是两种方法的测试物理原理不同，文献[6]方法基于源-栅极沟道电阻，文献[7]方法基于源-漏极电流。两种直流电学法都未考虑自身的电流自热效应[14]，其结果均低于实际的平均沟道温度。

蓝色三角形点为脉冲电学法的结果。与直流法相比，脉冲电学法在高功率区获得的有效温度较高。需要注意，I_{dsat}作为温敏参数获得的温度仍为源-漏极间的平均沟道温度。

红色五角星形点为微区拉曼光谱法的结果。当 $P_{diss}=6\ W\cdot mm^{-1}$时，沟道最高温度为 460 K。微区拉曼光谱法获得的沟道平均温度远高于电学法，尤其是在高耗散功率区。然而，拉曼光学法因受限于光斑尺寸而只能测器件表面的一个点。该方法对已封装好的器件需进行开帽操作，不适用于大规模生产。

紫色五边形数据为本文微光电学法的结果。可以看出，本文方法采用三角形结温算法得到了与拉曼方法非常接近的结果。与拉曼光学法相比，本文方法只需对一个样品开帽就能确定温度的三角分布，对其他样品则通过电学法得到最高沟道温度。需要注意，本文假设的简单线性三角形关系是为了便于推导计算，这种假设可能与实际分布情况有一定误差。

4　结　论

本文分别利用直流电学法、脉冲电学法和微区拉曼光谱法测量了晶格匹配 $In_{0.17}Al_{0.83}N$/GaN HEMT 的沟道温度。结果表明，直流电学法和脉冲电学法严重低估了器件的最高沟道温度；微区拉曼光谱法能准确获得沟道的最高温度，但效率较低，不适用于评估已封装器件。最终，本文提出了一种基于 EMMI 技术的微光电学法，获得了沟道温度的三角分布关系，得到了与拉曼光谱一致的结果。该评估方法为有效表征沟道的最高温度提供了一种简单可靠的电学方法。

参 考 文 献：

[1]　YANG L, LU Y, MA X H, et al. High RF performance AlGaN/GaN HEMT fabricated by recess-arrayed ohmic contact technology [J]. IEEE Elec Dev Lett, 2018, 39(6): 811-814.

[2]　WU C H, HAN P C, LIU S C, et al. High-performance normally-off GaN MIS-HEMTs using hybrid ferroelectric charge trap gate stack (FEG-HEMT) for power device applications [J]. IEEE Elec Dev Lett, 2018, 39(7): 991- 994.

[3]　HE Y L, MI M H, WANG C, et al. Enhancement-mode AlGaN/GaN nanowire channel high electron mobility transistor with fluorine plasma treatment by ICP [J]. IEEE Elec Dev Lett, 2017, 38(10): 1421-1424.

[4] CHATTOPADHYAY M K，TOKEKAR S. Thermal model for dc characteristics of algan/gan hemts including self-heating effect and non-linear polarization [J]. Microelec J，2008，39(10)：1181-1188.

[5] AUBRY R，JACQUET J C，WEAVER J，et al. SThM temperature mapping and nonlinear thermal resistance evolution with bias on AlGaN/GaN HEMT devices [J]. IEEE Trans Elec Dev，2007，54(3)：385-390.

[6] KUZMIK J，JAVORKA R，ALAM A，et al. Determination of channel temperature in AlGaN/GaN HEMTs grown on sapphire and silicon substrates using DC characterization method [J]. IEEE Trans Elec Dev，2002，49(8)：1496-1498.

[7] MCALISTER S P，BARDWELL J A，HAFFOUZ S，et al. Self-heating and the temperature dependence of the dc characteristics of GaN heterostructure field effect transistors [J]. IEEE Trans Elec Dev，2006，24(3)：624- 628.

[8] POMEROY J W，BERNARDONI M，DUMKA D C，et al. Low thermal resistance GaN-on-diamond transistors characterized by three-dimensional Raman thermography mapping [J]. Appl Phys Lett，2014，104(8)：083513.

[9] MAZUMDAR K，KALA S，GHOSAL A. Nanocrack formation due to inverse piezoelectric effect in AlGaN/GaN HEMT [J]. Superlatt & Microstruct，2018，125：120-124.

[10] HAN T C，ZHAO H D，YANG L，et al. Simulation study of InAlN/GaN high-electron mobility transistor with AlInN back barrier [J]. Chin Phys B，2017，26(10)：107301.

[11] YU E T，DANG X Z，YU L S，et al. Schottky barrier engineering in III-V nitrides via the piezoelectric effect [J]. Appl Phys Lett，1998，73(13)：1880-1882.

[12] ROSSETTO I，MENEGHINI M，TOMASI T，et al. Indirect techniques for channel temperature estimation of HEMT microwave transistors：comparison and limits [J]. Microelec Reliab，2012，52(S9-10)：2093-2097.

[13] YANG L Y，XUE X Y，ZHANG K，et al. Channel temperature determination of a multifinger AlGaN/GaN high electron mobility transistor using a micro-Raman technique [J]. Chin Phys B，2012，21(7)：484-486.

[14] LIU M S，BURSILL L A，PRAWER S，et al. Temperature dependence of Raman scattering in single crystal GaN films [J]. Appl Phys Lett，1999，74(21)：3113-3125.

[15] ZHANG G C，FENG S W，LI J W，et al. Determination of channel temperature for AlGaN/GaN HEMTs by high spectral resolution micro-Raman spectroscopy [J]. J Semicond，2012，33(4)：46-50.

[16] YAN D W，REN J，YANG G，et al. Surface acceptor-like trap model for gate leakage current degradation in lattice-matched InAlN/GaN HEMTs [J]. IEEE Elec Dev Lett，2015，36(12)：1281-1283.

（上接第 902 页）

[4] HAN Y，SONG B，DONG S R，et al. Study of current saturation behaviors in dual direction SCR for ESD applications [J]. Microelec Reliab，2011，51(2)：332-336.

[5] 黄晓宗，刘志伟，纪长志，等. 一种用于 ESD 保护的双向 SCR 特性研究 [J]. 微电子学，2018，48(1)：43-47.

[6] 张峰，刘畅，黄鲁，等. 基于双向可控硅的强鲁棒性静电防护器件 [J]. 浙江大学学报(工学版)，2017，51(8)：1676-1680.

[7] WANG A Z H，TSAY C H. On a dual-polarity on-chip electrostatic discharge protection structure [J]. IEEE Trans Elec Dev，2001，48(5)：978-984.

[8] LIU Z W，VINSON J，LOU L F，et al. An improved bidirectional SCR structure for low-triggering ESD protection applications [J]. IEEE Elec Dev Lett，2008，29(4)：360-362.

[9] 朱科翰，于宗光，董树荣，等. 0.18 μm 混合信号 RFCMOS 工艺中新型低触发电压双向 SCR 静电防护器件的设计 [J]. 半导体学报，2008，29(11)：2164-2168.

[10] JIANG Z W，CHEN S H，KER M D. Bi-directional SCR device with dual-triggered mechanism for ESD protection in extended-voltage-swing I/O application [C] // Int Conf Sol Sta Dev Mater. Sendai，Japan. 2009：420-421.

[11] MA J R，QIAO M，ZHANG B. Novel substrate trigger SCR-LDMOS stacking structure for high-voltage ESD protection application [J]. Chin Phys B，2015，24(4)：398-402.

[12] 丁扣宝，黄大海. 一种新的 ESD 防护器件的多脉冲 TLP 仿真方法 [J]. 电子学报，2013，41(5)：1016-1018.

[13] 陈星弼，张庆中，陈勇. 微电子器件 [M]. 第 3 版. 北京：电子工业出版社，2011：62-71.

SU-8 光刻胶去胶工艺研究

张　笛，王　英，瞿敏妮，孔路瑶，程秀兰
（上海交通大学 电子信息与电气工程学院 先进电子材料与器件平台，上海 200240）

摘　要： SU-8 光刻胶因具有良好的机械耐久性、聚合物水密性、介电性能、生物兼容性和抗化学腐蚀性而被广泛用于 MEMS 器件、生物医学和芯片封装等领域。现有制作工艺中，在不损伤器件的同时完全去除和剥离 SU-8 光刻胶仍是一个难题。文章研究了一种基于 O_2/CF_4 等离子刻蚀配合湿法刻蚀的去除方法，实现了 SU-8 光刻胶在硅基底、非晶无机非金属材料、电镀金属等材料上的有效去除。

关键词： SU-8 光刻胶；O_2/CF_4；等离子刻蚀；去胶
中图分类号：TN305.7　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0910-04
DOI：10.13911/j.cnki.1004-3365.190716

Research on SU-8 Photoresist Stripping Process

ZHANG Di, WANG Ying, QU Minni, KONG Luyao, CHENG Xiulan
(*Center for Advanced Electronic Materials and Devices, School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai* 200240, *P. R. China*)

Abstract: Su-8 photoresist has been widely used in MEMS devices, biomedicine and chip packaging because of its excellent mechanical durability, polymer watertightness, dielectric properties, biological compatibility and chemical corrosion resistance. It is still a difficult problem to completely remove and peel su-8 photoresist without damaging the device. In this paper, a removal method based on O_2/CF_4 plasma etching combined with wet etching had been studied to achieve effective removal of Su-8 photoresist on silicon substrate, amorphous inorganic non-metallic material, electroplated metal and other materials.

Key words: SU-8 photoresist; O_2/CF_4; plasma etching; stripping

0　引　言

SU-8 光刻胶是一种可制备成厚膜（0.5～200 μm 厚度）的环氧树脂光阻剂[1]，其组成成分有：1）粘合剂，使光刻胶具有良好的机械性能[2]与粘附性、热稳定性；2）感光剂，能与光发生光化学反应；3）溶剂，使光刻胶保持液体状态；4）添加剂，使光刻胶的某些特性改变。SU-8 光刻胶被广泛应用于微流体器件[3]、微光学器件、显示器等。SU-8 材料本身在物理和化学方面的性质稳定，如抗压强度、硬度、强度、耐酸碱性、耐腐蚀性等，可当作器件直接使用。SU-8 光刻胶具有材料属性稳固、化学性优良、稳定性好等特点，可用于 X 射线、电子束、紫外光等曝光成像制作高深宽比（深度与宽度的比值）、侧壁垂直度高（角度接近 90°）的结构图形，还可用作干法刻蚀的阻挡层。

对于现有制作工艺，未被光刻胶掩盖的部分即

收稿日期：2019-12-09；**定稿日期：**2020-01-14
基金项目：科技部重点专项（2016YFB0200205）
作者简介：张　笛（1988—），男（汉族），上海人，学士，助理工程师，从事光刻工艺及微纳半导体器件研究工作。
程秀兰（1971—），女（汉族），四川人，博士，研究员/博士生导师，主要从事生物微纳电子器件及其微纳米工艺、生物微流控芯片、新型非易失存储器件、微电子器件抗辐射加固等技术研究。通信作者。

曝光区域中，SU-8 光刻胶产生的自由基分子相互热交联形成钝化性很强的环氧树脂，环氧树脂在常规后续显影、去胶过程中很难被去除。研究人员提出了化学方式、物理方式、机械方式等各种去胶方法[4-6]，至今仍未有效解决在不损伤器件前提下完整无残留地去除 SU-8 光刻胶的问题。举例如下。美国 Micro Chem 公司去胶液(PG)能溶胀并剥离 SU-8 光刻胶，但只能处理没有充分固化的 SU-8 光刻胶，不能去除所有的光刻胶。工业 NMP(甲基吡咯烷酮)能溶胀并去除 SU-8 光刻胶，但耗时过长。浓硫酸与双氧水的混合溶液[7]能去除 SU-8 光刻胶，但对于其他结构的损伤严重。高温灰化法采用高温灼烧去除 SU-8 光刻胶，该方法简单，但对于金属器件的损伤严重。

本文采用基于 O_2/CF_4 混合气体的等离子体反应刻蚀方法[8]，有效去除了完全交联的 SU-8 光刻胶。本文方法采用气体离子化的方式来轰击 SU-8 光刻胶，保证了器件的完整性。区别于强酸强碱、高温法，该方法通过精确控制气体流量比例，达到了不损伤电镀金属等集成结构的目的。该方法可适用于玻璃、金属种子层、硅片、压电陶瓷等各类衬底。

1　实验原理

本文采用以干法等离子刻蚀为主、湿法刻蚀为辅的工艺方法去除 SU-8 光刻胶。SU-8 光刻胶是由 C、H、O、N 等元素组成的有机物。该工艺采用的刻蚀气体是 O_2/CF_4 混合气体。随着温度的升高，被激活的氧等离子与有机物发生化学反应，破坏了光刻胶中较稳定的化学成分。同时，F 的自由基化学活性很高，在电离过程中不断地与光刻胶中 H 发生化学反应而生成氟化氢(HF)，促进了 O_2 与有机物反应，生成的气态物质最终被清洗气体(N_2)通过抽压方式排出。

本文工艺采用 PVA Tepla 公司的 IoN Wave 10 等离子去胶机。工艺参数有 O_2 流量、CF_4 流量、温度、功率和时间，其中，O_2 流量、CF_4 流量为主要参数，温度和功率为辅助参数。

O_2 和 CF_4 对需去除的光刻胶表面不断轰击，发生化学反应后分解为气体，达到去胶的目的。SU-8 光刻胶对工艺温度十分敏感。温度过低时，O_2 和 CF_4 与光刻胶中化学分子的反应不充分，不能彻底去除光刻胶；温度过高时，光刻胶自身发生变性，无论怎么改变气体流量、时间参数，都不能去除光刻胶。功率的改变也会影响去胶速率和去胶温度(腔室内温度)。时间参数决定了能去除光刻胶的厚度范围，时间与去除光刻胶厚度呈正线性关系。本文去胶工艺的可去除胶厚度范围达 0～500 μm。

在设计去胶实验时，首先调整温度、功率，确定一个最佳的温度区间，即将该温度变为一个固定的常量，然后再调节气体流量，比较不同气体组成对去胶效果的影响。本文工艺采用美国 Micro Chem 公司的 SU-8 2000 和 SU-8 3000 系列的光刻胶。样品的光刻胶厚度为 100 μm，刻蚀时间是一个固定的常量。

2　样品制备和实验

本次实验样品的制备过程涉及溅射、光刻、电镀、去胶等多步工序，工艺流程如图 1 所示。

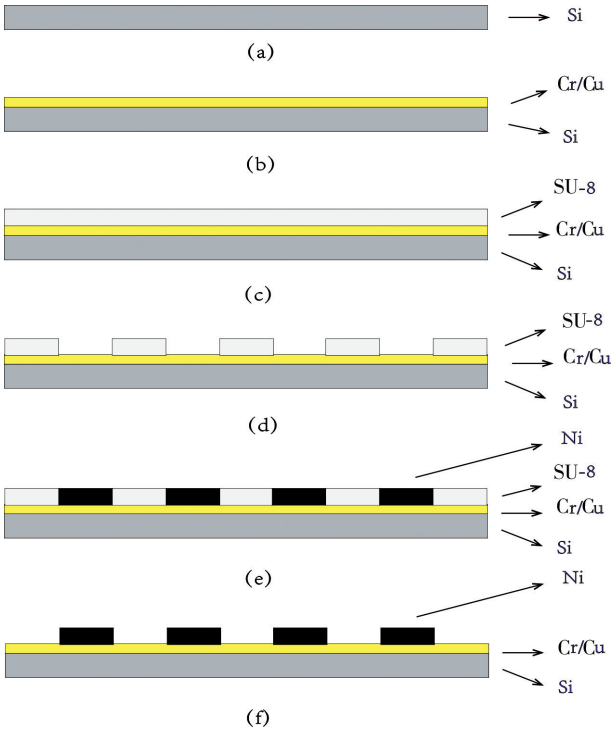


图 1　SU-8 光刻胶样品制备工艺流程

制备工艺步骤如下：准备 76 mm 硅片作为基底，如图 1(a)所示；在硅片表面以磁控溅射淀积 70 nm厚的 Cr/Cu 种子层，如图 1(b)所示；在种子层上旋涂 100 μm 厚的 SU-8 负性光刻胶，90 ℃热板烘 60 min，形成固化的光刻胶，如图 1(c)所示；以铬板作为掩膜，采用紫外光(20 mW/cm^2)对光刻胶表面充分曝光(被曝光部分产生交联)，90 ℃热板烘 30 min，将样品冷却至室温后放入显影液中，匀速晃动 10 min 后显影出图形，如图 1(d)所示；在显影部

位电镀 100 μm 厚的 Ni 层，如图 1(e)所示；样品放入等离子去胶机中完成去胶，如图 1(f)所示。

等离子去胶步骤如下：1)将制备好的样品放入等离子去胶机腔室内，依次设置功率、O_2 流量、CF_4 流量、温度、时间；2)打开真空泵抽真空 2 min，随后通入 O_2、CF_4，待气体充满整个腔室后，设置多个去胶时间进行等离子体辉光去胶，去胶完成后再次打开真空泵排除气体，通入 N_2 弹开舱门，使用酒精、丙酮对样品表面进行湿法清洗，完成去胶工艺；3)使用场发射扫描电子显微镜、表面轮廓仪、数字显微镜，验证去胶效果。

3　实验结果

SU-8 光刻胶对工艺参数的改变敏感，本文模拟了标准工艺，参数设置如表 1 所示。在此基础上改变各参数，通过多次实验结果确定每种参数的最优值，最终得到光刻胶去除的最优参数，如表 2 所示。

表 1　模拟标准工艺参数

参数	功率/W	温度/℃	O_2 流量/($cm^3 \cdot min^{-1}$)	CF_4 流量/($cm^3 \cdot min^{-1}$)	时间/min
模拟量	500	76	127	23	60

表 2　SU-8 光刻胶去胶的最优参数

样品编号	功率/W	温度/℃	O_2 流量/($cm^3 \cdot min^{-1}$)	CF_4 流量/($cm^3 \cdot min^{-1}$)	CF_4 占比
1	650	180	150	23	13%
2	600	151	150	23	13%
3	550	80	127	23	15%
4	500	76	127	23	15%
5	400	68	127	23	15%
6	300	53	120	30	20%
7	250	45	127	23	15%
8	200	39	127	23	15%

F 基气体极易与 Si 发生化学反应，首先将 CF_4 的总占比控制在 15%，确保硅基底不被腐蚀。其次通过多次实验结果得到效果最优的参数。接着在 500 W 功率、15% CF_4 占比的条件下调整气体流量。结果表明，对于样品 1～6，随着功率下降，实验温度逐渐降低，直到再怎么调整 O_2 和 CF_4 流量，样品表面仍有大量无法去除的光刻胶。对于样品 7～8，样品表面的光刻胶均已刻蚀干净。从实验得出结论：较高的温度会使去胶困难，原因是光刻胶中的有机物会因高温发生变性而无法去除。因此，需保持在较低的范围内(45 ℃以下)进行去胶。下一步保持温度不变，通过改变其他参数达到更好去除光刻胶的目的。

45 ℃以下时 SU-8 光刻胶去胶的参数如表 3 所示。功率设为 250 W 和 200 W，改变气体流量获得不同的去胶效果。通过表面轮廓仪、SEM 和能谱(EDS)观察后的结果表明，样品 1～5 号表面的大部分光刻胶被有效去除。样品 2 和 4 的效果相对较好。

去胶后样品的 SEM 图如图 2 所示，可以看出，样品表面已无光刻胶残留。去胶后样品的 EDS 分析结果如图 3 所示，可以看出，电镀 Ni 层和 SU-8 光刻胶覆盖下的 Cu 已全部暴露出。这验证了图 1(e)、图 1(f)中用作掩模的光刻胶已被去除干净。

EDS 定量测试结果如表 4 所示。可知，在整片样品的成分中有微量气体(包括 C、O、F)残余，C、O、F 的成分含量占比分别为 1.79%、1.53%、1.06%，其余成分均为 Ni 和 Cu，不含光刻胶的成分。

表 3　45 ℃以下时 SU-8 光刻胶去胶的参数

样品编号	功率/W	温度/℃	O_2 流量/($cm^3 \cdot min^{-1}$)	CF_4 流量/($cm^3 \cdot min^{-1}$)	CF_4 占比
1	250	45	127	23	15%
2	250	42	120	30	20%
3	200	39	127	23	15%
4	200	36	100	25	20%
5	200	39	100	15	13%

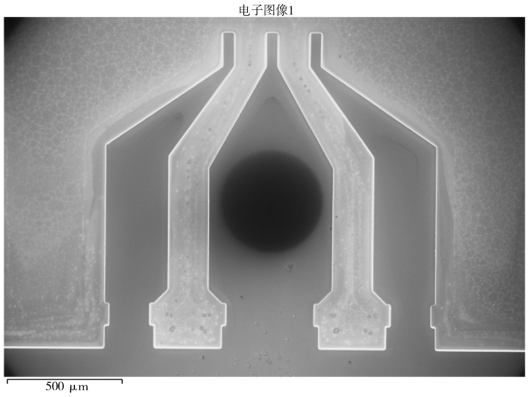
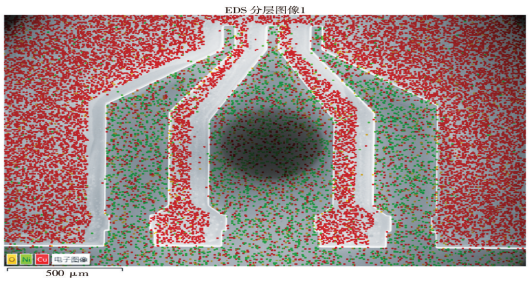
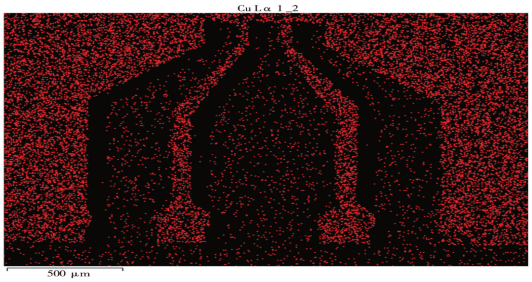


图 2　去胶后样品 SEM 图

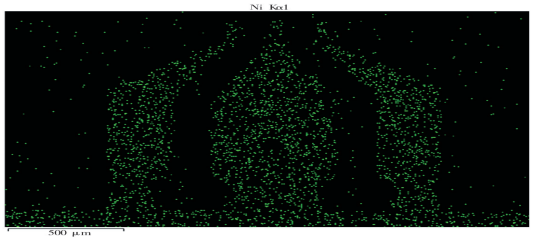
以 20 min 为一组，分别对表 3 中样品 2 号和 4 号进行去胶实验。采用 SEM 观测去胶效果，结果表明，在同样气体配比下，功率越高，刻蚀速率越高；适当地增加 F 基气体占比(如 20%)，去胶效果更好。最终得到对 SU-8 光刻胶的等离子体刻蚀最佳参数，如表 5 所示。可得，光刻胶的刻蚀速率为1.2 μm/min。



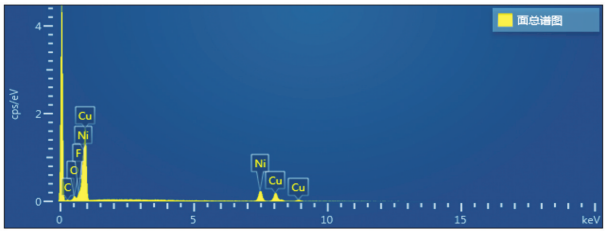
(a) EDS 全貌



(b) Cu 元素



(c) Ni 元素



(d) 能谱曲线

图 3　去胶后样品 EDS 分析结果

表 4　EDS 定量测试结果

元素	线类型	表观浓度	k 比值	重量百分比/%	原子百分比/%	标准样品标签
C	K 线系	0.14	0.001 38	1.79	8.03	Pure Element
O	K 线系	0.37	0.003 27	1.53	5.15	SiO_2
F	K 线系	0.37	0.002 91	1.06	3.01	CaF_2
Ni	K 线系	16.16	0.161 56	37.98	34.89	Ni
Cu	L 线系	10.61	0.106 11	57.64	48.93	Pure Element

表 5　等离子刻蚀的最佳参数

功率/W	温度/℃	O_2 流量/($cm^3 \cdot min^{-1}$)	CF_4 流量($cm^3 \cdot min^{-1}$)	CF_4 占比
250	42	120	30	20%

4　结　论

本文以等离子干法刻蚀为主、湿法为辅的工艺方法去除 SU-8 光刻胶。通过调整优化功率、温度、O_2 流量、CF_4 流量等得到最佳刻蚀参数，获得最好的去胶效果。实验结果表明，O_2、CF_4 混合气体能有效去除光刻胶，在较低温度(不超过 45 ℃)下适当调整 F 基气体占比(20%)，可获得较快去胶速度和较好去胶效果。可以通过水冷或其他降温措施降低腔室运行温度，进一步提高刻蚀速率。

参 考 文 献：

[1] 张国立，陈迪，杨帆，等. SU-8 胶光刻工艺研究 [J]. 光学精密工程，2002，10(3)：266-269.

[2] LORENZ H，LAUDON M，RENAUD P. Mechanical characterization of a new high-aspect-ratio near UV-photoresist [J]. J Microelec Engineer，1998，41-42(3)：371- 374.

[3] LIN C H，G，LEE G B，CHANG B W，et al.，A new fabrication process for ultra-thick microfluidic microstructures utilizing SU-8 photoresist [J]. J Micromech Microengineer，2002，12(5)：590-597.

[4] DENTIGENGER P M，CLIFT W M，GOODS S H，et al. Removal of SU-8 photoresist for thick film applications [J]. Microelec Engineer，2002，61-62(7)：993-1000.

[5] HONG G，HOLMES A S，HEATON M E，et al. SU-8 resist plasma etching and its optimization [J]. Microsyst Technol，2004，10：357-359.

[6] MISCHKE H，GRUETZNER G，SHAW M. Plasma etching of polymers like SU-8 and BCB [C] // Proceed SPIE Int Soc Opt Engineer. San Jose，CA，USA. 2003：372-381.

[7] HO C H，CHIN K P，YANG C R，et al. Ultrathick SU-8 mold formation and removal，and its application to the fabrication of LIGA-like micromotors with embedded roots [J]. Sensor Actuat A：Phys，2002，102(1)：130-138.

[8] 王中文，付强. 等离子体腐蚀去胶探讨 [J]. 辽宁大学学报，2006，33(3)：232-234.

·产品与可靠性·

基于特征提取和 SVM 的硬件木马检测方法

高良俊，于金星，陈　鑫，鲁迎春，易茂祥
（合肥工业大学 电子科学与应用物理学院，合肥 230009）

摘　要： 针对现有基于机器学习的硬件木马检测方法检测率不高的问题，提出了一种基于特征提取和支持向量机(SVM)的硬件木马检测方法。首先在门级网表的节点中提取 6 个与硬件木马强相关的特征，并将其作为 6 维特征向量。然后将这些特征向量分为训练集和测试集。最后使用 SVM 检测木马。将该方法应用于 15 个 Trust-Hub 基准电路，实验结果表明，该方法可实现高达 93%的平均硬件木马检测率，部分基准电路的硬件木马检测率达到 100%。

关键词： 硬件木马；机器学习；特征提取；支持向量机；门级网表
中图分类号：TN407　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0914-06
DOI：10.13911/j.cnki.1004-3365.200034

Hardware Trojan Detection Method Based on Feature Extraction and SVM

GAO Liangjun, YU Jinxing, CHEN Xin, LU Yingchun, YI Maoxiang
(*School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei* 230009, *P. R. China*)

Abstract: Aiming at the problem of low detection rate of the existing hardware Trojan detection methods based on machine learning, a hardware Trojan detection method based on feature extraction and support vector machine (SVM) was proposed. First, 6 features strongly related to the hardware Trojan were extracted from the nodes in gate-level netlist and taken as 6-dimensional feature vectors for each node. Then, these feature vectors were divided into the training set and the test set. Finally, SVM was used to detect hardware Trojan. The method was applied to 15 Thrust-Hub benchmark circuits. Experimental results showed that this method could achieve an average hardware Trojan detection rate of up to 93%, and the hardware Trojan detection rate of some benchmark circuits could reach 100%.

Key words: hardware Trojan; machine learning; feature extraction; SVM; gate-level netlist

0　引　言

随着集成电路(IC)产业的发展，在 IC 中可能植入的硬件木马(Hardware Trojan，HT)被认为是严重的隐患[1]。HT 可以在任何设计和制造阶段植入，任何不可信的环节都可能使 IC 面临 HT 的威胁。一旦 HT 被激活，可能导致芯片泄露信息、老化加速，使芯片停止工作，甚至失效[2-3]。因此，HT 检测方法的研究具有重大意义。

本文研究了 IC 设计阶段在门级网表中植入的 HT，将机器学习应用于 HT 检测中。首先分析了现有 HT 的种类、结构和插入方式；然后提取了 6 个能很好地表征 HT 电路特征的参数，将其量化为 6

收稿日期：2020-01-15；**定稿日期：**2020-03-31
基金项目：国家自然科学基金资助项目(61371025，61574052，61874156)
作者简介：高良俊(1993—)，男(汉族)，安徽蚌埠人，硕士研究生，研究方向为集成电路设计与测试。
易茂祥(1964—)，男(汉族)，安徽广德人，博士，教授，硕士生导师，IEEE 会员，研究方向为超大规模集成电路(VLSI)设计与测试。通信作者。

维特征向量；最后使用 SVM 算法实现二分类问题，完成了 HT 的检测。

1　硬件木马及其检测方法

1.1　硬件木马概述

2007 年，IBM 研究中心首次提出了 HT 电路的概念[4]。HT 是指攻击者在 IC 的设计研发、生产制造和封装测试等整个生命周期内植入的具有恶意功能的冗余电路。

HT 由触发部分和负载部分组成。触发部分的输入由正常电路（没有 HT 的载体电路）提供，输出的触发信号用作驱动负载。负载部分的输入由触发信号和 HT 待攻击的正常电路的某一模块提供。根据攻击的不同目的，负载部分的输出各有差异。图 1 所示为基本的 HT 模型。图中虚线框内是 HT 电路，其余部分是正常电路。

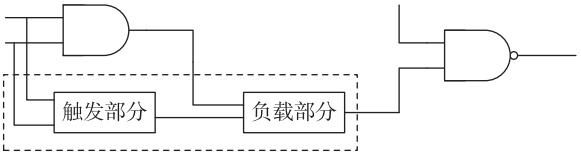


图 1　基本的 HT 模型

1.2　基于机器学习的检测方法

一些学者提出了基于机器学习的 HT 检测方法，其核心思想就是使用机器学习算法的大数据分析能力来检测 HT。

文献[5]通过计算门级网表内节点的信号相关性，使用聚类算法检测出不同于正常电路的硬件木马电路，但是，部分电路的 HT 检测率低。

文献[6]在门级网表上使用机器学习算法实现了较佳的 HT 检测效果。该文献采用随机森林算法实现 HT 检测，但是，部分电路的 HT 检测率过低。

针对上述问题，文章分析了现有 HT 电路的结构、功能及其插入方式，提出了 6 个与 HT 强烈相关的特征，使用机器学习算法中的 SVM，完成了 HT 电路与正常电路的分类。相比现有的在门级网表上使用机器学习算法的方案，本文方法具有更高的 HT 检测率。

2　基于特征提取和 SVM 的 HT 检测方法

2.1　门级网表中的硬件木马

本文方法主要应用于 IC 设计中的门级网表电路，使用的 15 个门级网表电路均来自于 Trust-Hub[7]提供的受 HT 感染电路。

2.2　硬件木马特征

通过对门级网表中的 HT 进行分析研究，提出了 6 个与 HT 强烈相关的特征。这 6 个特征表征了 HT 相较于正常电路所特有的电路结构、功能和插入方式。使用 SVM 能很好地检测出不同于正常电路的 HT 电路。理论上，HT 特征数目与检测结果具有一定的相关性，但 HT 特征越多，也不一定能实现更高的 HT 检测率。在 51 个 HT 特征中，只有 11 个特征对 HT 检测具有决定性作用[6]。本文考虑了算法复杂度和耗时等因素，实验结果表明，本文仅提出 6 个 HT 特征就实现了 93%的平均 HT 检测率。

使用 C/C＋＋程序提取的 6 个 HT 特征分析如下。

特征 1、2：距离目标节点 2 级和 3 级逻辑门的扇入总数。图 2 所示为 RS232-T1000 电路中的 HT 电路。可以看出，该 HT 电路具有较大的扇入，而正常电路中很少有该特征结构。

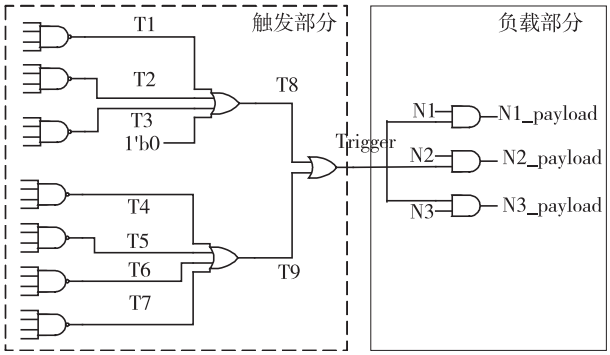


图 2　RS232-T1000 电路中的 HT 电路

特征 3、4：目标节点距离任何主输入和主输出的最小级数。在 AES 加密电路中，因攻击者不知道密钥位而无法控制受密钥位影响的信号，所以不能使用这些信号作为触发输入[8]。攻击者可能无法访问 IC 的内部信号[9-10]，这种情况下 HT 的触发部分直接连接到主输入。对于泄露密钥和拒绝服务类木马，其负载部分均直接连接到主输出或距主输出很近的电路节点。因此，HT 的触发输入通常靠近主输入，其负载输出通常靠近主输出。

特征 5：目标节点距离触发器的输入的最小级数。对于时序木马，往往需要触发器来实现罕见的触发条件或者使用触发器来存储触发条件，当有效的时钟触发信号到达时，HT 被激活。因此，时序木马往往离不开触发器。

特征 6：距离目标节点前后 5 级内反相器的数目。经研究发现，S35932-T300 和 S38417-T300 电路中的门级网表中，HT 电路的结构很特殊，是环形震荡器类结构。图 3 所示为最简单的环形振荡器类 HT 电路。正常电路中很少有这种结构。

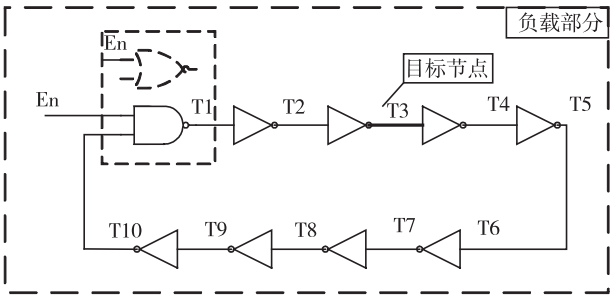


图 3 环形振荡器类 HT 电路

2.3 检测方法流程

第 2.2 节使用了 C/C++程序提取给定门级网表中每个节点的 6 个特征值。以下将使用 Python 语言实现了一个具有二分类功能的 SVM。该方法使用 SVM 自动学习 HT 特征，通过学习获得的 SVM 分类器将未知门级网表中节点分类为木马节点和正常节点。图 4 所示为检测方法的流程图，流程包括学习流程和分类流程。

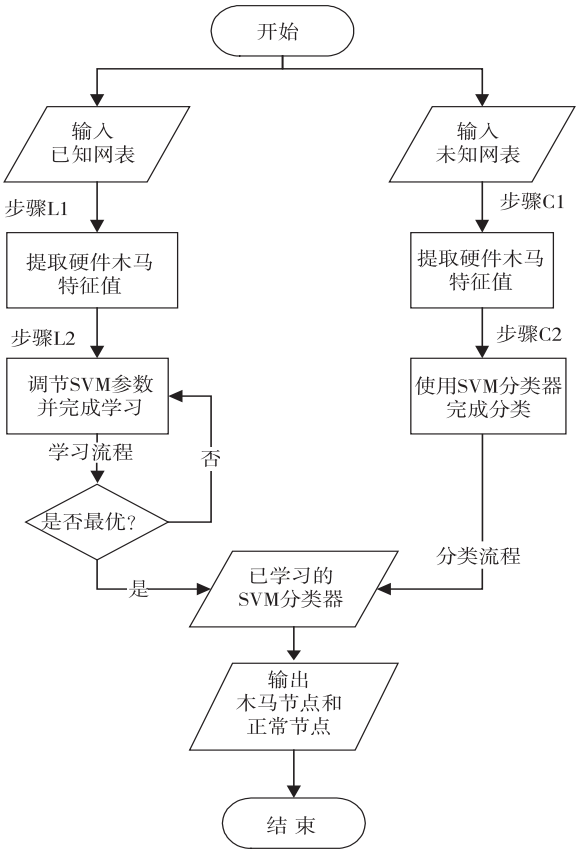


图 4 检测方法的流程图

在图中左侧的学习流程中，首先从已知 HT 信息的门级网表中提取 HT 特征，作为 SVM 的 6 维特征向量；然后将 6 维特征向量作为 SVM 的输入，调节 SVM 的参数，进行分类器的学习流程；最后获得完成学习的 SVM 分类器，用于进行图中右侧的分类流程。

在图中右侧的分类流程中，首先提取未知 HT 信息的门级网表（实际的 HT 信息已知，进行分类流程时将其作为未知 HT 信息作门级网表处理）的 HT 特征；然后使用这些特征向量作为 SVM 分类器的输入；最后，分类器将未知网表中的每个节点分类为木马节点或正常节点。

在步骤 L2 中，通过调节 SVM 的两个参数 γ 和 C，获得最佳的分类器。在步骤 C2 中，再次使用 L2 中最优的两个参数 γ 和 C，获得最佳的 HT 检测率。

3 硬件木马检测结果与分析

将本文方法应用于来自 Trust-Hub 的 15 个基准测试电路，通过实验结果来验证本文方法。HT 特征提取步骤（步骤 L1、C1）用 C/C++语言编写，SVM 分类器（步骤 L2、C2）使用 LIBSVM 的 Python 语言开源程序[11]，修改和完善二分类问题。

3.1 数据获取与处理

本次实验的 15 个基准电路中，每个电路作为单独个体，分别提取电路内各节点的特征值，生成 EXCEL 表格。将 HT 节点记为正类，正常节点记为负类。为了获得准确模型，需要平衡输入的正、负类特征向量的数目。基准电路包含大量正常节点和少量木马节点，对于正常节点，仅保留具有完全相同的其中一个特征向量，而所有 HT 节点的特征向量全部保留。假设保留 N_n 个正常节点，且有 N_t 个 HT 节点，让 SVM 对正常节点只学习一次，而对每个 HT 节点进行（N_n/N_t）次学习。最终，SVM 学习了 N_n 个正常节点，同时也学习了大约 N_n 个 HT 节点，最终实现正负类节点数目的平衡。表 1 所示为删除重复正常节点后的基准电路信息。

另外，还需进行数据格式转换、归一化等其他数据处理操作，使 SVM 获得准确的数据输入。

3.2 实验结果分析

因为每个电路是作为单独个体，本文在 HT 检测时使用了机器学习广泛采用的留一交叉验证法。当检测 S15850-T100 中的 HT 时，将 S15850-T100 的数据作为测试集（其 HT 信息未知，即为无标签的

数据集)，剩下 14 个基准电路的数据全部作为训练集(其 HT 信息已知，即为有标签的数据集)。其余电路，同理类推。该留一交叉验证法共需进行 15 次训练、15 次测试，虽然计算繁琐，但能实现最高的样本利用率，最大限度地降低漏检概率。表 2 所示为 HT 检测的实验结果。

表 1　删除重复正常节点后的基准电路信息

电路名称	HT 节点数目	正常节点数目
RS232-T1000	13	124
RS232-T1100	11	124
RS232-T1200	10	120
RS232-T1300	9	127
RS232-T1400	12	121
RS232-T1500	13	128
RS232-T1600	10	133
S15850-T100	24	1 272
S35932-T100	12	141
S35932-T200	15	186
S35932-T300	32	91
S38417-T100	12	889
S38417-T200	15	963
S38417-T300	40	888
S38584-T100	8	1 365

将 HT 节点记为 P，正常节点记为 N，所有 HT 节点中被正确识别为 HT 节点的数目记为 TP，所有 HT 节点中被错误识别为正常节点的数目记为 FN，正确识别木马节点的概率记为 TPR。同理，TN 是所有正常节点被正确识别为正常节点的数目，FP 是所有正常节点被错误识别为 HT 节点的数目，而 TNR 表明该算法对正常节点的识别准确率。

TPR 和 TNR 的计算公式为：

$$TPR=\frac{TP}{TP+FN} \tag{1}$$

$$TNR=\frac{TN}{TN+FP} \tag{2}$$

可知，TPR 反映了 HT 的检测率，TPR 越高，HT 的检测效果越好。TNR 反映了分类器正确识别正常节点的能力。若 TNR 太低，表明有大量的正常节点被错误地判定为 HT 节点，使得误判率高，导致芯片合格率下降。

15 个电路中，对于 TPR，除 S35932-T300 和 S38417-T300 外，11 个电路的 TPR 均为 90%以上，2 个电路的 TPR 不低于 85%。对于 TNR，14 个电路的 TNR 均为 90%以上，仅 S38584-T100 的 TNR 为 86.74%。因此，本文方法实现了很高的 TPR 和 TNR。

然而，S35932-T300 和 S38417-T300 的 TPR 低于 40%。原因是，这两个电路中为特殊的环形振荡器类 HT(其余 13 个电路中均为普通的由触发、负载部分构成的 HT)，SVM 分类器对它们的分类效果不好。

表 2　HT 检测的实验结果

电路名	HT 节点			正常节点			最优参数	
	TP	FN	TPR	TN	FP	TNR	$\log_2 C$	$\log_2 \gamma$
RS232-T1000	13	0	100%	120	4	96.77%	4	3
RS232-T1100	11	0	100%	121	3	97.58%	4	2
RS232-T1200	10	0	100%	116	4	96.67%	4	2
RS232-T1300	8	1	88.89%	124	3	97.64%	4	2
RS232-T1400	11	1	91.67%	118	3	97.52%	4	2
RS232-T1500	12	1	92.31%	124	4	96.88%	4	2
RS232-T1600	9	1	90.00%	128	5	96.24%	10	3
S15850-T100	23	1	95.83%	1 209	63	95.05%	1	2
S35932-T100	11	1	91.67%	141	0	100%	0	−10
S35932-T200	15	0	100%	185	1	99.46%	1	3
S35932-T300	12	20	37.50%	91	0	100%	8	−10
S38417-T100	11	1	91.67%	865	24	97.30%	7	1
S38417-T200	13	2	86.67%	921	42	95.64%	10	−4
S38417-T300	12	28	30.00%	816	72	91.89%	0	0
S38584-T100	7	1	87.50%	1 184	181	86.74%	4	−6

因此，本文增加了单独检测环形振荡器类 HT 的实验。具体方法是，当检测 S35932-T300（或 S38417-T300）时，训练集只有 S38417-T300（或 S35932-T300）电路。表 3 所示为环形振荡器类 HT 的检测结果。

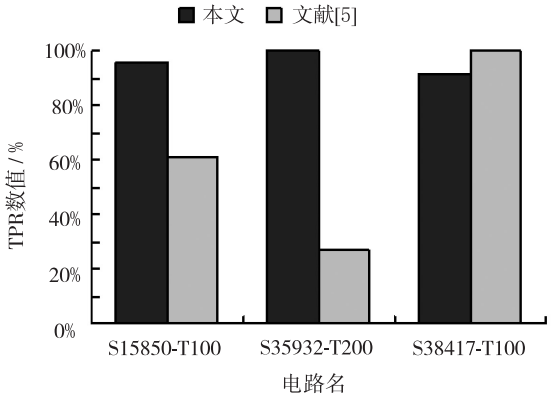
由表 3 可知，这两个电路的 *TPR* 均由原来的 40%提高到 90%以上，TNR 也有所改善。因此，训练集中 HT 的样本种类数量会影响最终的检测效果。同理，如果训练集中完全不包含某类 HT，最终可能很难用该分类器检测出这类 HT。从理论上，只要训练集中包含尽可能多种类的 HT，且样本数量足够，那么本文方法就能很好地检测出绝大多数未知网表中可能存在的 HT。

表 3 环形振荡器类 HT 的检测结果

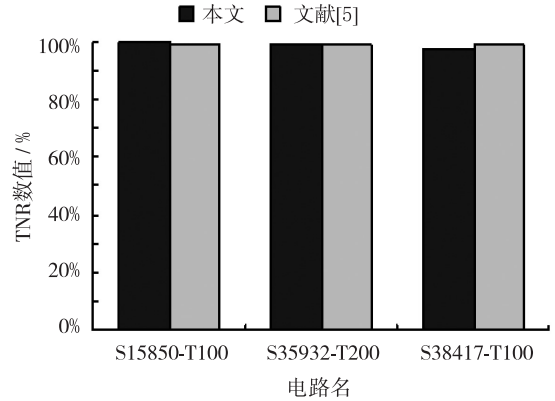
电路名	TP	FN	TPR	TN	FP	TNR	$\log_2 C$	$\log_2 \gamma$
S35932-T300	29	3	90.63%	91	9	100%	3	0
S38417-T300	38	2	95%	851	37	96.51%	4	0

3.3 本文与现有 HT 检测方法的对比

文献[5]方法使用 HT 电路与普通电路之间的信号关联，识别未知网表中的每个节点是否为 HT，这是目前较优的 HT 检测方法之一。图 5 所示为本文与文献[5]的 TPR、TNR 对比。可以看出，本文和文献[5]的 TNR 均达到 100%，本文的 TPR 远高于文献[5]。因此，本文方法比文献[5]具有更高的 HT 检测率。



（a）*TPR* 对比

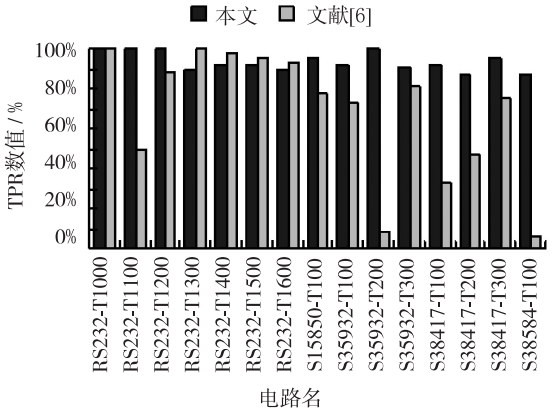


（b）*TNR* 对比

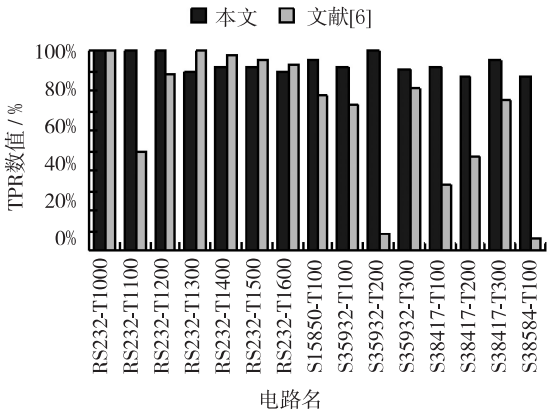
图 5 本文与文献[5]的 *TPR*、*TNR* 对比

文献[6]在门级网表上使用随机森林算法检测 HT，是目前较优的检测方法之一。图 6 所示为本文与文献[6]的 *TPR*、*TNR* 对比。虽然本文的 *TNR* 略低于文献[6]，但本文的 *TPR* 明显优于文献[6]。对于 HT 检测而言，在 *TNR* 可接受的范围内最大限度地提高 *TPR* 是很重要的。因此，本文方法的综合性能优于文献[6]。

实验结果表明，本文方法具有更高的 *TPR*，且 *TNR* 与同类文献的差异仅在 5%范围内。因此，本文方法具有较高的 HT 检测率和较低的误判率。



（a）*TPR* 对比



（b）*TNR* 对比

图 6 本文与文献[6]的 *TPR*、*TNR* 对比

4 结　论

本文通过在门级网表上提取 6 个 HT 特征，使用 SVM 对 15 个基准测试电路完成了 HT 的检测。结果表明，本文方法可以实现 93%的平均检测率。本文提出的 6 个特征很好地表征了 HT 的特殊结构、功能和插入方式。对比于现有基于机器学习的 HT 检测方法，在 *TNR* 相差不大的情况下，本文方法实现了更高的 *TPR*。

今后，将进一步优化 HT 特征值，实现更高的 *TPR* 和 *TNR*，同时最大化地减少正常节点误报为 HT 节点的数量。还将考虑使用如人工神经网络等机器学习算法来实现 HT 检测，进一步提高检测效果。

参 考 文 献：

[1] TEHRANIPOOR M, KOUSHANFAR F. A survey of hardware Trojan taxonomy and detection [J]. IEEE Design & Test of Comput, 2010, 27(1): 10-25.

[2] 李莹，陈岚，周崟灏. 硬件木马旁路检测方法的影响因素研究 [J]. 计算机工程，2019，45(1)：145-152.

[3] KARRI R, RAJENDRAN J, ROSENFELD K. Trojan taxonomy [M]. New York: Springer, 2012: 325-338.

[4] AGRAWAL D, BAKTIR S, KARAKOYUNLU D, et al. Trojan detection using IC fingerprinting [C] // IEEE Symp Security Privacy (SP'07). Berkeley, CA, USA. 2007: 296-310.

[5] CAKIR B, MALIK S. Hardware Trojan detection for gate-level ICs using signal correlation based clustering [C] // Des, Autom & Test Euro Conf & Exhib. Grenoble, France. 2015: 471-476.

[6] HASEGAWA K, YANAGISAWA M, TOGAWA N. Trojan-feature extraction at gate-level netlists and its application to hardware-Trojan detection using random forest classifier [C] // IEEE (ISCAS). Baltimore, MD, USA. 2017: 2154-2157.

[7] 门级网表电路来源 [EB/OL]. http://www.trust-hub.org.

[8] LESPERANCE N, KULKARNI S, CHENG K T. Hardware Trojan detection using exhaustive testing of *k*-bit subspaces [C] // IEEE 20th Asia & South Pacific Des Autom Conf. Chiba, Japan. 2015: 755-760.

[9] KITSOS P, SIMOS D E, TORRES-JIMENEZ J, et al. Exciting FPGA cryptographic Trojans using combinatorial testing [C] // IEEE 26th ISSRE. Gaithersbury, MD, USA. 2015: 69-76.

[10] VOYIATZIS A G, STEFANIDIS K G, KITSOS P. Efficient triggering of Trojan hardware logic [C] // IEEE 19th Int Symp DDECS. Kosice, Slovakia. 2016: 1-6.

[11] LIBSVM 算法开源链接 [EB/OL]. https://www.csie.ntu.edu.tw/cjlin/libsvm.

基于温度传感器的硬件木马检测方法

黄正峰[1]，孙　芳[1]，潘尚杰[1]，欧阳一鸣[2]，倪天明[3]，戚昊琛[1]，徐　奇[1]
（1. 合肥工业大学 电子科学与应用物理学院，合肥 230009；2. 合肥工业大学 计算机与信息学院，合肥 230009；
3. 安徽工程大学 电气工程学院，安徽 芜湖 241000）

摘　要： 针对硬件木马检测的旁路信号分析法中需要黄金模型、受工艺扰动影响大的问题，提出了一种基于温度传感器的硬件木马检测方法。采用抗工艺扰动设计使温度传感器受工艺扰动的影响程度低。将温度传感器植入芯片内部相似结构（存储单元、功能相同的模块等），读取温度传感器的频率信息，通过简单异常值分析法与差值分析法比对相似结构的频率差异，实现了硬件木马的检测。该方法既有效克服了工艺扰动的影响，又不需要黄金模型。温度传感器输出频率在最极端工艺角下的工艺扰动仅为 9%。在 SMIC 180 nm CMOS 工艺下对高级加密标准（AES）电路的木马检测进行了验证，结果验证了该方法的有效性。

关键词： 硬件木马；温度传感器；相似结构；工艺扰动
中图分类号：TN407　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0920-06
DOI：10.13911/j.cnki.1004-3365.200008

A Hardware Trojan Detection Method Based on Temperature Sensor

HUANG Zhengfeng[1], SUN Fang[1], PAN Shangjie[1], OUYANG Yiming[2], NI Tianming[3], QI Haochen[1], XU Qi[1]
(1. *School of Electronic Science and Applied Physics, Hefei Univ. of Technology, Hefei* 230009, *P. R. China*; 2. *School of Comput. and Inform., Hefei Univ. of Technology, Hefei* 230009, *P. R. China*; 3. *College of Elec. Engineer., Anhui Polytechnic Univ., Wuhu, Anhui* 241000, *P. R. China*)

Abstract: Aiming at the problem that the side-channel signal analysis method of hardware Trojan detection needed golden model and was greatly affected by process variation, a hardware Trojan detection method based on temperature sensor was proposed. The anti-process variation design was adopted to make the temperature sensor less affected by the process variation. Temperature sensors were inserted into similar structures (memory units, modules with same function, etc.) of the chip to simulate the temperature. Simple outlier analysis and difference analysis were used to compare the frequency of the temperature sensor between the similar structures to detect hardware Trojan. This method could effectively overcome the influence of process variation without requiring a golden model. The frequency of the temperature sensor affected by process variation was 9% at the worst corner. Based on SMIC 180 nm CMOS process, the hardware Trojan detection of advanced encryption standard (AES) circuit was simulated and verified.

Key words: hardware Trojan; temperature sensor; similar structure; process variation

收稿日期：2020-01-06；**定稿日期：**2020-03-31
基金项目：国家自然科学基金资助项目（61874156，61874157，61904001，61904047）；安徽省自然科学基金资助项目（1908085QF272）
作者简介：黄正峰（1978—），男（汉族），博士，教授，硕士生导师，CCF 高级会员，研究方向为 SoC 芯片抗辐射加固。
孙　芳（1994—），女（汉族），硕士研究生，研究方向为硬件容错。
徐　奇（1991—），男（汉族），博士，讲师，研究方向为硬件容错。通信作者。

0　引　言

随着 IC 设计与制造越来越多的外包代工，芯片的生命周期内均有机会被植入具有破坏性功能的电路，即硬件木马。在芯片设计阶段，来自第三方的 IP 核中可能存在硬件木马[1]；在芯片生产阶段，代工厂可能在芯片中植入硬件木马；在应用中芯片可能被硬件木马感染[2]。一旦芯片被感染硬件木马，就可能造成芯片功能失效或秘密信息泄露，芯片可靠性降低，甚者芯片毁坏[3]。硬件木马在电路中很难被检测，检测难点有：1）木马电路种类繁多，规模大小、触发方式等各有不同，不同硬件木马实现的功能也不同[4]；2）木马电路相较宿主电路的规模非常小，需要罕见的激活信号才能被触发，在大部分生命周期内木马电路处于沉默状态，难以被检测[5]；3）木马电路对芯片参数仅有微小影响，易被工艺扰动淹没，被检测到的难度大。

现有木马检测方法分为木马激活和旁路信号分析两大类。木马激活法是通过生成测试向量来激活硬件木马。该方法的优点是检测成本低，检测进程较快[6-7]，缺点是不适用于 I/O 接口多的 IC 即较大规模 IC，生成木马测试向量较困难[8]。

硬件木马会改变如功耗、电压、电流和电路延时等电路参数，旁路信号分析法则通过检测并区分这些参数变化来检测硬件木马。旁路信号分析法包括基于对称电路的延时分析[9-10]，基于电源电压的扰动分析[11]，基于电流的扰动分析[12-13]，基于功耗分析[14]，等方法。旁路信号分析法对于受木马影响大的电路有效，但是，木马对旁路信号的改变可能被工艺扰动或电路噪声淹没。近年来，研究学者采用传感器来进行工艺扰动的校准，从而检测出硬件木马。该类方法目前还存在一些问题，如：采用传感器来检测信号，但没有具体的传感器模型；采用黄金模型作为参考，但黄金模型的获取方法具有破坏性，测试成本和难度增大。

针对上述问题，本文提出了一种利用温度传感器检测硬件木马的方法。关键技术有：采用抗工艺扰动设计，使得温度传感器对工艺扰动不敏感，输出频率在最极端工艺角下的工艺扰动仅为 9%；采用电路中自有的相似结构作为对照组，实现硬件木马的检测，既有效克服了工艺扰动，又不需要黄金模型。

文章第 1 节介绍了一种硬件木马检测方法的流程，第 2 节介绍温度传感器的应用及抗工艺扰动设计，第 3 节介绍实验和检测算法，第 4 节给出实验结果与分析，第 5 节给出结论。

1　硬件木马检测方法

本文采用 *RC* 振荡器作为温度传感器。将温度传感器植入到芯片内部的相似结构（存储单元、相同功能模块等）中，读取两个电路模块的频率信息，通过分析比对频率差异来实现硬件木马的检测。因为利用芯片内部的相似结构进行参数比对，所以消除了外部的工艺扰动因素的影响。本文提出的硬件木马检测方法的流程图如图 1 所示。

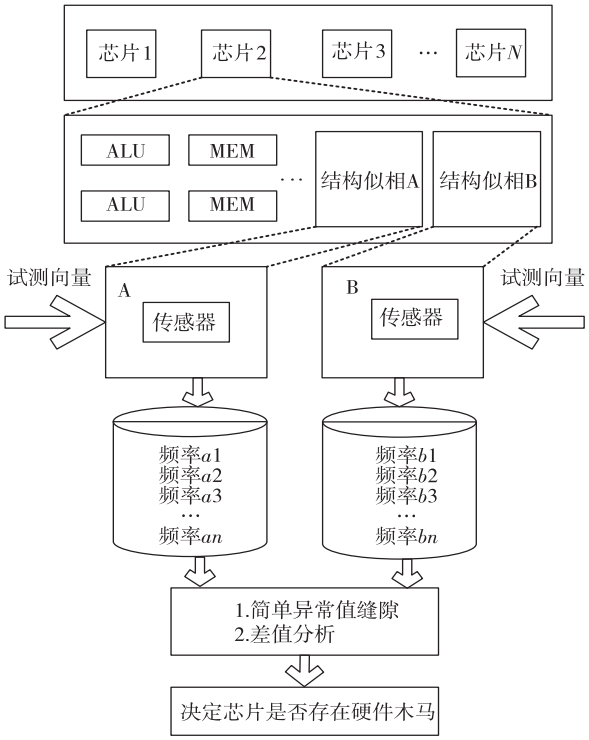


图 1　本文硬件木马检测方法的流程图

1.1　相似结构概念

本文方法中的重要概念是相似结构。相似结构指结构相似的电路，如存储模块由大量结构相同的存储单元规则排列而成，实现相同或相似功能的电路结构也相同或相似。

高级加密标准（AES）电路是利用输入 128 位密钥进行多轮变换加密[15]。在 RTL 代码中，需将变换代码调用多次，布局布线后 AES 版图中就有多个结构相同的模块，将这些模块称为 round-1、round-2、…、round-x 模块，即 AES 电路中的相似结构。本文采用 AES 电路作为实验基准电路。

1.2 检测方法理论分析

在相似结构 A、B 中植入温度传感器，电路中存在硬件木马时，因硬件木马离 A 与 B 的距离是不同的，A 与 B 的功耗受硬件木马影响也会不同。木马被激活后结构 A 与 B 的功耗产生差异，通过植入的温度传感器读出温度，使用简单的异常值分析、差值分析处理数据，比较结构 A 与 B 的温度差异是否超出阈值范围。最后，判断出电路中是否含有硬件木马。该检测方法本身的原理能降低工艺扰动。本文还对温度传感器进行了抗工艺扰动设计，进一步降低了抗工艺扰动的能力。该检测方法不依赖于黄金模型。

2 温度传感器

首先介绍温度仿真所用的 *RC* 热模型，接着介绍采用的温度传感器的结构及工作原理，阐述了温度传感器的抗工艺扰动设计方法。验证了该检测方法的可行性。最后给出了传感器的频率温度曲线。

2.1 *RC* 热模型

硬件木马被激活后，电路的功耗发生变化，温度随之变化。本文采用 HotSpot 模型对温度进行仿真，采用 *RC* 热模型对温度和功耗进行建模。*RC* 热模型如图 2 所示。该模型将电路分成多个区域，每个区域被理想化为一个点，每个点对应一个温度。功耗与温度的关系式为：

$$\sum_{\forall j \in N_t} \frac{1}{R_{ij}}(T_i(t) - T_j(t)) + C_i \frac{dT_i(t)}{dt} - P_i(t) = 0 \tag{1}$$

式中，T_i，T_j 为结点 i、j 的温度，P_i 为结点 i 的功耗，C_i 为结点 i 的热电容，R_{ij} 为结点 i 与 j 间的热电阻。

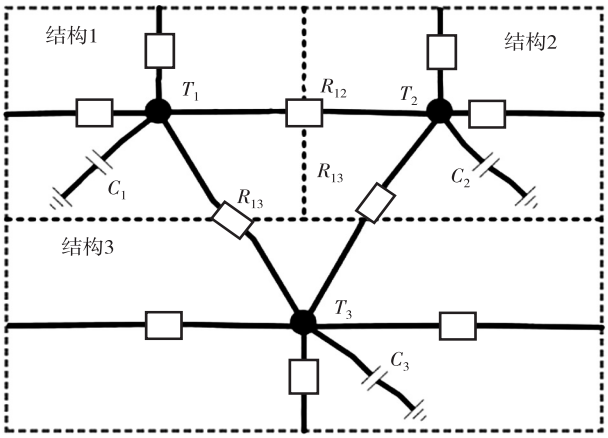


图 2 *RC* 热模型

2.2 温度传感器

2.2.1 工作原理

温度传感器由电流镜和逻辑重置电路组成，原理图如图 3 所示。电流镜为电路提供电流，逻辑重置电路由 6 个晶体管开关 $S_1 \sim S_6$、2 个电容 C_1、C_2、电阻 R、比较器和 2 个反相器组成。晶体管开关分别由 A、$\overline{A}$信号控制。

当 $A=1$、$\overline{A}=0$ 时，S_1、S_4、S_6 导通，S_2、S_3、S_5 关断，I_3 给 C_1 充电，V_1 开始增大，$V_2=I_4R$。当 $V_1<V_2$ 时，比较器输出高电平，即 $A=1$、$\overline{A}=0$。当 C_1 一直充电，使 V_1 稍高于 V_2 时，比较器输出低电平，即 $A=0$、$\overline{A}=1$，进入下一个阶段。

当 $A=0$、$\overline{A}=1$ 时，S_2、S_3、S_5 导通，S_1、S_4、S_6 关断，$V_1=I_3R$，C_1 两端的电压放电至零，I_4 给 C_2 充电，V_2 开始增大。当 $V_1>V_2$ 时，比较器输出低电平，即 $A=0$、$\overline{A}=1$。当 C_2 一直充电，使得 V_2 稍高于 V_1 时，比较器输出高电平，即 $A=1$、$\overline{A}=0$。因此，信号 A 与$\overline{A}$不断地在高、低电平之间转换，形成振荡信号。

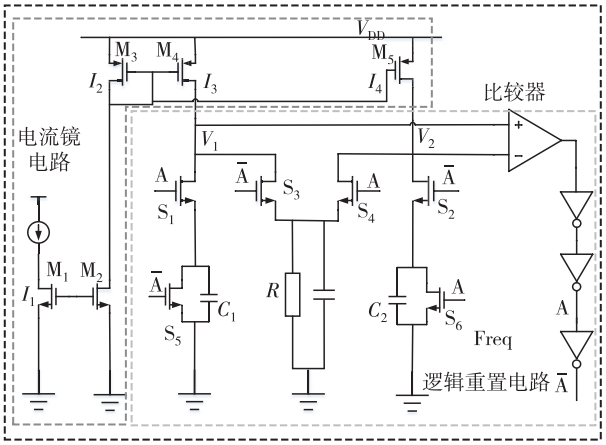


图 3 温度传感器的原理图

2.2.2 工艺扰动校准

RC 振荡器的周期为：

$$T_{period} = \left(\frac{RC_1I_4}{I_3} + \frac{RC_2I_3}{I_4}\right) + T_{delay} \tag{2}$$

电路参数失配是内模工艺扰动造成的，校准比较困难，与外模工艺扰动相较，其造成的频率偏差较小。因此，本文着重考虑外模工艺扰动的校准。

本文采用可变电容补偿方法，选取了工艺库中的可变电容。该电容的特性是：当电容两端的电压改变时，可变电容值随之改变。假设工艺扰动因子为 α，电流失配因子为 β。α、β 均为正数，则 $I_3=I(1$

$+\beta)$，$I_4=I(1-\beta)$，电阻值为 $R(1+\alpha)$。因此，V_1、V_2 分别为 $I_3R(1+\alpha)$、$I_4R(1+\alpha)$。当 V_1、V_2 上升，C_1、C_2 的值随之降低，为 $C(1-\alpha)$，则振荡器的周期为：

$$T_{A=0}=I(1+\beta)R(1+\alpha)\frac{C(1-\alpha)}{I(1-\beta)}+T_{delay} \quad (3)$$

$$T_{A=1}=I(1-\beta)R(1+\alpha)\frac{C(1-\alpha)}{I(1+\beta)}+T_{delay} \quad (4)$$

$$T_{period}=2RC(1-\alpha^2)\frac{1+\beta^2}{1-\beta^2}+T_{delay} \quad (5)$$

设周期的工艺扰动因子 $K_1=1-\alpha^2$，失配因子 $K_2=(1+\beta)(1-\beta)$。这里，主要考虑工艺扰动因子。

未使用可变电容进行补偿时，电容受工艺扰动的影响与工艺扰动因子正相关，其值为 $C(1+\alpha)$，所以未校准前的工艺扰动因子 $K'=(1+\alpha)^2$。可知，$K'>K_1>1$。因此，可变电容能有效降低工艺扰动。

采用上述校准方法后，基于 SMIC 180 nm CMOS 工艺使用 Cadence Spectre 软件，在 ff、tt、ss 工艺角下对温度传感器进行仿真。不同传感器的输出信号不同工艺角下相对典型工艺角的偏移百分比如表 1 所示。可以看出，相比于传统环形振荡器温度传感器，*RC* 温度传感器的优点是对对温度更敏感。原因是本文电路有温敏电阻，对 *RC* 温度传感器作了抗工艺扰动设计。由表 1 可知，与校准前相比，*RC* 温度传感器的输出信号周期受工艺扰动的影响降低为原来的四分之一。

表 1　不同传感器的输出信号不同工艺角下相对典型工艺角的偏移百分比

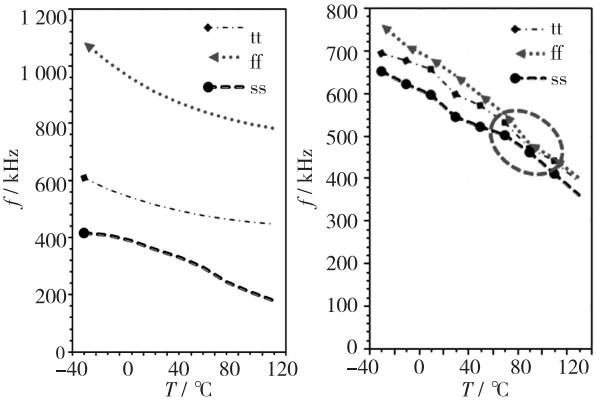
类型	ff	tt	ss
环形振荡器[11]	13%	-	−11%
电流传感器[12]	17%	-	−15%
校准前 *RC* 传感器	35%	-	−26%
校准后 *RC* 传感器	9%	-	−5.1%

温度传感器校准前后的频率-温度曲线如图 4 所示。可以看出，温度变化范围为−40 ℃至 120 ℃时，校准后，频率受工艺扰动的影响明显降低，温度传感器的精度同时提高。图中，椭圆圈标出的是芯片稳定运行时的温度及对应频率。

3　实验方案

3.1　判定阈值的获取

本文基于 SMIC 180 nm CMOS 工艺，对 AES 电路进行了仿真测试。木马电路来源于 trust-HUB，工作机理是：使用一组序列激活木马后，负载电路阻止电路信号继续传递，使一部分电路不能正常运行。



(a) 未校准　　(b) 校准后

图 4　温度传感器样准前后的频率-温度曲线

本文采用 AES 电路[15]作为实验的基准电路，在相似结构 round-1、round-2 中植入温度传感器。假设芯片版图送入制造厂之前不含硬件木马，将无木马的 AES 电路作为可信电路，以获得判定阈值。向可信电路输入端加入测试向量，测试向量的数量为 200，记录每一个测试向量下的 round-1、round-2 的频率。

3.2　测试数据验证

向待检测电路 round-2 中植入木马电路，向电路输入端加入相同的测试向量集，记录每一个测试向量下 round-1、round-2 的频率。用简单异常值分析和差值分析处理数据。

3.3　简单异常值分析法

简单异常值分析法是检测相似结构中获得的频率参数。对于无木马电路，每组相似结构的频率之差值是有限的，每个 *RC* 振荡器的频率值很接近。在相同测试向量下，当从待检测电路中相似结构中获得的频率之差值超过正常范围时，则认为该电路可能含有硬件木马。但是，这种方法受内模工艺扰动的影响，检测结果的准确性降低。当木马引起的功耗变化小于内模工艺扰动造成的变化时，需进一步使用差值分析法。

3.4　差值分析法

要给一批芯片中的部分芯片添加硬件木马是非常困难的。假设从代工厂出来的同一批芯片，要么全部被硬件木马感染，要么全部是正常芯片[16]。用测试向量 i 激活芯片 j，读出芯片相似结构 A 与 B 的频率，标为 F_{ij} 和 $F_{i(j+1)}$，定义为：

$$d_{ij}=F_{ij}-F_{i(j+1)} \tag{6}$$

相似结构 A 与 B 是片内结构，d_{ij} 不受外模工艺扰动的影响，只受内模工艺扰动或硬件木马的影响。对于出厂芯片的硬件木马检测，可忽略老化的因素，令芯片与芯片之间的差异为 d_{ij}，则有：

$$d_{ij}=V_{\text{intra-die}} \tag{7}$$

对于被硬件木马感染的芯片，显然相似结构之间的频率还受硬件木马的影响，此时芯片与芯片之间的差异为 d'_{ij}，有：

$$d'_{ij}=V_{\text{intra-die}}+V_{\text{trojan}} \tag{8}$$

比较 d_{ij} 与 d'_{ij}，可将内模工艺扰动消去，Δd_{ij} 为：

$$\Delta d_{ij}=V_{\text{trojan}} \tag{9}$$

对于可信电路，令阈值 $\text{th}=\max\{d_1,d_2,d_3,\cdots,d_i\}$。当第 j 个待测芯片存在 d'_{ij} 时，再测量其余向量下的频率差值。如果半数以上的相同模块均存在 $d'_{ij}>\text{th}$ 时，则认为电路含有硬件木马。

3.5 温度热图仿真

当电路稳定工作后，读出温度传感器的频率，通过频率-温度曲线图读出温度。为了验证温度传感器的精度，对电路温度进行了仿真。

实验平台使用 Synopsys 公司的 Design Compiler 工具对 AES 基准电路代码进行逻辑综合，获得电路网表文件。首先使用 Mentor 公司的 ModelSim 软件对该网表文件功能仿真，确定网表文件的正确性。接着使用 Cadence SOC Encounter 工具对网表文件布局布线，获得 GDSII 文件，并使用 Mentor 公司的 Calibre 工具对 GDSII 文件进行 DRC 和 LVS 验证，确定版图文件 GDSII 的正确性。然后使用 Synopsys 公司的 StarRC 工具抽取寄生参数文件，通过 Modelsim 获得波形文件，综合得到 sdc 文件。最后，使用 Synopsys 公司的 PTPX 工具获得电路各模块的功耗文件，使用温度仿真工具 HotSpot 分别对无木马电路、有木马电路进行温度仿真[17]，得到了电路的温度热图。实验流程图如图 5 所示。

4 结果与分析

使用 Synopsys 的 Design Compiler 对各个模块计算面积开销。电路中各模块面积及其百分占比如图 2 所示。

电路有、无木马时的温度热图如图 6 所示。因为木马阻止了部分信号的传递，所以部分电路的功能失效。因此，有木马电路的温度低于无木马电路。

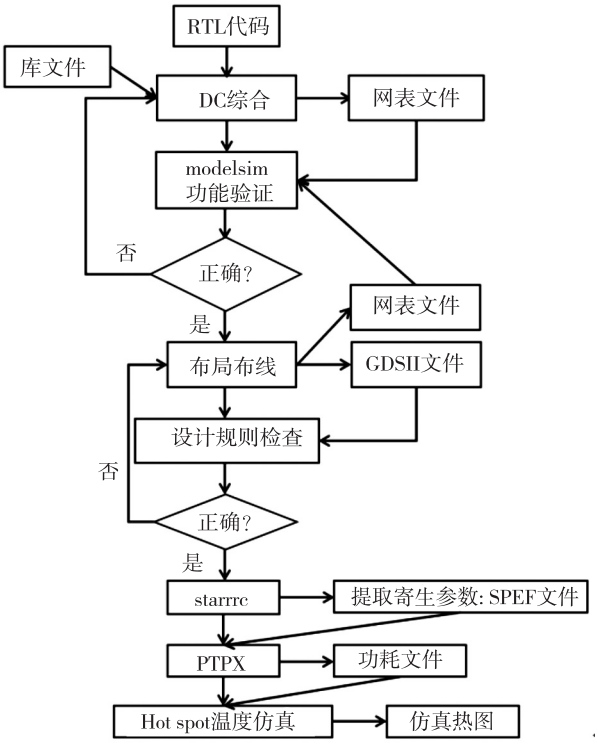
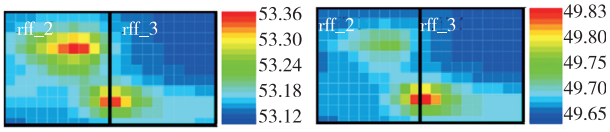


图 5 实验流程图

表 2 各模块面积及其百分占比

电路	面积/μm^2	百分比/%
AES	5 000 055.17	100
Round-1	292 003.22	5.84
温度传感器	1 447.01	0.03
硬件木马	21 525.82	0.43



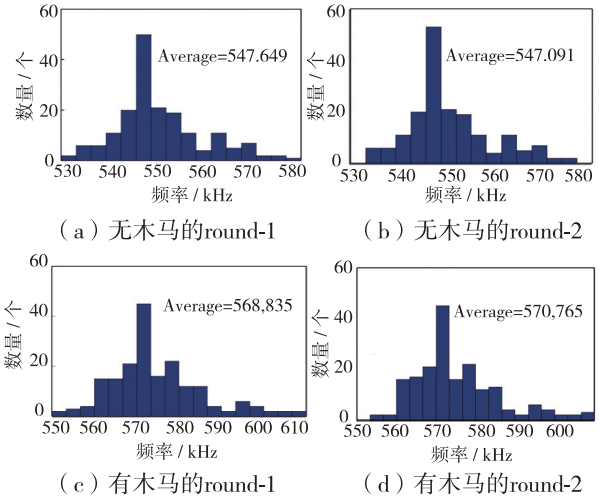
(a) 无木马 (b) 有木马

图 6 电路有、无木马时的温度热图

各种条件下的频率分布直方图如图 7 所示。从图 7(a)、7(b)可知，在无硬件木马时，相似结构之间只存在内模工艺扰动，内模工艺扰动仅占 5%。因此，内模工艺扰动对功耗的影响很小，两种电路的频率平均值相似。从图 7(c)、7(d)可知，在有硬件木马时，硬件木马能阻止信号向下一级电路传输，所以 round-2 的频率值高于 round-1。无木马电路的频率明显低于有木马电路。因此，使用简单异常值分析法能检测出硬件木马。

对于简单异常值分析无法识别的木马电路，本文提出了一种差值分析方法。有、无木马电路的频

率差值分布如图 8 所示。



（a）无木马的round-1　（b）无木马的round-2

（c）有木马的round-1　（d）有木马的round-2

图 7　各种条件下的频率分布直方图

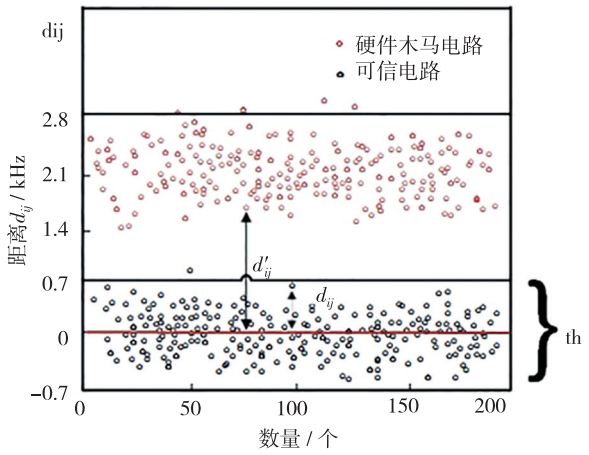


图 8　有、无木马电路的频率差值分布图

可以看出，无木马电路的频率差值分布于－0.7～0.7 kHz，有木马电路的频率差值分布于 1.5～2 kHz。通过有对、无木马电路中相似结构的不同频率差值，该差值分析法能检测出硬件木马。

5　结　论

本文基于温度传感器，通过仿真模型与相似结构之频率差值比对实现了硬件木马的检测。温度传感器采用了抗工艺扰动设计。相比常规检测方法，该检测方法受工艺扰动的影响程度降低，温度传感器在最极端工艺角下的工艺扰动为 9%。这种在相似结构中植入传感器的方法，既有效降低了工艺扰动对结果精确度的影响，又不需要黄金模型，克服了常规方法的缺点。基于 SMIC 180 nm CMOS 工艺对 AES 电路进行了仿真实验，结果验证了该方法的有效性。

参 考 文 献：

[1] CHEN X M，LIU Q Y，YAO S，et al.. Hardware Trojan detection in third-party digital intellectual property cores by multilevel feature analysis [J]. IEEE Trans Comput Aid Des Integr Circ & Syst，2018，37(7)：1370-1383.

[2] SKOROBOGATOV S，WOODS C. Breakthrough silicon scanning discovers backdoor in military chip [C] // Int Workshop Cryptogr Hardware & Embed Syst. Berlin，Germany. 2012：23-40.

[3] 李莹，陈岚，周崟灏. 硬件木马旁路检测方法的影响因素研究 [J]. 计算机工程，2019，45(1)：145-152.

[4] LI H，LIU Q，ZHANG J. A survey of hardware Trojan threat and defense [J]. Integration，VLSI J，2016 ，SI(55)：426-437.

[5] SUMATHI G，SRIVANI L THIRUQNANA M D，et al. A review on HT attacks in PLD and ASIC designs with potential defence solutions [J]. IETE Tech Rev，2018，1(35)：64-77.

[6] XUE M F，HU A Q，WANG J. A novel hardware Trojan detection technique using heuristic partition and test pattern generation [J]. Acta Elec Sinica，2016，44(5)：1132-1138.

[7] SASHANK K A，REDDY H S，PAVITHRAN P，et al.. Hardware Trojan detection using effective test patterns and selective segmentation [C] // Int Symp Secur Comput & Commun. Singapore. 2017：379-386.

[8] SAHA S，CHAKRABORTY R S，NUTHAKKI S S，et al.. Improved test pattern generation for hardware trojan detection using genetic algorithm and boolean satisfiability [C] // 17th Int Workshop CHES. Saint Malo，France. 2015：577-596.

[9] DAVOODI A，LI M，TEHRANIPOOR M. A sensor-assisted self-authentication framework for hardware Trojan detection [J]. IEEE Des & Test，2013，30(5)：74-82.

[10] SHEN H H，TAN H Z，LI H W，et al. LMDet：a "naturalness" statistical method for hardware Trojan detection [J]. IEEE Trans VLSI Syst，2017，PP(99)：1-13.

[11] ZHANG X H，TEHRANIPOOR M. An on-chip ring oscillator network for hardware Trojan detection [C] // Des，Automa & Test Europ. Grenoble，France. 2011：1638-1643.

[12] CAO Y. A cluster-based distributed active current sensing circuit for hardware Trojan detection [J]. IEEE Trans Informa Forens & Secur，2014，9(12)：2220-2231.

（下转第 931 页）

基于退化数据的厚膜电阻可靠性评估

吴兆希，罗　俊，谭骁洪，唐昭焕，赵茂霖
（中国电子科技集团公司第二十四研究所，重庆 400060）

摘　要： 设计了厚膜电阻的高温贮存试验，以评估厚膜电阻的可靠性。基于阻值的退化数据，采用线性退化模型描述厚膜电阻的退化过程，结果表明，厚膜电阻伪寿命分布满足对数正态分布规律。结合 Arrhenius 模型推算得出，厚膜电阻在室温下的寿命约为 17.8 年。分析了厚膜电阻的失效机理，完成了厚膜电阻在温度应力下的可靠性评估。

关键词： 厚膜电阻；性能退化；可靠性评估
中图分类号：TN452；TN406　　**文献标志码：**A　　**文章编号：**1004-3365(2020) 06-0926-06
DOI：10.13911/j.cnki.1004-3365.200251

Reliability Assessment of Thick Film Resistor Based on Degradation Data

WU Zhaoxi, LUO Jun, TAN Xiaohong, TANG Zhaohuan, ZHAO Maolin
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: The storage tests under high temperature stress were designed to evaluate the reliability of thick film resistor. Based on the degradation data, it was noticed that the resistance degradation could be described by linear model, and the pseudo-failure lifetime of thick film resistors could be well fitted by log-normal model. The lifetime of thick film resistors at room temperature was calculated with Arrhenius equation, and the number was about 17.8 years. Finally the failure mechanism of thick film resister was discussed, and the reliability evaluation under temperature stress was completed.

Key words: thick film resistor; performance degradation; reliability assessment

0　引　言

厚膜混合集成电路是厚膜集成技术与半导体技术相结合的产物，经过多年发展，已成为半导体技术的重要组成之一[1]。厚膜混合集成电路具有体积小、重量轻、可靠性高的特点，已广泛应用于各型设备的电路系统中。其中，厚膜电阻是厚膜混合电路中最重要的元件之一。

开展厚膜电阻可靠性的研究对于提升厚膜混合电路的可靠性有积极意义。结合科研生产实际，设计了一种基于退化数据的厚膜电阻可靠性评估试验，完成了厚膜电阻的可靠性评估。

1　厚膜电阻的结构与制作工艺

厚膜电阻是由基体、电阻体、引出端等组成。基体即绝缘基片，使用最广泛的是 Al_2O_3 陶瓷基片；电阻体即电阻膜层，是由电阻浆料在链式烧结炉中烧结而成；引出端即厚膜端接导体，采用银钯浆料烧结而成。

在结构上，厚膜电阻有两个特点：1)厚膜电阻通常不以单个电阻出现，而是根据需要按一定的组合排列，是集成在同一绝缘基片上的电阻网络，厚膜基板设计版图如图 1 所示，图中，被圈中的黑色方块即为厚膜电阻；2)厚膜电阻是一种小型化的平面状电

收稿日期：2020-06-02；**定稿日期：**2020-07-03
基金项目：模拟集成电路国家重点实验室基金资助项目(614280204030217)
作者简介：吴兆希(1989—)，男(汉族)，四川西昌人，硕士，研究方向为半导体器件的可靠性研究。

阻，也称膜式电阻，其厚度只有十几至几十微米[2]。

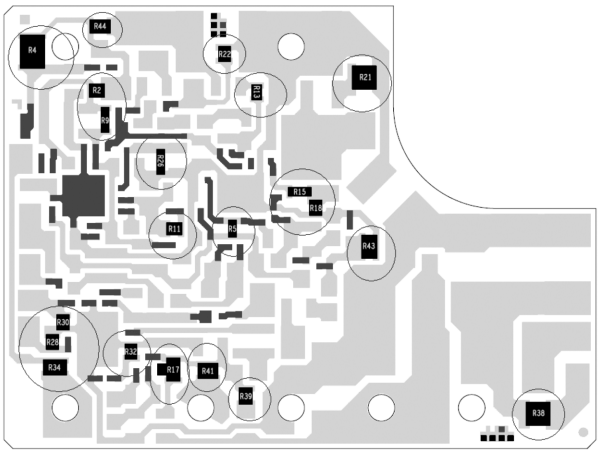


图 1　厚膜基板设计版图

厚膜电阻的制作工艺主要有丝网制备、印刷、烘干、烧结、调阻、检测等步骤。烧结工艺为厚膜电阻制作中的主要工艺，是指对干燥后的厚膜浆料进行氧化还原的过程，并使浆料与基片之间形成一定的结合力和合金电性能。烧结在链式烧结炉中进行，烧结温度曲线会影响膜层在基板上的附着力。与烧结导带和烧结介质相比，厚膜电阻的烧结过程非常复杂。有机黏合剂被燃烧掉，金属成分被氧化或者还原，烧结的玻璃料为电阻膜层提供黏结力。

在制作厚膜电阻的过程中，由于制作工艺、环境条件、基片表面状况等原因，制作出的厚膜电阻难以满足精度要求，需通过调阻使其达到预定阻值[3]。目前最常用的调阻工艺是激光修调。激光束通过一系列的透镜和反射镜整形聚焦作用到厚膜电阻材料上，材料被加热气化，一些材料被熔化后再凝固，形成激光修调切口，如图 2 所示。通过这种方式改变厚膜电阻导体的有效导电面积或有效长度来调整厚膜电阻值[4]。

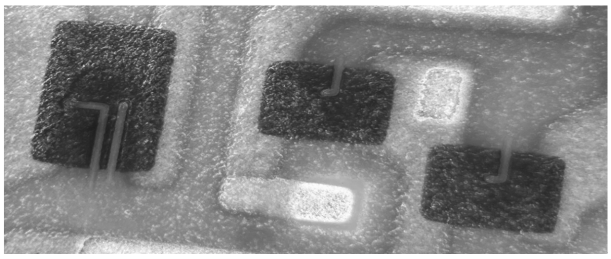


图 2　激光修调切口

激光修调只能起到增大厚膜电阻值的作用，通常将烧结后的阻值控制在低于设计值的 30%左右，再利用激光修调工艺调整到设计值。

2　试验样品选择及试验方案

2.1　试验样品选择

本次试验样品选用了某型号厚膜混合电路的基片(如图 1 所示)。基片上共有 21 个厚膜电阻，其中数量最多的设计阻值为 10 kΩ，共有 6 个。根据厚膜混合电路生产经验，10 kΩ 数量级的厚膜电阻用量最大，因此选择 10 kΩ 的厚膜电阻为试验对象。

2.2　试验方案

在厚膜混合电路的使用过程中，电流经过厚膜电阻会造成发热现象，特别是在超过额定功率运行时，厚膜电阻发热更加严重。厚膜混合电路通常封装在气密性管壳内，在稳定工作状态下可认为主要受到温度应力的影响。因此，本次试验选择温度应力作为厚膜电阻可靠性评估的加速应力。

将 90 个仅烧结了厚膜电阻的裸基片分为 3 组，每组 30 个，分别进行 125 ℃、150 ℃、175 ℃的高温贮存试验，每隔 168 h 取出，冷却到室温后，对基片上设计阻值为 10 kΩ 的厚膜电阻进行阻值测量，以电阻变化量超过设计值的 10%为失效判据。

3　试验数据与分析

3.1　试验数据

本次试验共进行了 504 h，每 168 h 进行 1 次阻值测试，部分测试数据如表 1 所示。

从测试数据可以看出，所有的厚膜电阻经过 504 h 的高温贮存试验后，电阻值均增加，且都未到达 10%的失效判据。

表 1　厚膜电阻值部分测试数据

试验温度	编号	电阻值/Ω			
		0 h	168 h	336 h	504 h
125 ℃	1	10 002.50	10 015.80	10 018.87	10 022.33
	2	10 008.87	10 014.73	10 019.47	10 022.27
	3	10 020.21	10 030.97	10 031.14	10 038.11
	4	10 005.48	10 015.21	10 014.60	10 018.21
	…	…	…	…	…
	27	10 016.56	10 035.88	10 036.03	10 042.14
	28	10 007.07	10 013.26	10 019.98	10 022.46
	29	10 024.75	10 046.50	10 053.27	10 056.71
	30	10 035.24	10 047.78	10 050.13	10 060.80

续表

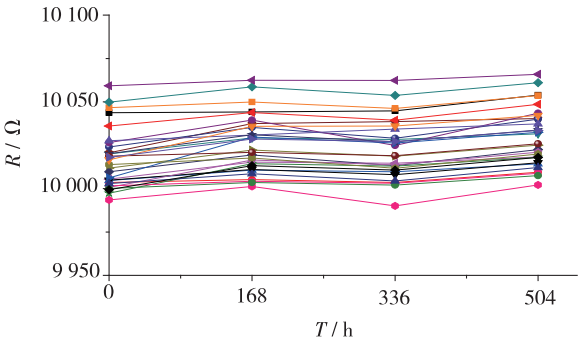
试验温度	编号	电阻值/Ω			
		0 h	168 h	336 h	504 h
150 ℃	1	10 008.86	10 014.73	10 019.47	10 022.27
	2	10 005.71	10 014.63	10 019.14	10 022.00
	3	10 005.35	10 008.10	10 009.07	10 013.87
	4	10 020.21	10 030.96	10 031.13	10 038.11
	…	…	…	…	…
	27	10 007.07	10 013.26	10 019.98	10 022.46
	28	10 024.75	10 046.50	10 053.27	10 056.71
	29	10 036.92	10 035.83	10 041.81	10 049.82
	30	10 007.07	10 013.26	10 019.98	10 022.46
175 ℃	1	10 028.94	10 037.66	10 048.26	10 051.80
	2	10 008.54	10 017.09	10 019.59	10 025.35
	3	10 001.14	10 013.59	10 017.18	10 021.65
	4	10 016.87	10 017.01	10 021.01	10 025.91
	…	…	…	…	…
	27	10 008.50	10 018.01	10 017.91	10 025.51
	28	10 016.37	10 027.12	10 028.37	10 032.59
	29	10 011.56	10 032.13	10 034.24	10 040.26
	30	10 042.64	10 044.91	10 048.64	10 056.28

三个试验温度下厚膜电阻值的变化曲线如图 3 所示。可以看出，三个试验温度下厚膜电阻的阻值均呈线性增加。

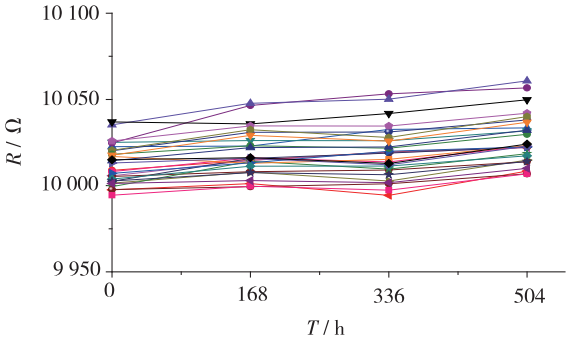
3.2 数据分析

3.2.1 厚膜电阻伪寿命推算

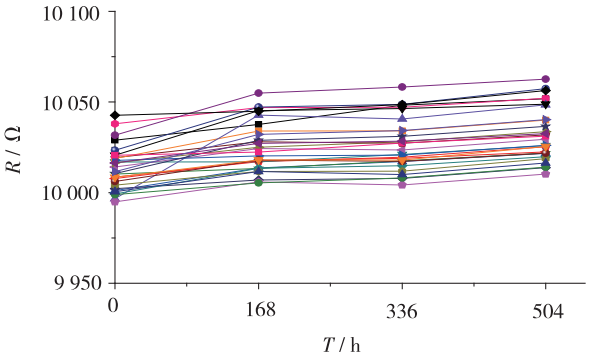
虽然试验后所有样品均未到达 10%的失效判据，但由于厚膜电阻的阻值在高温下呈线性退化，可以对退化数据进行线性拟合，从而推算出样品达到失效判据所需要的时间，即失效寿命。该失效寿命不仅包含样品的实际失效时间，还包含了样品的可靠性信息，可用于评估产品可靠度的数据，被称为样品的伪寿命[3]。



(a) 125 ℃



(b) 150 ℃



(c) 175 ℃

图 3 三个试验温度下厚膜电阻值的变化曲线

本次试验推算出的样品伪寿命数据如表 2 所示。

表 2 厚膜电阻伪寿命数据

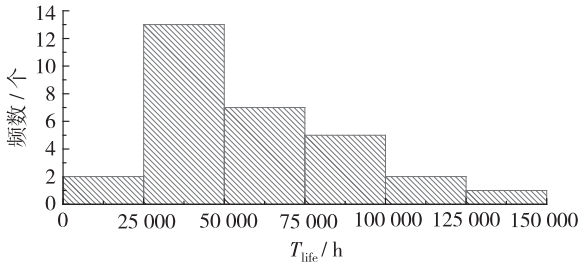
编号	伪寿命/h		
	125 ℃	150 ℃	175 ℃
1	51 841.001	37 760.408	20 590.132
2	104 944.621	37 024.523	31 437.819
3	599 00.976	38 841.429	25 699.649
4	48 525.117	83 821.040	53 185.424
5	44 356.491	31 244.344	36 603.218
6	46 029.323	48 076.153	30 209.883
7	51 545.078	26 698.285	46 992.963
8	27 107.453	63 006.802	44 335.507
9	114 392.366	39 610.751	38 033.465
10	27 771.327	31 807.200	42 676.388
11	39 077.738	30 504.476	15 726.416
12	93 752.016	78 885.200	25 908.100
13	45 117.071	15 879.551	16 819.174
14	36 382.088	50 972.504	77 042.756
15	50 328.923	20 479.566	10 865.679

续表

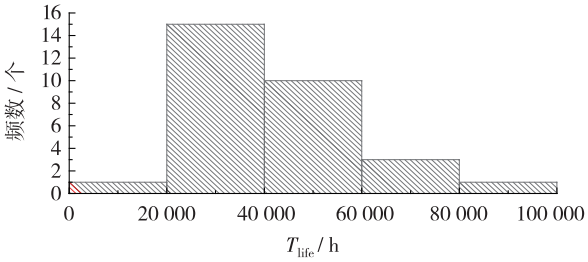
编号	伪寿命/h		
	125 ℃	150 ℃	175 ℃
16	61 342.844	36 300.883	19 100.198
17	48 907.181	64 785.345	36 764.987
18	22 016.614	31 529.546	64 986.078
19	55 923.166	41 307.920	26 442.324
20	28 795.451	33 889.317	38 115.842
21	132 894.906	30 369.019	37 847.661
22	44 335.098	51 245.570	20 608.689
23	85 595.187	58 151.165	36 185.367
24	81 788.591	48 605.244	45 061.720
25	81 352.685	49 288.685	34 864.672
26	70 280.219	30 885.313	36 503.430
27	21 386.946	30 543.488	32 656.807
28	79 500.592	47 278.062	33 031.528
29	36 457.813	45 461.339	18 733.154
30	31 571.184	48 989.462	36 063.728

3.2.2　伪寿命分布规律拟合

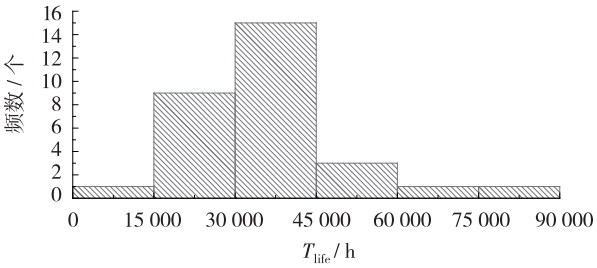
三个试验温度下厚膜电阻伪寿命分布的直方图如图 4 所示。可以看出，在三个试验温度下，厚膜电阻的伪寿命近似符合正态分布或对数正态分布。分别用这两种分布对伪寿命数据进行拟合，选取拟合程度更高的作为厚膜电阻伪寿命的分布规律。



(a) 125 ℃



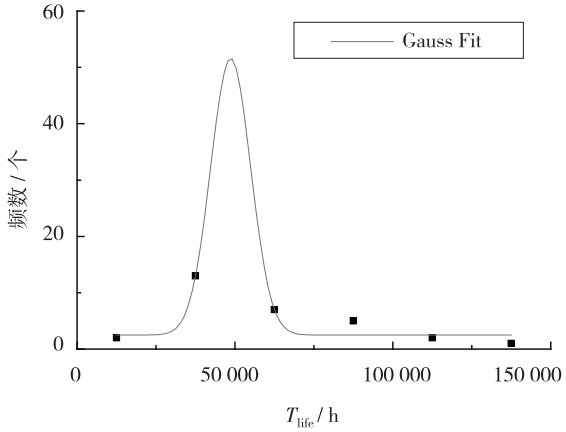
(b) 150 ℃



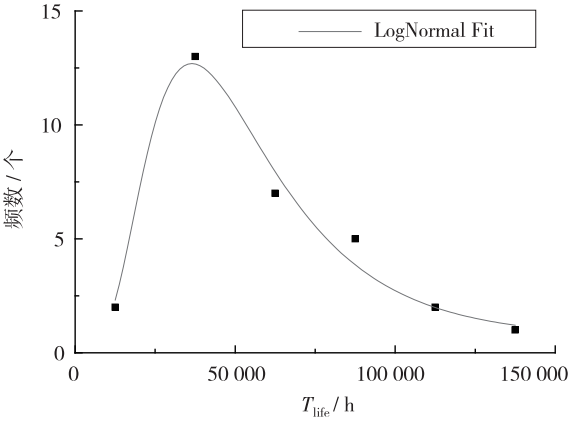
(c) 175 ℃

图 4　三个试验温度下厚膜电阻伪寿命分布的直方图

125 ℃下的厚膜电阻伪寿命分布拟合如图 5 所示。采用拟合软件 Origin 可得，正态分布的拟合相关度 $R^2=0.779\ 41$，对数正态分布的拟合相关度 $R^2=0.939\ 93$。



(a) 正态分布拟合

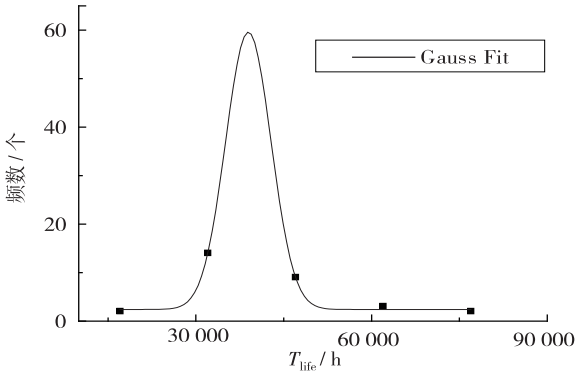


(b) 对数正态分布拟合

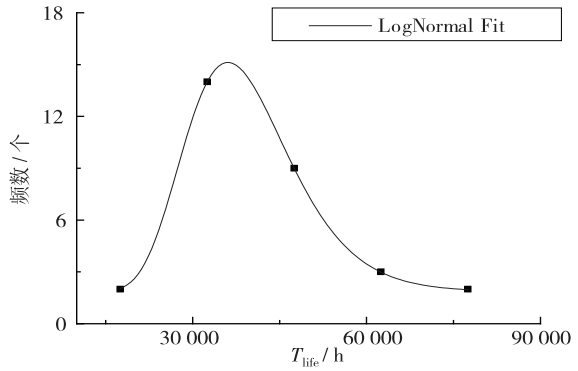
图 5　125 ℃下的厚膜电阻伪寿命分布拟合

150 ℃、175 ℃下的厚膜电阻伪寿命分布拟合分别如图 6、图 7 所示。

150 ℃时，正态分布的拟合相关度 $R^2=0.976\ 61$，对数正态分布的拟合相关度 $R^2=0.999\ 89$。

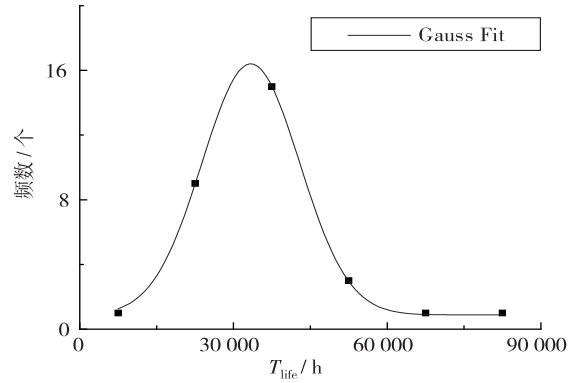


(a) 正态分布拟合

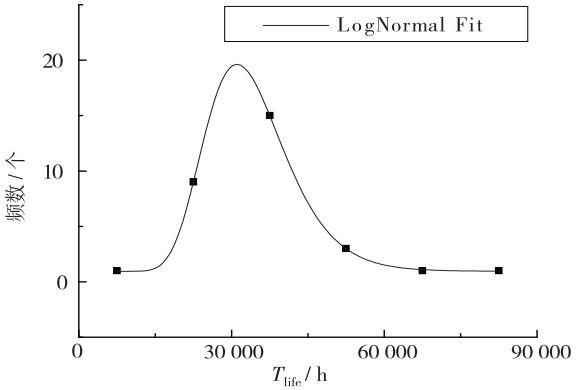


(b) 对数正态分布拟合

图 6 150 ℃下的厚膜电阻伪寿命分布拟合



(a) 正态分布拟合



(b) 对数正态分布拟合

图 7 175 ℃下的厚膜电阻伪寿命分布拟合

175 ℃时，正态分布的拟合相关度 $R^2=0.998\ 53$，对数正态分布的拟合相关度 $R^2=0.999\ 80$。

3.2.3 厚膜电阻常温下的寿命推算

在三个试验温度下厚膜电阻伪寿命的对数正态分布拟合相关度均大于正态分布的拟合相关度，说明对数正态分布拟合更符合厚膜电阻在温度应力下退化的伪寿命分布规律。

对数正态分布的概率密度为[5]：

$$f(t)=\left(\sigma t\sqrt{2\pi}\right)^{-1}\cdot\exp\left(-\frac{1}{2}\left(\frac{(\ln t-\mu)}{\sigma}\right)^2\right) \tag{1}$$

其平均值为：

$$mean=\exp\left(\mu+\frac{\sigma^2}{2}\right) \tag{2}$$

将拟合曲线的参数代入式(2)，可计算出三个试验温度下厚膜电阻伪寿命的平均值，如表 3 所示。

表 3 厚膜电阻伪寿命平均值

试验温度	125 ℃	150 ℃	175 ℃
伪寿命平均值/h	48 775.1	38 352.5	33 064.6

试验中仅给厚膜电阻施加了恒定的温度应力，因此加速退化过程可以用 Arrhenius 模型来描述。Arrhenius 模型的表达式为[6]：

$$\frac{\mathrm{d}M}{\mathrm{d}t}=A_0\cdot\exp\left(\frac{-E_a}{kT}\right) \tag{3}$$

式中，M 为样品的某特性值的退化量即厚膜电阻值的退化量，t 为试验时间，$\mathrm{d}M/\mathrm{d}t$ 为退化速率，A_0 为常数，E_a 为激活能，k 为波尔兹曼常数，T 为绝对温度。

设试验开始时，样品的退化量为 M_0，对应时间为 t_0；样品失效时，退化量为 M_1，对应时间为 t_1。当试验温度 T 为常数时，从 t_0 到 t_1 累积的退化量为[7]：

$$M_1-M_0=\int_{t_0}^{t_1}\left[A_0\cdot\exp\left(\frac{-E_a}{kT}\right)\right]\mathrm{d}t \tag{4}$$

继续化简得：

$$M_1-M_0=\left[A_0\cdot\exp\left(\frac{-E_a}{kT}\right)\right]\cdot(t_1-t_0) \tag{5}$$

设样品在试验过程中的寿命 $L=t_1-t_0$，则可得：

$$L=\left(\frac{M_1-M_0}{A_0}\right)\cdot\exp\left(\frac{E_a}{kT}\right) \tag{6}$$

为了方便处理数据，将式(6)左右同时取对数，即得到了样品的寿命取对数后与绝对温度的倒数之间的线性关系：

$$\ln L=\frac{E_a}{k}\cdot\frac{1}{T}+\ln\left(\frac{M_1-M_0}{A_0}\right) \tag{7}$$

将表 3 中的试验温度换算为绝对温度，并将伪寿命取对数后进行线性拟合，如图 8 所示。

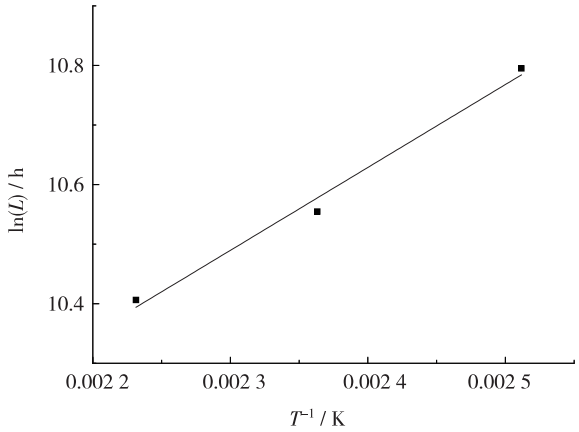


图 8　厚膜电阻伪寿命线性拟合

拟合方程为：

$$\ln L=1\ 392.173\ 3\cdot\frac{1}{T}+7.287\ 55 \tag{8}$$

拟合相关度 $R^2=0.979\ 36$。

将 25 ℃(298.15 K)代入式(8)可得，25 ℃条件下厚膜电阻寿命为 155 892.4 h，约为 17.8 年。

对比式(7)与式(8)，可以计算得出，本次试验的激活能 $E_a=0.12$ eV。

3.3　失效机理分析

厚膜电阻样品经过了激光修调，激光聚焦在厚膜电阻表面的瞬间，在高温和材料气化的应力作用下，很容易在电阻体表面产生微裂纹[8]。特别是在 L 型切口的拐角处，因热量聚集而形成更多的微裂纹。微裂纹在高温应力下产生扩散，进一步降低有效导电长度或面积，导致厚膜电阻值增加。

4　结　论

设计了厚膜电阻的高温贮存试验，介绍了一种基于退化数据的可靠性评估方法。该方法适用于有一定退化规律和分布规律且难以获得失效数据的高可靠半导体器件，可在较短时间内完成器件的可靠性评估。

参 考 文 献：

[1]　罗俊，秦国林，李晓红，等. 厚膜混合集成电路可靠性技术 [J]. 微电子学，2011，41(1)：111-115.

[2]　李强，谢泉，马瑞，等. 厚膜电阻的研究现状及发展趋势 [J]. 材料导报 A：综述篇，2014，28(4)：31-38.

[3]　陈翠云. 多功能激光修调系统的研制 [D]. 武汉：华中科技大学，2011.

[4]　王姜伙，王志勤. 基于厚膜混合集成电路的激光调阻工艺研究 [J]. 电子与封装，2012，12(11)：34-36.

[5]　邓爱民. 高可靠长寿命产品可靠性技术研究 [D]. 长沙：国防科学技术大学，2006.

[6]　LUO J，QIN G L，TAN K Z. Life estimation of analog IC based on accelerated degradation testing [C] // ICRMS. Guangzhou，China. 2014：817-821.

[7]　林震，姜同敏，程永生，等. 阿伦尼斯模型研究 [J]. 电子产品可靠性与环境试验，2005，12(6)：12-14.

[8]　寇玉娟，戴思，岳晴瑞，等. 影响激光调阻精度的若干因素浅析 [J]. 电子科学技术，2015，2(5)：525-531.

(上接第 925 页)

[13] NARASIMHAN S，YUEH W，WANG X，et al.. Improving IC security against Trojan attacks through integration of security monitors [J]. IEEE Des & Test Comput，2013，29(5)：37-46.

[14] BAO C，FORTE D，SRIVASTAVA A. Temperature tracking：toward robust run-time detection of hardware Trojans [J]. IEEE Trans Comput Aid Des Integr Circ & Syst，2015，34(10)：1577-1585.

[15] 段晓毅，田丽娜，张磊，等. 针对 AES 密钥扩展的电压故障注入攻击 [J]. 计算机工程，2019，45(9)：112-118.

[16] BAO C，FORTE D，SRIVASTAVA A. On reverse engineering-based hardware trojan detection [J]. IEEE Trans Comput Aid Des Integr Circ & Syst，2018，35(1)：49-57.

[17] HUANG W，GHOSH S，VELUSAMY S，et al. Hotspot：a compact thermal modeling methodology for early-stage VLSI design [J]. IEEE Trans VLSI Syst，2006，14(5)：501-513.

高温及关态应力条件下 GaAs pHEMT 器件的性能退化研究

化　宁[1]，王　佳[2]，王茂森[1]，杜祥裕[1]，戴　杰[1]
（1. 上海航天电子技术研究所，上海 201109；2. 上海航天技术研究院，上海 201109）

摘　要： 研究了高温和电学应力下砷化镓赝晶高电子迁移率晶体管的直流特性退化机理。高温下陷阱辅助发射电流引起器件关态漏电上升，而载流子迁移率的退化引起跨导降低；当温度达到 450 K 时，栅金属的沉降效应会导致跨导异常升高。进一步研究了不同温度下关态电学应力对器件性能退化的影响，结果与高温下栅沉降效应相吻合。

关键词： 砷化镓；赝晶高电子迁移率晶体管；高温退化
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)06-0932-05
DOI：10.13911/j.cnki.1004-3365.200207

Study on PerformanceDegradation of GaAs pHEMT Under High Temperature and Off-State Stress

HUA Ning[1], WANG Jia [2], WANG Maosen[1], DU Xiangyu[1], DAI Jie[1]
(1. *Shanghai Institute of Aerospace Electronics Technology*, *Shanghai* 201109, *P. R. China*;
2. *Shanghai Academy of Spaceflight Technology*, *Shanghai* 201109, *P. R. China*)

Abstract: The DC characteristics degradation of GaAs pseudomorphic high electron mobility transistors (pHEMT) under high temperature and off-state stress measurement was studied. Poole-Frenkel (PF) emission mechanism dominated the off-state current, causing an increase in leakage current with the increase in temperature, while the decrease in transconductance was induced by a degradation of carrier mobility. It was observed that the peak transconductance of GaAs pHEMT exhibited an abnormal increase at 450 K, which was attributed to the sink effect of gate metal. Off-state stress influence on device was further investigated, resulting in similar gate sink induced degradation to that observed under high temperature.

Key words: GaAs; pHEMT; high temperature degeneration

0　引　言

随着卫星有效载荷小型化技术的发展，微波、毫米波器件及其电路的行业地位日渐提高，对其的研究是突破或制约尖端技术的关键。如今 pHEMT 被公认为是微波、毫米波器件和电路领域中最有竞争力的三端器件，成为研究热点[1-2]。pHEMT 经历了从 MESFET 到 HEMT 再到 pHEMT 的发展过程。与传统 MESFET 一样，pHEMT 也是电压控制电流型的场效应晶体管，化合物半导体材料的良好电子迁移率特性和该结构的优势决定了 pHEMT 优异的增益和噪声特性。随着制造工艺技术的进步，pHEMT 器件和 MMIC 的特征尺寸越来越小，已经发展到纳米量级，其特征频率越来越高，早已超过 100 GHz。

随着器件工艺的成熟，GaAs pHEMT 已被广泛用于设计和制作 MMIC，满足了高性能、高可靠性

收稿日期：2020-05-10；**定稿日期：**2020-06-17
作者简介：化　宁(1982—)，男(满族)，黑龙江齐齐哈尔人，硕士研究生，研究方向为微波电路设计。

航空领域和军事领域的需求[3-4]。在 MMIC 中，GaAs pHEMT 的可靠性是制约性能提升的瓶颈[5-6]。目前，评估 GaAs pHEMT 器件可靠性的主要方法是直流偏置下的高温加速寿命试验。影响 GaAs pHEMT 性能的几种失效机理有：热电子应力退化[7]、2DEG 结构退化[8]、氢效应（氢中毒）[9]、欧姆接触退化[10]、栅接触退化[11]和电子迁移[12]等。本文研究了高温直流及长时间高温电学应力前后 GaAs pHEMT 的电学特性参数的变化，分析了影响 GaAs pHEMT 器件退化的因素。

1　器件结构与测试方法

加速退化试验是基于反应速率原理的一种可靠性评价方式，是半导体器件长期使用的最重要的可靠性评估方式[13-14]。通过提高试验温度，加快器件失效时间进程，从而在短时间内得到器件的可靠性数据。GaAs pHEMT 平面结构与工作原理如图 1 所示。实验采用商用器件，栅长 L_g 为 0.25 μm，栅宽 W_g 为 180 μm，采用氮化硅作为表面钝化层，器件可在 20 GHz 范围内的频段工作。

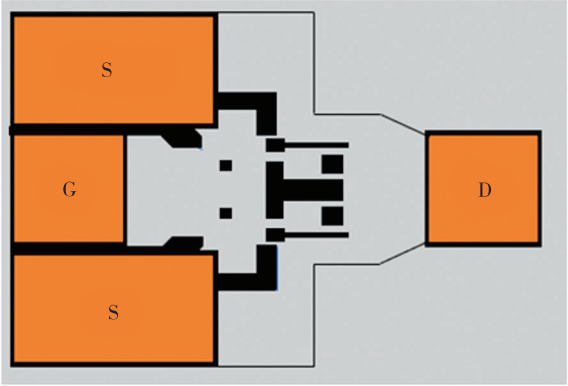


图 1　GaAs pHEMT 平面结构与工作原理

本研究采用温度加速应力实验方法，分别在 300 K、325 K、350 K、375 K、400 K、425 K、450 K 以及 475 K 温度下进行直流加速退化试验。在直流静态电流下，施加的工作电压和工作电流相同；用精确的热阻测试结果来设定温度，使器件沟道温度固定在方案预期温度点。通过转移特性曲线，判断器件经过高温后的退化情况。

随后进行关态电学应力试验。在 375 K 和 450 K 两个不同的高温点，在栅极应力电压为 −2 V、漏极应力为 6 V 的偏置条件下，采用采样方式施加固定应力，应力时间分别为 1 s、2 s、5 s、10 s、20 s、50 s、100 s、200 s、500 s、1 000 s。每次应力时间结束后监测器件直流特性，观察器件的退化性能。

2　实验结果与讨论

2.1　器件高温可靠性研究

高温会引起器件参数发生不同程度退化，如直流特性和栅电阻、沟道电阻、源-漏电阻、最大饱和漏电流、势垒高度、夹断电压和跨导等。器件沟道载流子的输运特性极易受到温度的影响，可能带来器件性能的退化以及可靠性问题。因此，研究器件的沟道输运性质具有十分重要的意义[7]。不同温度下器件的转移特性曲线如图 2 所示。当温度从 300 K 升高至 475 K 时，在漏极电压 V_d 为 6 V 的条件下，饱和电流由 504 mA/mm 下降至 339 mA/mm。原因是，温度升高时，2DEG 受三角形势垒的约束变弱，导致 2DEG 向缓冲层移动，造成其二维特性降低；电子在输运过程中会遭到大量的散射，相关散射机制的作用随温度的升高而增强，导致电子迁移率和饱和电流降低；随着温度的升高，表面陷阱对沟道电子的俘获能力增强，导致源漏电流进一步减小。温度升高使器件关态漏电不断增加，亚阈值特性明显变差。原因是，当温度升高时，AlGaAs 层里未知深能级中心的电子会被激发而产生退陷[8]。

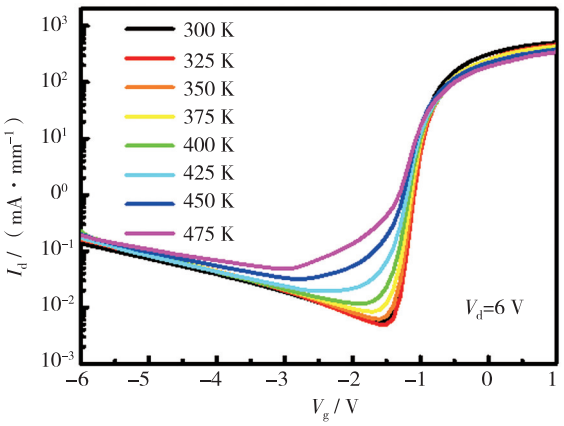


图 2　不同温度下器件的转移特性曲线

跨导 G_m 是衡量器件栅电极对沟道电流控制能力的重要器件特性参数，其表达式为：

$$G_m=\frac{\partial I_d}{\partial V_g}=\frac{W\cdot\mu\cdot C}{L}V_d \tag{1}$$

式中，I_d 为漏极电流，V_g 为栅极电压，μ 是载流子迁移率，C 是栅极到沟道的电容。跨导值越大，说明栅电极对沟道的控制能力就越强。图 3 所示为不同温度下器件的跨导特性变化，当温度从 300 K 变

化到 475 K 时，总体的最大跨导由 350 mS/mm 下降到 194 mS/mm。载流子迁移率主要受各种散射机制的影响，而在高温下 2DEG 迁移率主要受极性光学声子散射的影响。在 300 K 到 475 K 的温度范围内，随着温度的升高，跨导降低，迁移率整体呈现降低的趋势，这是极性光学声子散射强度随温度升高而迅速增大所导致的。在跨导曲线中，可以看出，当温度为 450 K 时，跨导峰值出现异常增大现象。对 5 个样品进行高温可靠性分析时均发现了相同的现象。

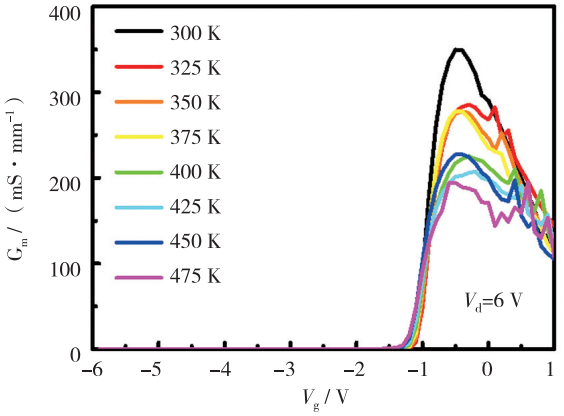


图 3　不同温度下器件的跨导特性曲线

图 4 所示为 300 K 到 475 K 的温度范围内最大值的源漏饱和电流以及跨导最大值的变化曲线。在整体下降趋势中，饱和电流以及跨导最大值异常增大的温度点是 450 K。造成该现象的原因是，高温试验下钛金属扩散进入 AlGaAs 层，栅下的 AlGaAs 层有效厚度下降，即栅金属与 AlGaAs 层更接近，减小了栅和沟道的距离，从而增强了栅极对沟道的调控作用，表现为跨导升高。

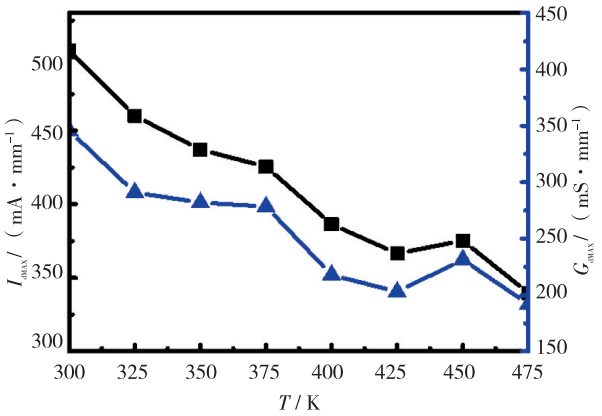
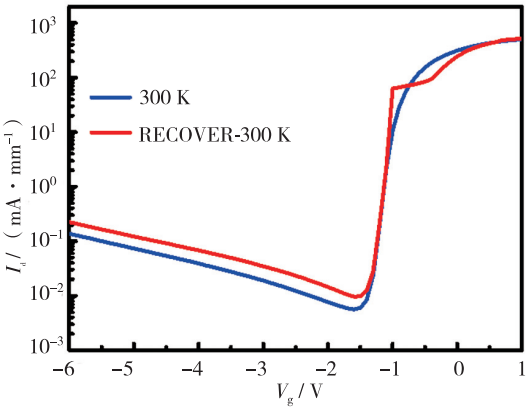


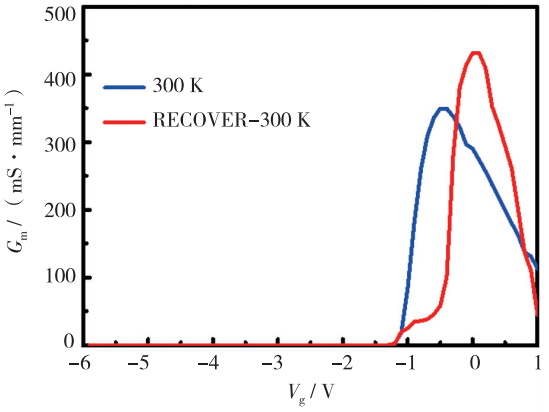
图 4　不同温度下源漏饱和电流和跨导最大值的变化曲线

栅金属沉降效应是 GaAs pHEMT 的失效机理之一，Y. C. Chou 等人通过扫描隧道电子显微镜以及 X 射线能量色散荧光光谱分析仪发现，在 275 ℃下 GaAs pHEMT 中栅金属的 Ti 扩散进入 AlGaAs 肖特基势垒层，器件发生严重退化直至失效[15]。因此，器件在 450 K 高温下，极可能发生了类似的栅金属沉降效应。

为了验证器件在高温后的性能退化机制，进行了高温可靠性测试后的器件性能恢复试验。GaAs pEHMT 高温退化实验后 I_d 和 G_m 特性的退化曲线如图 5 所示。AlGaAs 层的光学声子散射并不是引起高温下器件跨导变化的唯一机理，因为这种机理只能产生一个暂时的跨导变化，一旦应力结束，沟道层的载流子分布和迁移率很快回到平衡态，跨导会恢复至高温测试之前的水平。从图 5 中可以看出，经过高温退化的器件冷却恢复至 300 K 后，关态漏电流明显增加，跨导峰值为 450 mS/mm，与在常温下 350 mS/mm 跨导比较，约增加了 35%。温度恢复后，势垒高度降低，跨导增大，高温试验下 Ti 金属扩散进入了 AlGaAs 层，导致栅下的 AlGaAs 层有效厚度下降。450 K 下栅沉降效应导致了器件的永久损伤。



(a) 转移特性曲线

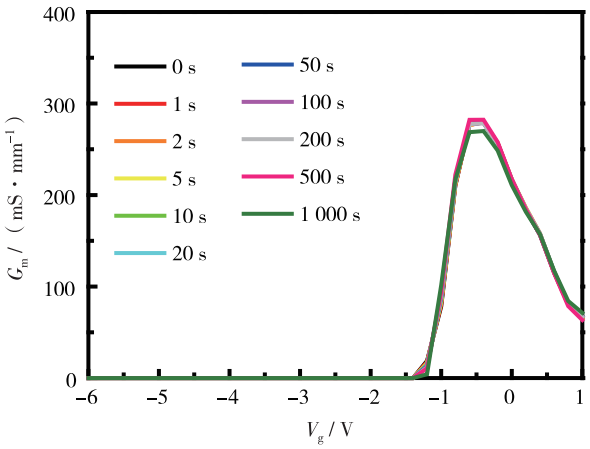


(b) 跨导特性曲线

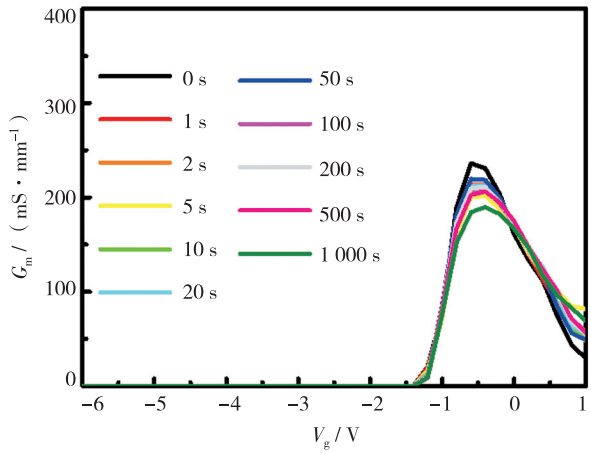
图 5　正常器件与退化器件的特性曲线

2.2　关态电学应力退化研究

为了进一步研究 450 K 时的跨导异常增大和栅沉降效应，对器件在 450 K 温度前后进行了关态电学应力试验。长时间施加应力是限制 GaAs pHEMT 功率的关键因素，图 6 给出了 375 K 和 425 K 两种高温下器件随电压应力时间的退化曲线。在 375 K 和 425 K 温度下，对器件分别施加时长为 1 s、2 s、5 s、10 s、20 s、50 s、100 s、200 s、500 s、1000 s 的关态应力，进行取样转移特性测试。



(a) 375 K



(b) 450 K

图 6　两种高温下器件随电压应力时间的退化曲线

图 7 所示为 375 K 和 425 K 时不同应力时间对最大跨导值的影响曲线。S 参数表示受到不同应力后的最大跨导值相对于未受到应力的最大跨导值的比值。100 s 应力时间之后器件性能在不同温度下的变化规律是一致的，长时间应力引起了器件损伤，致使跨导降低。在 100 s 应力时间以内，375 K 下的器件性能较稳定，而 450 K 下器件在前 5 s 关态应力时间就表现出跨导的快速退化。在 450 K 下，栅金属发生沉降，在 AlGaAs 势垒层中以金属离子及缺陷的形式存在，引起有效栅电容和跨导的升高。但是，在前 5 s 的关态电学应力时间，沉降进入 AlGaAs 势垒层中的金属离子，在负栅电压驱动下再次向表面移动，使得有效栅电容和跨导恢复至正常水平。随着应力时间的继续延长，高温导致的栅金属沉降效应和负栅压驱动引起的栅金属恢复逐渐趋于动态平衡，跨导的变化规律在整体区域内稳定，同时存在局部波动。

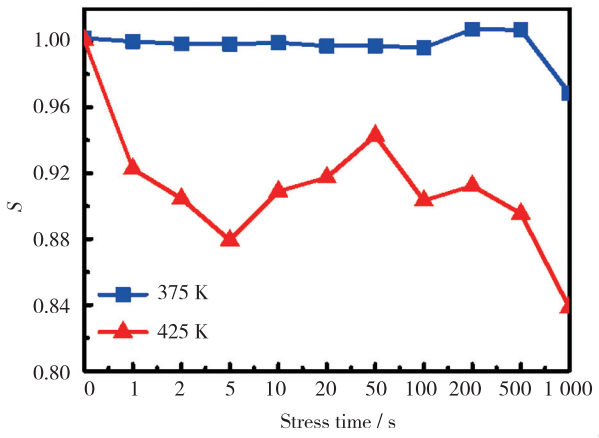


图 7　375 K 和 425 K 时应力时间对最大跨导值的影响曲线

3　结　论

利用温度加速试验方法研究了 GaAs pHEMT 的高温可靠性。随着温度升高，陷阱辅助发射效应导致器件泄漏电流增大，而极性光学声子散射效应引起器件饱和电流和跨导降低。在 450 K 时，栅金属的热沉降效应导致了跨导异常升高，恢复测试表明，平衡状态下该效应不可恢复。不同温度下的关态应力实验表明，在关态应力下发生热沉降的栅金属离子再次趋向表面移动，引起跨导的降低，此后，栅金属热沉降效应和关态应力下表面移动效应趋于动态平衡。

参 考 文 献：

[1]　THISARA K, LEONID B, JAMES W H. 400-to-800-MHz GaAs pHEMT-based wideband LNA for radio-astronomy antenna-array feed [J]. IEEE Microwave & Wireless Compon Lett, 2018, 28(10): 909-911.

[2]　ZHANG C, WANG H G, ZHANG G D, et al. Experiment and simulation of the nonlinear and transient responses of GaAs pHEMT injected with

microwavepulses [J]. IEEE Trans Electromagn Compatib, 2015, 57(5): 1132-1138.

[3] XU X Q, MO J J, CHEN W, et al. A new meshing criterion for the equivalent thermal analysis of GaAs PHEMT MMICs [J]. Microelec Reliab, 2017, 68(1): 30-38.

[4] ALIM M A, REZAZADEH A A. Thermal influence on multibias small- and large-signal parameters of GaAs pHEMT fabricated in multilayer 3-D MMIC [J]. IEEE Trans Elec Dev, 2017, 64(4): 1511-1518.

[5] LIU Y, CHAI C, FAN Q, et al. Ku band damage characteristics of GaAs pHEMT induced by a front-door coupling microwave pulse [J]. Microelec Reliab, 2016, 66: 32-37.

[6] CHO S J, WANG C, KIM N Y. High power density AlGaAs/InGaAs/GaAs PHEMTs using an optimised manufacturing process for Ka-band applications [J]. Microelec Engineer, 2014, 113: 11-19.

[7] 刘红侠，郑雪峰，韩晓亮，等. 一种新的 GaAs PHEMT 器件可靠性评估方法研究 [J]. 物理学报，2003，25(10)：2576-2579.

[8] 刘红侠，郑雪峰，郝跃. GaAs PHEMT 器件的退化特性及可靠性表征方法 [J]. 半导体学报，2004，25(1)：77-80.

[9] JALIL A, CHEVALLIER J, PESANT J, et al. Infrared spectroscopic evidence of silicon related hydrogen complexes in hydrogenated n-type GaAs doped with silicon [J]. Appl Phys Lett, 1987, 50(8): 439-440.

[10] 黄云. GaAs 微波单片集成电路的主要失效模式及机理 [J]. 电子产品可靠性与环境试验，2002(3)：9-15.

[11] 朱炜容，黄云，黄美浅，等. GaAs MESFET 的热电子应力退化 [J]. 可靠性物理与失效分析技术，2005(6)：25-29.

[12] ANDERSON W T, ROUSSOS J A, CHRISTIANSON K A. Reliability testing of GaAs MMICS [C] // Proceed 5th IPFA. Singapore. 1995: 161-163.

[13] BRYAN K S, ANTHONY P F, ANTHONY E P, et al. Parameter extractions for a GaAs pHEMT thermal model using a TFR-heated test structure [J]. IEEE Trans Elec Dev, 2015, 62(3): 795-801.

[14] XI X W, CHAI C C, ZHAO G, et al. Damage effect and mechanism of the GaAs pseudomorphic high electron mobility transistor induced by the electromagnetic pulse [J]. Chin Phys B, 2016, 25(4): 460-464.

[15] CHOU Y C, LAI R, GRUNDBACHER R, et al. Degradation mechanism of GaAs PHEMT power amplifier under elevated temperature lifetime with RF overdrive [C] // IEEE Intl Reliab Phys Symp Proceed. Phoenix, AZ, USA. 2004: 241-247.

欢迎订阅2021年《微电子学》杂志

《微电子学》是由四川固体电路研究所主办，并向国内外公开发行的科学技术刊物。《微电子学》创刊于1971年，国内统一连续出版物号：CN 50-1090/TN；国际标准连续出版物号：ISSN 1004-3365；国际刊名代码(CODEN)：WEIDFK；双月刊，A4开本，128页。

《微电子学》是英国INSPEC(SA)、美国《化学文摘》(CA)、《剑桥科学文摘》(CSA)和俄罗斯《文摘杂志》收录期刊，是《中国学术期刊综合评价数据库》和《中国科学引文数据库》来源期刊，以及《中国科技论文统计与分析》的引用期刊；也是中国知识基础设施(CNKI)工程重大项目"中国期刊网"的全文收录期刊和国内相关学科检索文献的检索用刊。

《微电子学》是中国权威期刊检索工具书《中文核心期刊要目总览》评定的无线电电子学、电信技术类"中文核心期刊"，也是"中国期刊方阵"入选期刊，在微电子科学与技术、半导体集成电路和半导体工艺技术等领域具有极大的影响，深受广大科技人员和大专院校师生的欢迎。

《微电子学》报道内容涉及微电子科学与技术的各个领域，包括微电子器件与电路的基础理论、设计技术、制造工艺、检测与组装技术；集成电路应用技术；基础材料与半导体设备等方面的研究成果、学术论文和技术报告；微电子领域的发展动态和最新进展；主要栏目有：电路与系统设计、模型与算法、半导体器件与工艺、测试与封装、产品与可靠性、基础理论研究、动态综述等。

《微电子学》集学术性、技术性、实用性和情报性于一体，信息量大，内容丰富，是科研生产和教学的重要参考书刊，适合电子行业的科技人员、机关管理干部和大专院校相关专业的师生阅读。

《微电子学》为双月刊，每期定价20.00元，全年定价120.00元(含邮费)。

《微电子学》自办发行，订阅者请向编辑部索取订单。

微电子学

Weidianzixue

(双月刊)(1971年创刊)
第50卷 第6期(总第290期)
2020年12月20日出版
卷 终

Microelectronics

(Bimonthly)(Started in 1971)
Vol. 50, No. 6 (Serial Issue No. 290)
Published on Dec. 20, 2020
End of Volume

主　　管：中国电子科技集团公司
主　　办：四川固体电路研究所
编 辑 出 版：《微电子学》编辑部
(400060 重庆南坪花园路14号24所)
电　　话：86-23-62834360
电子邮箱：wdzx@sisc.com.cn
wdzx128@sina.com
网络地址：http://www.microelec.cn
编委会主任：徐世六
主　　编：武俊齐
印　　刷：重庆市国丰印务有限责任公司
发　　行：《微电子学》编辑部

Responsible Institution: China Electronics Technology Group Corp.
Sponsored by: Sichuan Institute of Solid-State Circuits
Edited & Published by: Editorial Department of *Microelectronics*
(400060, Sichuan Institute of Solid-State Circuits, Nanping, Chongqing)
Tel: 86-23-62834360
E-mail: wdzx@sisc.com.cn
wdzx128@sina.com
Website: http://www.microelec.cn
Director of Editorial Board: XU Shiliu
Editor-in-Chief: WU Junqi
Printed by: Chongqing Guofeng Printing Company Ltd.
Distributed by: Editorial Department of *Microelectronics*

发行范围：国内外公开发行

国际标准连续出版物号：ISSN 1004-3365
国内统一连续出版物号：CN 50-1090/TN

国内定价：20.00元